



第四章 触发器

A decorative graphic on the left side of the slide. It features a dashed orange rectangular box. Inside and around the box are three balloons: an orange one at the top, a pink one in the middle, and a yellow one at the bottom. There are also several small orange triangular shapes scattered around the balloons.

第四章

触发器

目 录

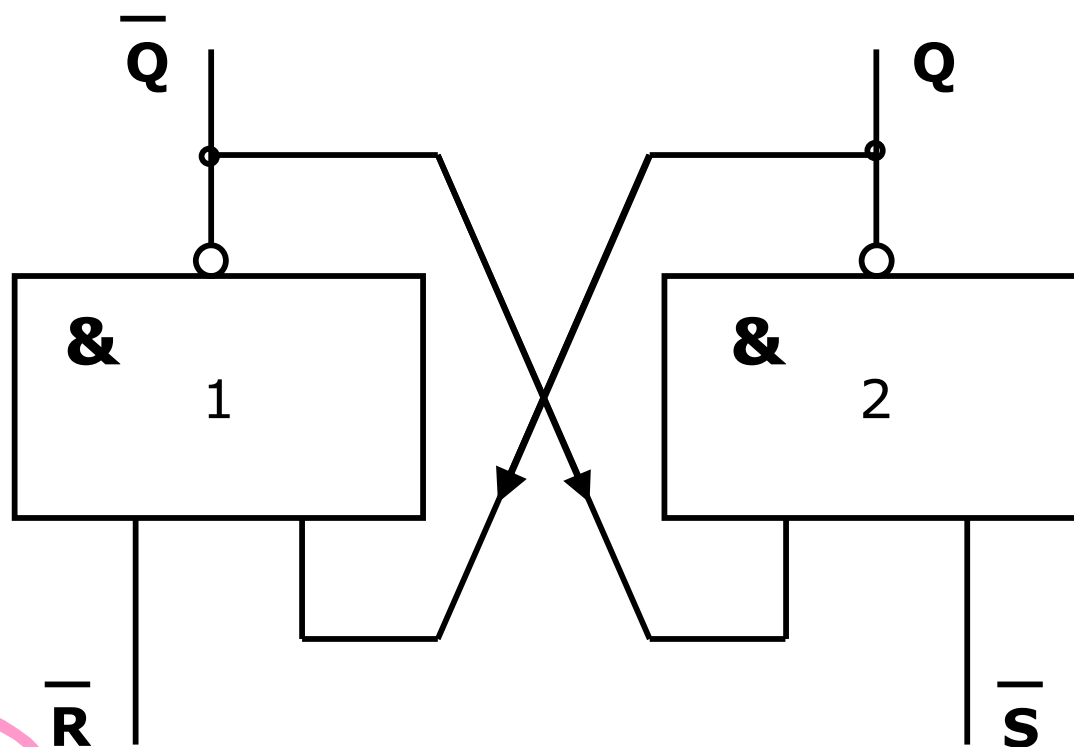
4.1 基本触发器

4.2 钟控触发器

4.3 主从触发器

4.4 边沿触发器

4.1 基本触发器



4.1 基本触发器

- 双稳触发器通常简称触发器，它是由门电路构成的逻辑电路，它的输出具有两个稳定的物理状态（高电平和低电平），所以它能记忆一位二进制代码。

4.1.1 双稳态触发器的性质

- 必有两路互补的输出 Q 和 \overline{Q} 端。
- 有两个稳定状态：**0**稳态和**1**稳态
- 在外部输入信号的作用下，可以从一种稳态翻转到另一个稳态。

4.1 基本触发器

4.1.2 基本概念

- **现态**：输入信号作用之前的触发器状态称为现态，用 Q^n 、 \overline{Q}^n 表示。
- **次态**：输入信号作用后的触发器状态称为次态，用 Q^{n+1} 、 \overline{Q}^{n+1} 表示。

- 显然，次态是现态和输入的函数，即：

$$Q^{n+1} = f(Q^n, X)$$

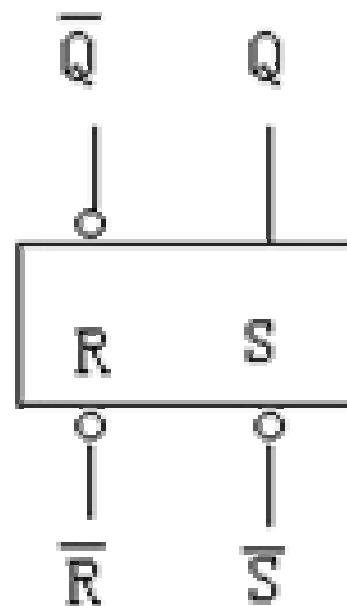
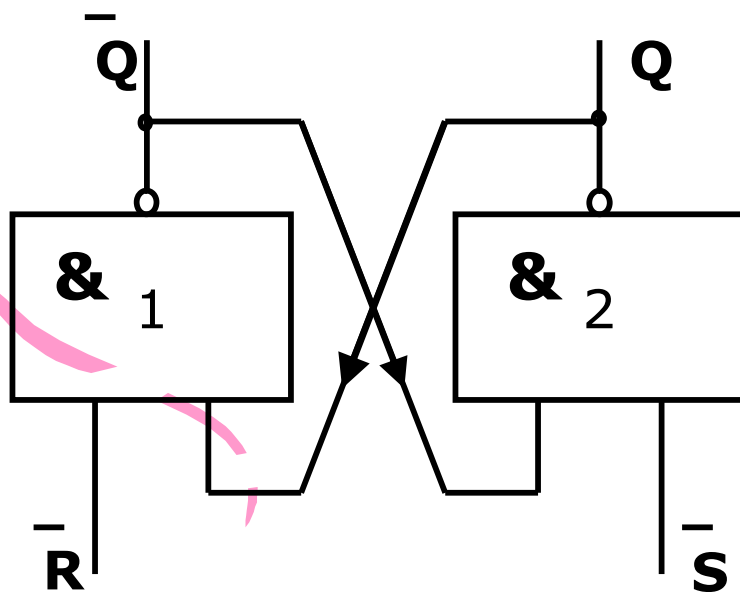
此函数表达式叫触发器的**次态方程**，也叫特征方程，状态方程。

4.1 基本触发器

4.1.3 基本R-S触发器

- 基本**RS**触发器由两个与非门输出交叉反馈而组成。

1、逻辑电路图和符号



基本RS触发器

4.1 基本触发器

4.1.3 基本R-S触发器

2、功能表

- CAI演示
- 功能分析

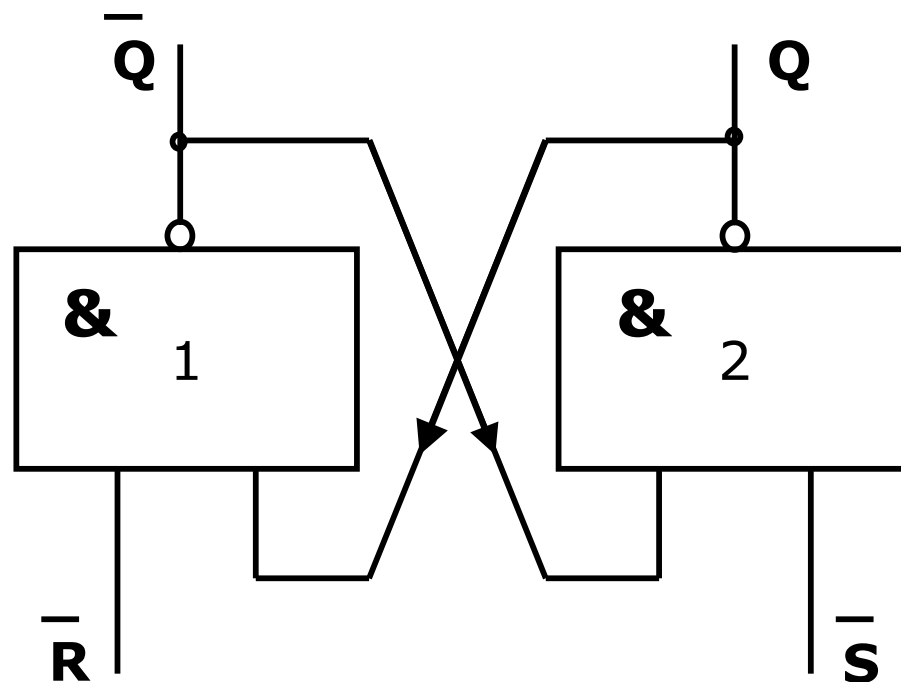
\bar{R}	\bar{S}	Q^n	Q^{n+1}
0	0	0	×
0	0	1	×
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

不确定

置 0

置 1

保持



4.1 基本触发器

4.1.3 基本R-S触发器

- 小结：
 - ① 有两个互补的输出端，两个输入端；
 - ② 输入端的小圆圈表示低电平有效
 - ③ **R**称为清零端，复位端，置“0”端（**Reset**）
 - ④ **S**称为置位端，置“1”端（**Set**）

4.1 基本触发器

4.1.3 基本R-S触发器

2、功能表

- 完整真值表

\overline{R}	\overline{S}	Q^n	Q^{n+1}
0	0	0	×
0	0	1	×
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

} 不确定

} 置0

} 置1

} 保持

\overline{R}	\overline{S}	Q^{n+1}	功能
0	0	×	不确定
0	1	0	置0
1	0	1	置1
1	1	Q^n	保持

注：
两层含义

4.1 基本触发器

4.1.3 基本R-S触发器

3、次态卡诺图

- 由完整真值表得到次态卡诺图

		$\overline{R}\overline{S}$			
		00	01	11	10
Q^n	0	\times	0	0	1
	1	\times	0	1	1

\overline{R}	\overline{S}	Q^n	Q^{n+1}	
0	0	0	\times	不确定
0	0	1	\times	
0	1	0	0	置0
0	1	1	0	
1	0	0	1	置1
1	0	1	1	
1	1	0	0	保持
1	1	1	1	

- 次态方程

$$Q^{n+1} = S + \overline{R}Q^n$$

$$\overline{R} + \overline{S} = 1$$

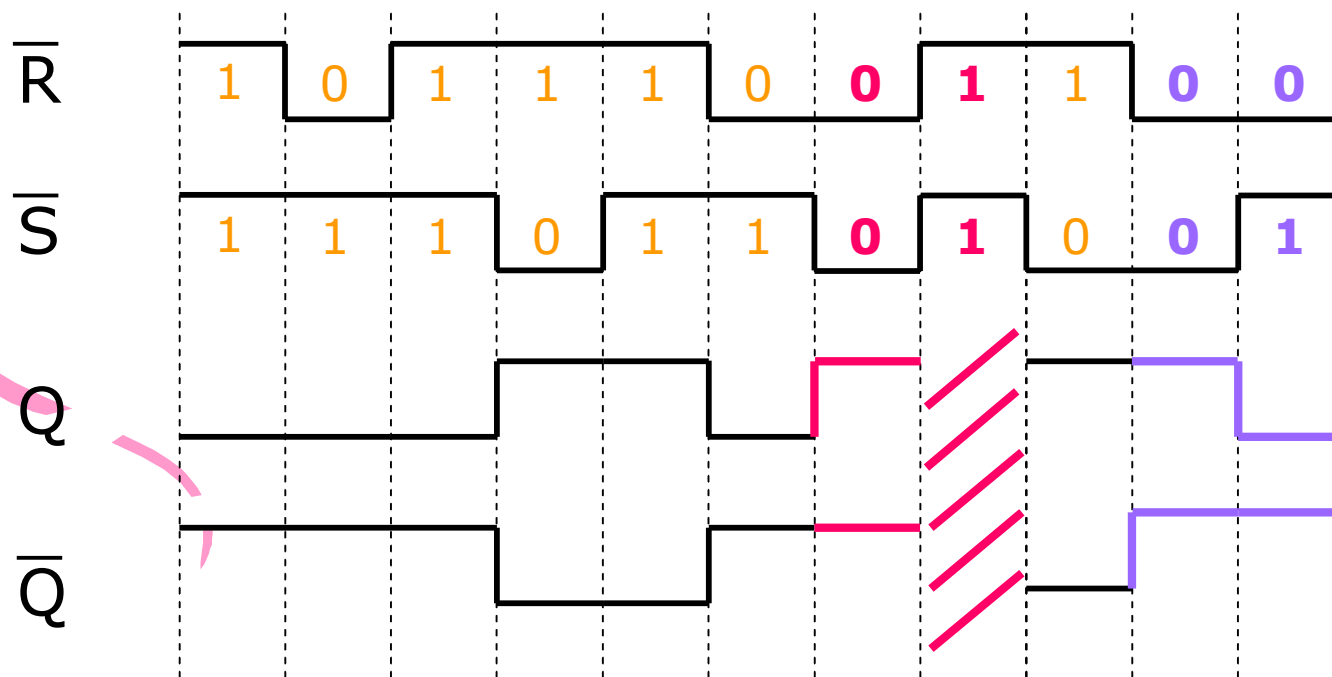
附加
条件

4.1 基本触发器

4.1.3 基本R-S触发器

4、时序图

- 不含不确定状态的时序图
- 含有不确定状态的时序图

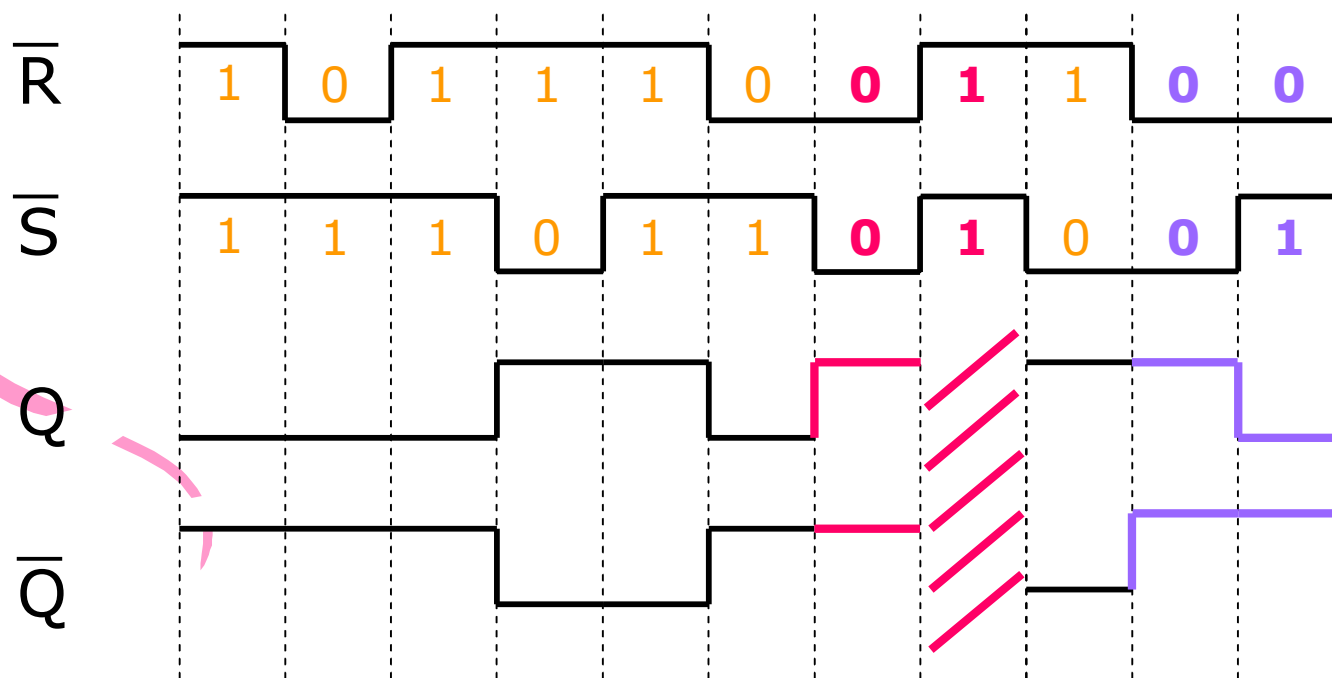


4.1 基本触发器

4.1.3 基本R-S触发器

4、时序图

- 不含不确定状态的时序图
- 含有不确定状态的时序图

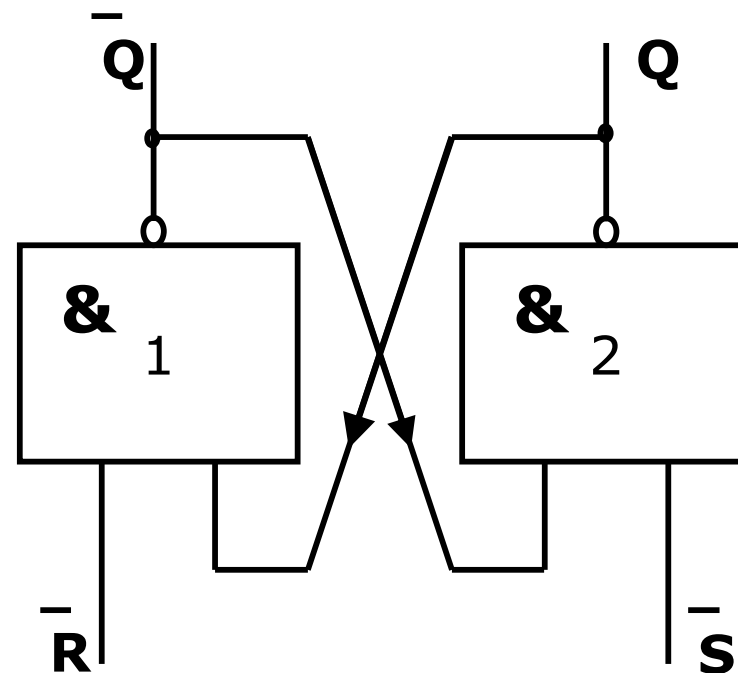


4.1 基本触发器

4.1.3 基本R-S触发器

5、总结

- 优点：结构简单
- 缺点：
存在不确定状态，
抗干扰能力不强



4.2 钟控触发器（同步，电平，电位）

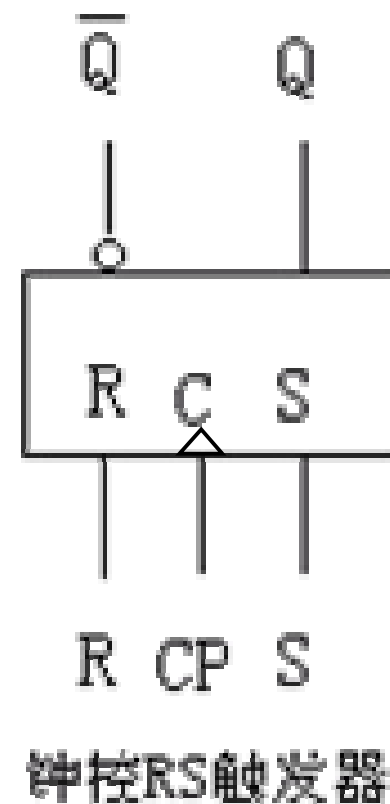
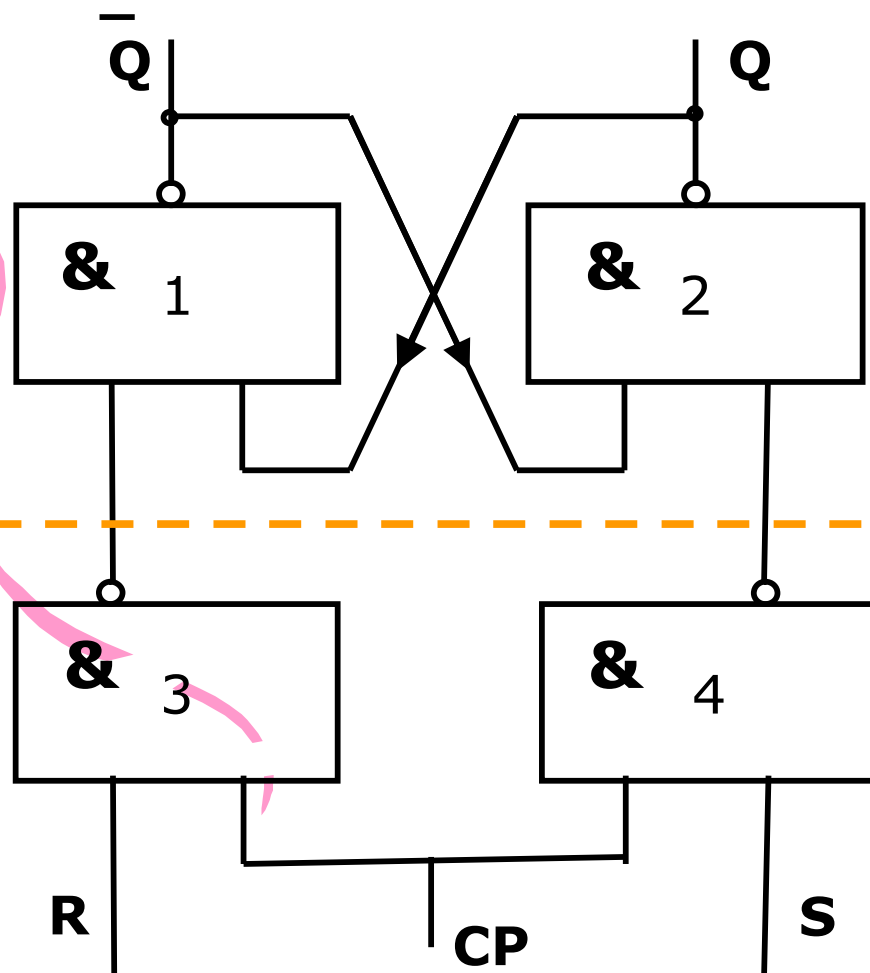
4.2.1 钟控R-S触发器

- 在基本**R-S**触发器基础上增加一个时钟控制端，即**CP**端。
- 优势：
 - ① 提高触发器的抗干扰能力
 - ② 多个触发器能够在同一个控制信号的作用下同步工作

4.2 钟控触发器（同步，电平，电位）

4.2.1 钟控R-S触发器

1、逻辑电路图和符号



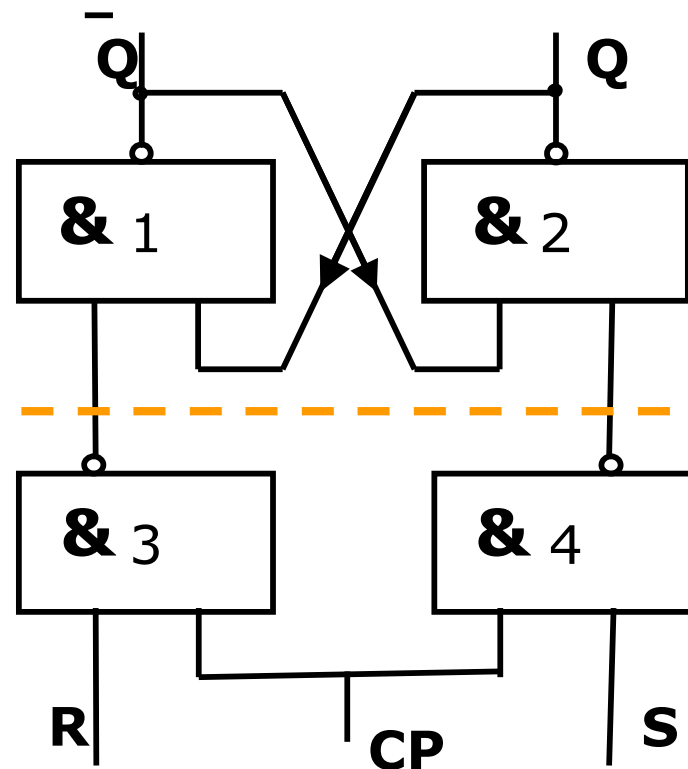
4.2 钟控触发器（同步，电平，电位）

4.2.1 钟控R-S触发器

2、功能表

- ① 当 $cp=0$ 时，静态保持；
- ② 当 $cp=1$ 时，有：

R	S	Q^{n+1}	功 能
0	0	Q^n	动态保持
0	1	1	置 1
1	0	0	置 0
1	1	×	不确定

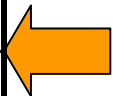


4.2 钟控触发器（同步，电平，电位）

4.2.1 钟控R-S触发器

3、次态卡诺图与次态方程

- 次态卡诺图



Q^{n+1}		RS			
		00	01	11	10
Q^n	0	0	1	×	0
	1	1	1	×	0

R	S	Q^{n+1}	功 能
0	0	Q^n	动态保持
0	1	1	置 1
1	0	0	置 0
1	1	×	不确定

4.2 钟控触发器（同步，电平，电位）

4.2.1 钟控R-S触发器

3、次态卡诺图与次态方程

- 次态方程

① 当**cp**=**0**时，

$$Q^{n+1} = Q^n$$

② 当**cp**=**1**时，有：

$$Q^{n+1} = S + \bar{R} \cdot Q^n$$

$$S \cdot R = 0$$

4.2 钟控触发器（同步，电平，电位）

4.2.1 钟控R-S触发器

4、激励表

- 由已知的 Q^{n+1} 和 Q^n 的值确定输入端取值的关系表，叫触发器的激励表。
- 是真值表的变形，由特征方程和约束条件决定。

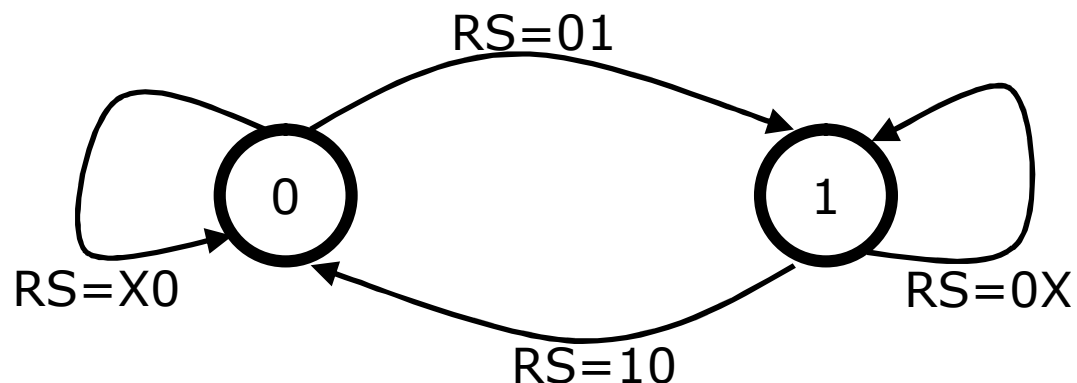
R	S	Q^{n+1}	功 能
0	0	Q^n	动态保持
0	1	1	置 1
1	0	0	置 0
1	1	×	不确定

Q^n	Q^{n+1}	R	S
0	0	×	0
0	1	0	1
1	0	1	0
1	1	0	×

4.2 钟控触发器

4.2.1 钟控R-S触发器

5、状态图和状态表



Q^n	Q^{n+1}	R	S
0	0	×	0
0	1	0	1
1	0	1	0
1	1	0	×

现态 Q	次态 Q^{n+1}			
	RS=00	RS=01	RS=11	RS=10
0	0	1	×	0
1	1	1	×	0

4.2 钟控触发器（同步，电平，电位）

4.2.1 钟控R-S触发器

6、小结

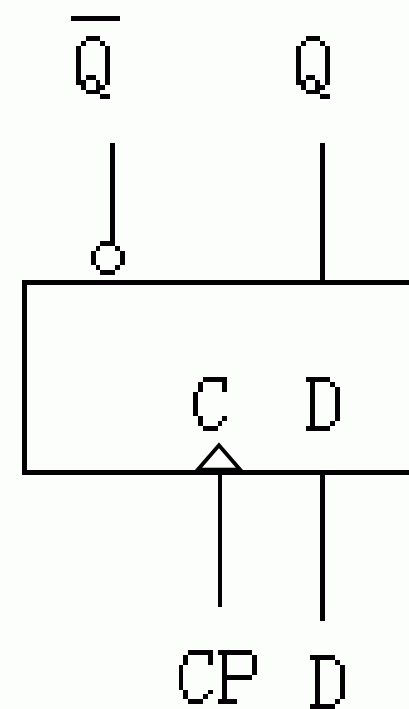
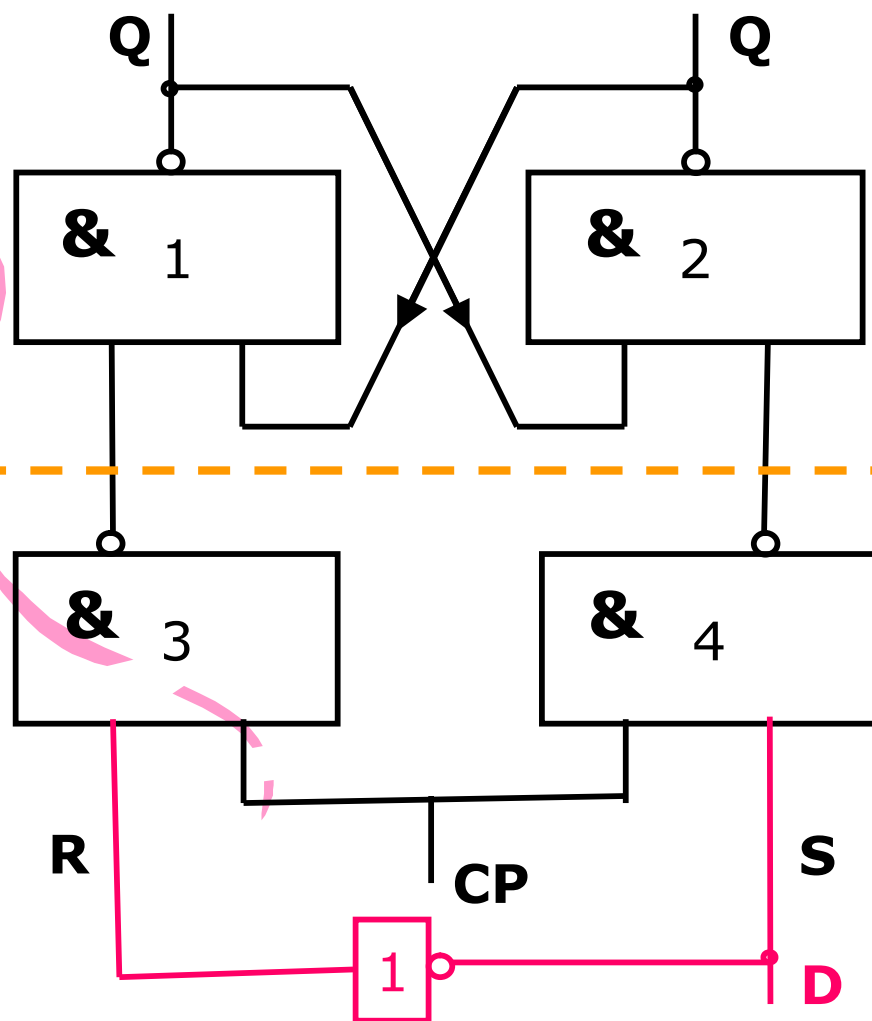
- 电路加了一级门电路，用**CP**统一控制，有效提高了可靠性，但未能有效地解决空翻现象；
- 其次仍存在不定状态，即使用时，需要约束条件，为了解决不定状态，采用让两路数据成为互补的数据。

R	S	Q^{n+1}	功 能
0	0	Q^n	动态保持
0	1	1	置 1
1	0	0	置 0
1	1	×	不确定

4.2 钟控触发器（同步，电平，电位）

4.2.2 钟控D触发器

1、_逻辑电路图和符号



钟控D触发器

4.2 钟控触发器（同步，电平，电位）

4.2.2 钟控D触发器

2、功能表

- ① 当 $cp=0$ 时，静态保持；
- ② 当 $cp=1$ 时，有：

D	Q^{n+1}	功 能
0	0	置 0
1	1	置 1

4.2 钟控触发器（同步，电平，电位）

4.2.2 钟控D触发器

3、次态卡诺图与次态方程

- 次态卡诺图

		D	
		0	1
Q^n	0	0	1
	1	0	1

4.2 钟控触发器（同步，电平，电位）

4.2.2 钟控D触发器

3、次态卡诺图与次态方程

- 次态方程

① 当**cp=0**时，

$$Q^{n+1} = Q^n$$

② 当**cp=1**时，有：

$$Q^{n+1} = D$$

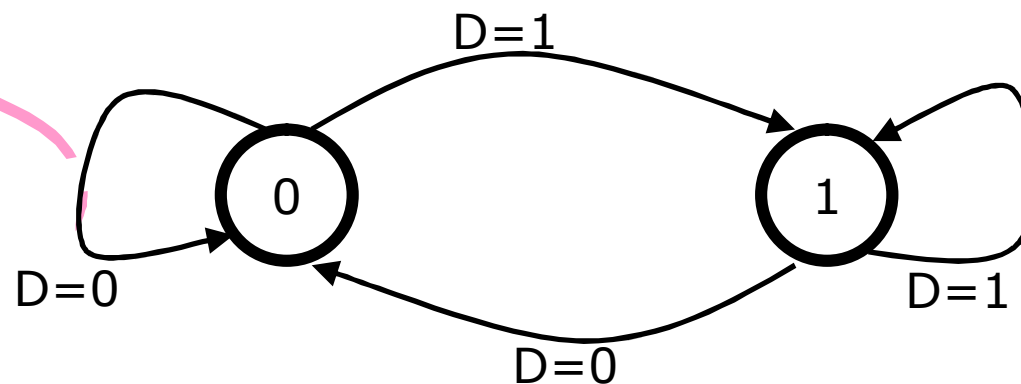
4.2 钟控触发器（同步，电平，电位）

4.2.2 钟控D触发器

4、激励表

Q^n	Q^{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

5、状态图



4.2 钟控触发器（同步，电平，电位）

4.2.2 钟控D触发器

6、状态表

现态 Q	次态 Q^{n+1}	
	D=0	D=1
0	0	1
1	0	1

4.2 钟控触发器（同步，电平，电位）

4.2.2 钟控D触发器

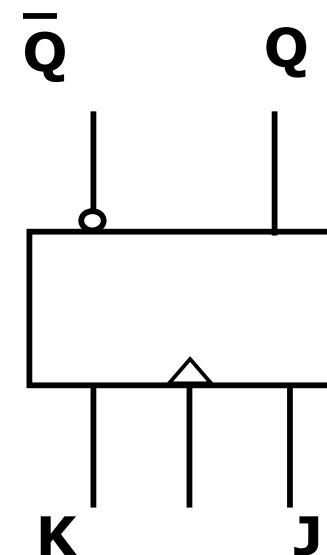
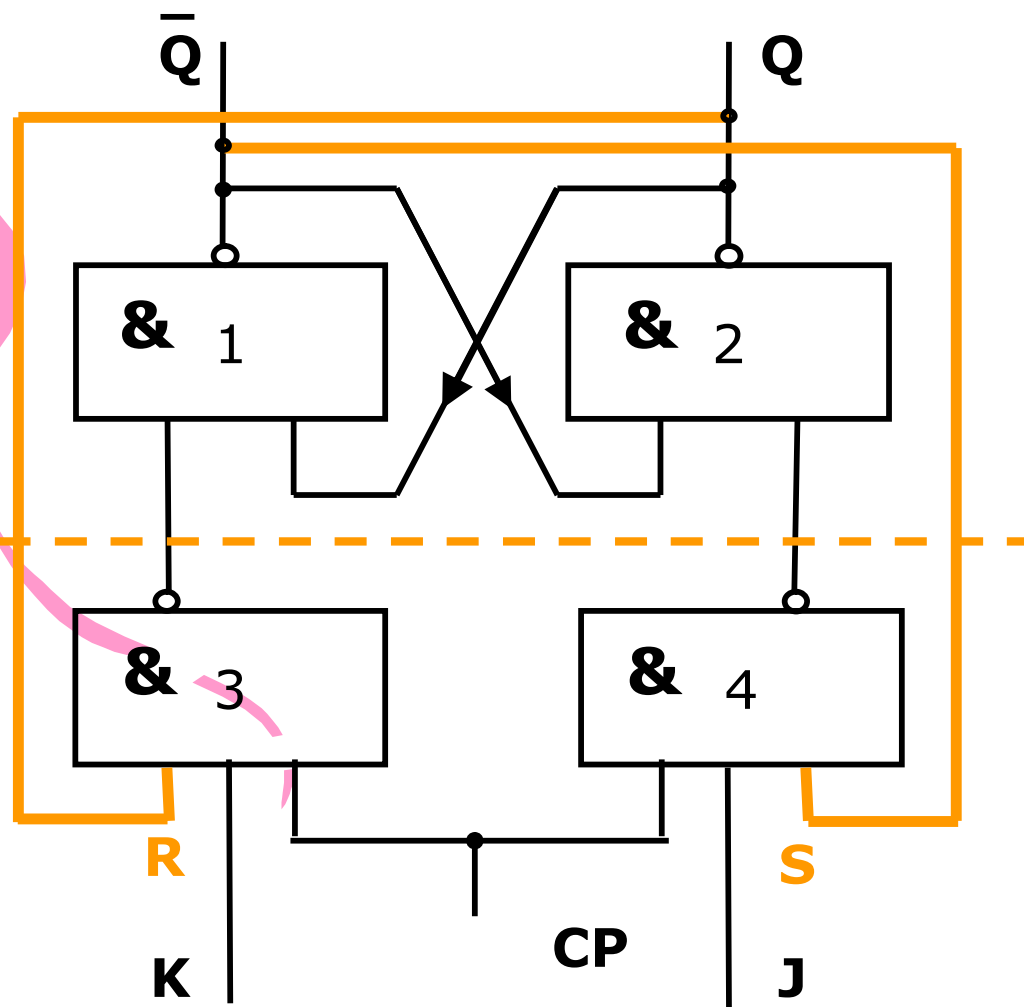
7、缺点

- 仍存在“空翻”现象
- 功能减少了，没有“动态保持”功能

4.2 钟控触发器（同步，电平，电位）

4.2.3 J-K触发器

1、逻辑电路图和符号



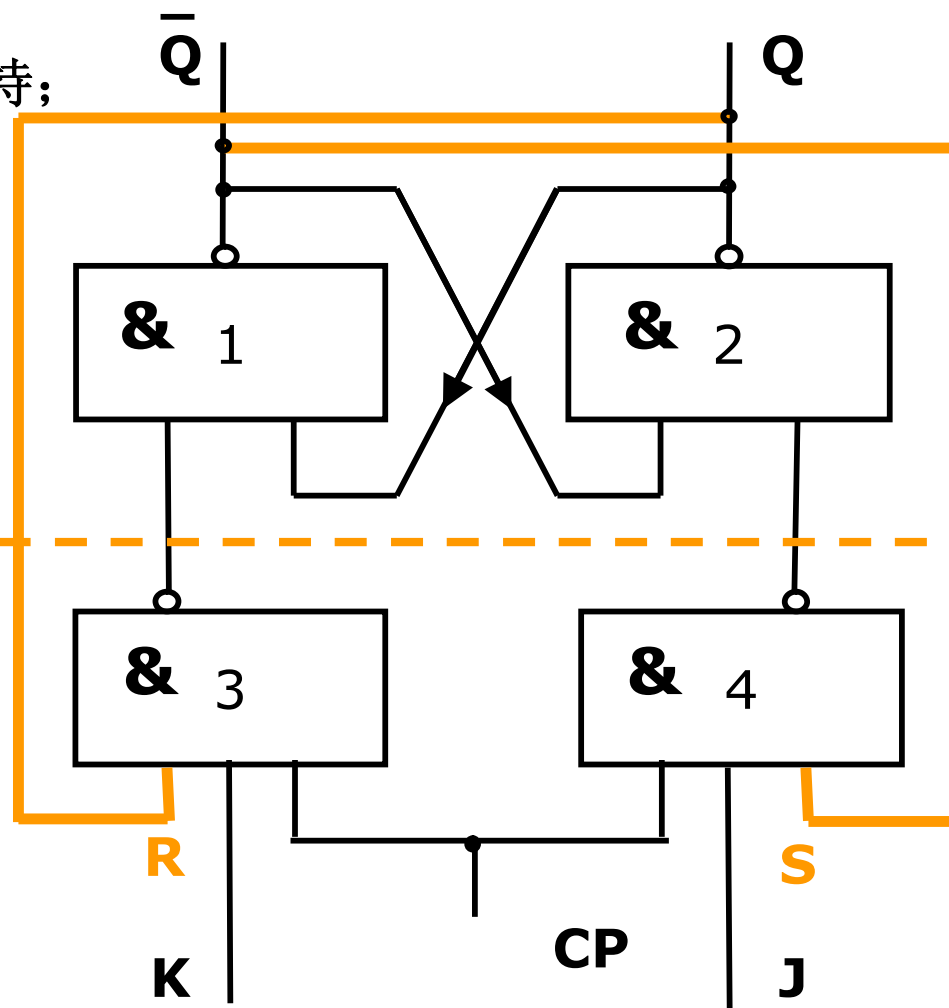
4.2 钟控触发器（同步，电平，电位）

4.2.3 J-K触发器

2、功能表

- ① 当 $cp=0$ 时，静态保持；
- ② 当 $cp=1$ 时，有：

J	K	Q^{n+1}	功 能
0	0	Q^n	动态保持
0	1	0	置 0
1	0	1	置 1
1	1	Q^n	变反



4.2 钟控触发器（同步，电平，电位）

4.2.3 J-K触发器

3、次态卡诺图与次态方程

- 次态卡诺图

Q^{n+1}	JK			
	00	01	11	10
Q^n 0			1	1
1	1			1
	K			
	J			

4.2 钟控触发器（同步，电平，电位）

4.2.3 J-K触发器

3、次态卡诺图与次态方程

- 次态方程

① 当**cp=0**时，

$$Q^{n+1} = Q^n$$

② 当**cp=1**时，有：

$$Q^{n+1} = J\overline{Q}^n + \overline{K} \cdot Q^n$$

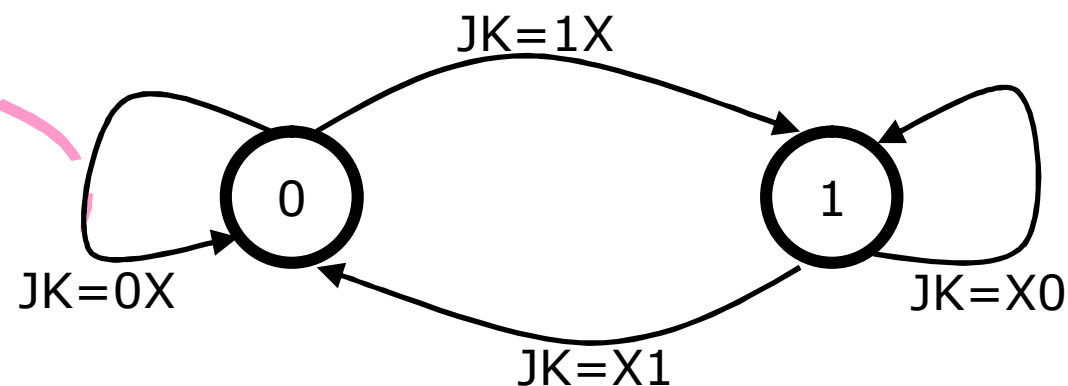
4.2 钟控触发器（同步，电平，电位）

4.2.3 J-K触发器

4、激励表

Q^n	Q^{n+1}	J	K
0	0	0	×
0	1	1	×
1	0	×	1
1	1	×	0

5、状态图



4.2 钟控触发器（同步，电平，电位）

4.2.3 J-K触发器

6、状态表

现态 Q	次态 Q^{n+1}			
	JK=00	JK=01	JK=11	JK=10
0	0	0	1	1
1	1	0	0	1

4.2 钟控触发器（同步，电平，电位）

4.2.3 J-K触发器

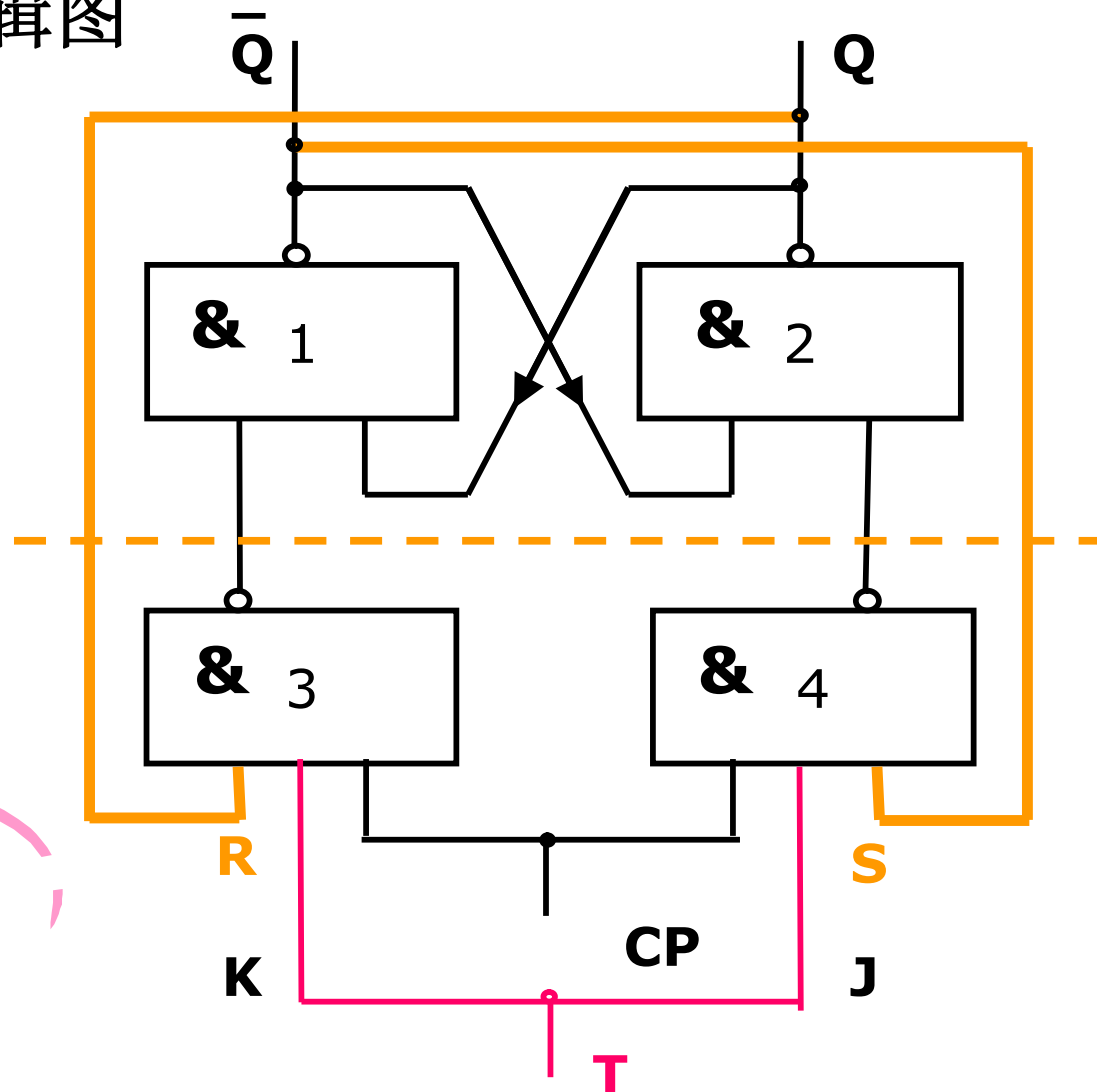
7、小结

- 消除了“不确定状态”
- 仍存在“空翻”现象

4.2 钟控触发器（同步，电平，电位）

4.2.4 钟控T触发器（计数触发器）

1. 逻辑图



4.2 钟控触发器（同步，电平，电位）

4.2.4 钟控T触发器

2、功能表

- ① 当 $\mathbf{cp=0}$ 时，静态保持；
- ② 当 $\mathbf{cp=1}$ 时，有：

T	Q^{n+1}	功 能
0	Q^n	保持
1	$\overline{Q^n}$	变反

4.2 钟控触发器（同步，电平，电位）

4.2.4 钟控T触发器

3、次态卡诺图与次态方程

- 次态卡诺图

		D	
		0	1
Q^n	0		1
	1	1	

4.2 钟控触发器（同步，电平，电位）

4.2.4 钟控T触发器

3、次态卡诺图与次态方程

- 次态方程

① 当**cp**=**0**时，

$$Q^{n+1} = Q^n$$

② 当**cp**=**1**时，有：

$$Q^{n+1} = T\bar{Q} + \bar{T}Q$$

4.2 钟控触发器（同步，电平，电位）

4.2.4 钟控T触发器

4、激励表

Q^n	Q^{n+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

4.2 钟控触发器（同步，电平，电位）

4.2.4 钟控T触发器

5、状态图和状态表

现态 Q	次态 Q^{n+1}	
	T=0	T=1
0	0	1
1	1	0

4.2 钟控触发器（同步，电平，电位）

4.2.4 钟控T触发器

6、应用

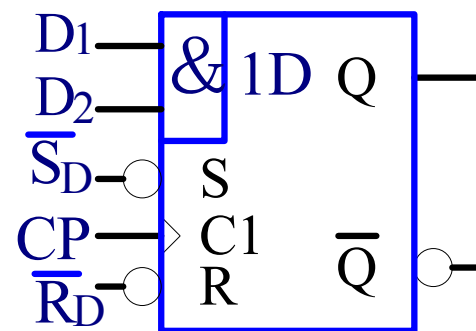
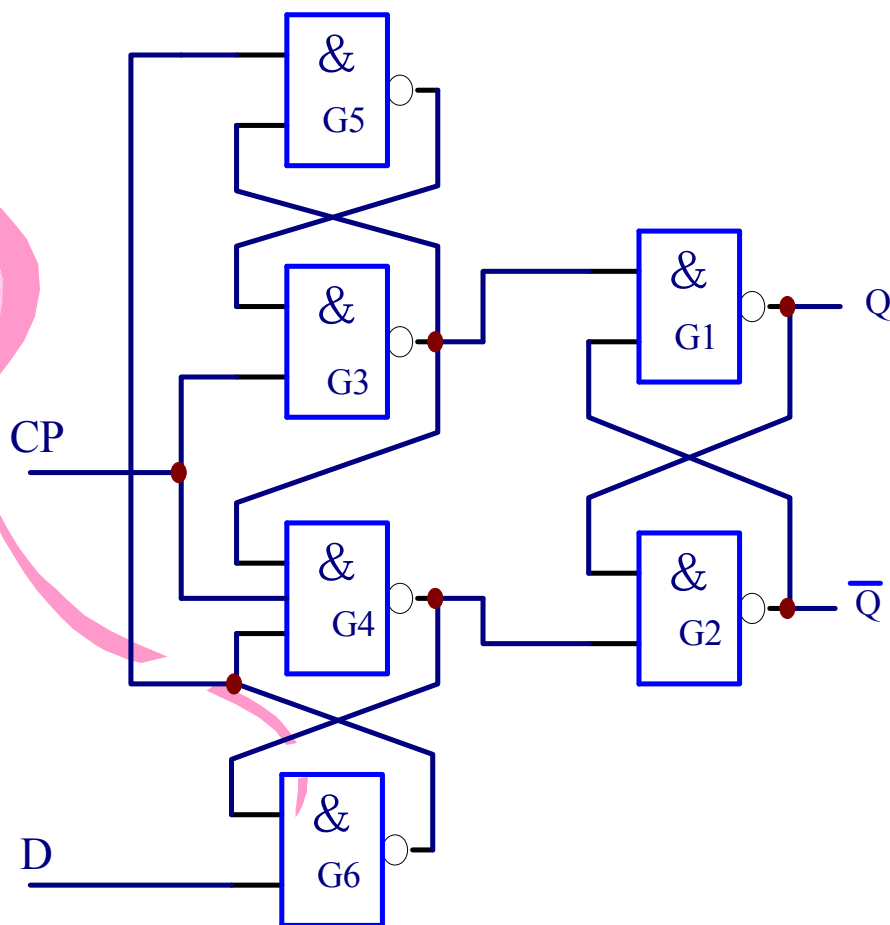
- 用钟控T触发器构成一位计数器。
- 解：将T端恒接高电平



4.4 边沿触发器

4.4.1 维持阻塞边沿D触发器




1. 逻辑电路图和符号



4.4 边沿触发器

4.4.1 维持阻塞边沿D触发器

2. 真值表和特性方程

CP	D	Q^n	Q^{n+1}
×	×	×	Q^n
	0	0	0
	0	1	0
	1	0	1
	1	1	1

特性方程 $Q^{n+1}=D$

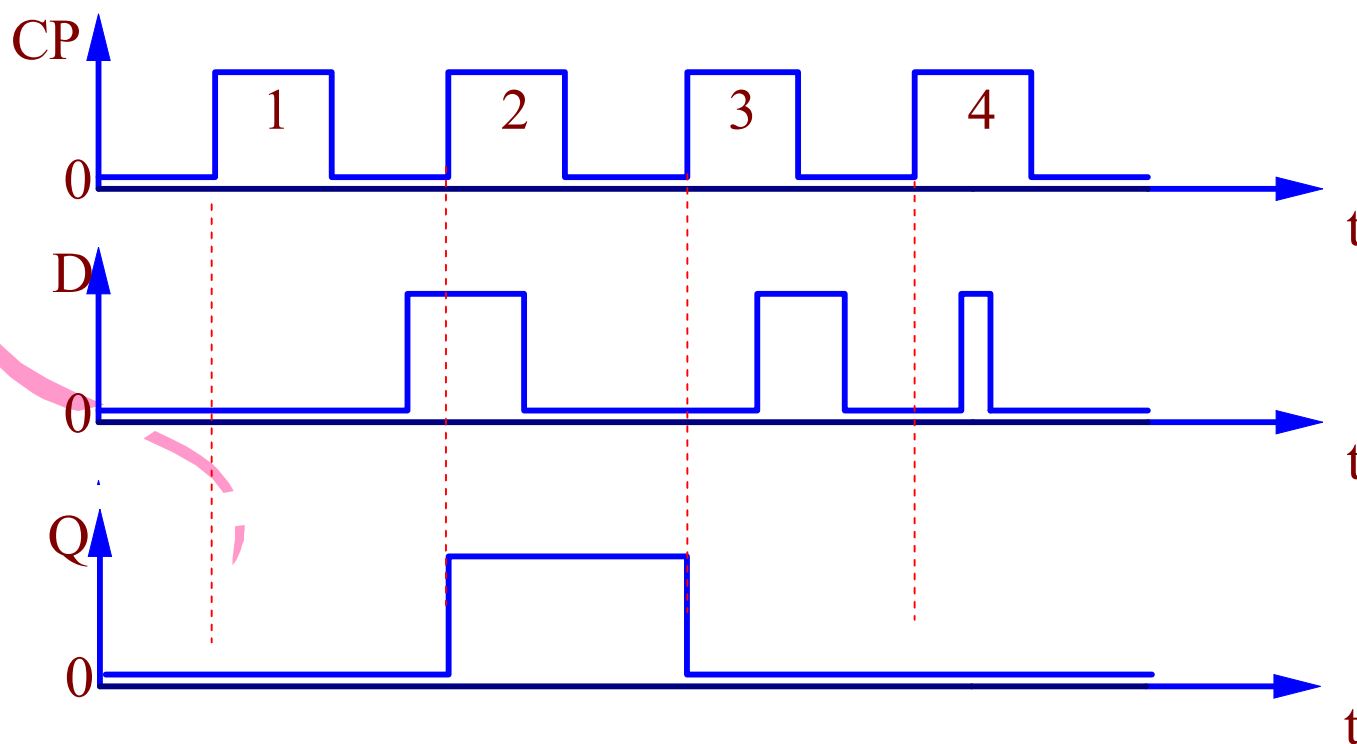
3. CAI演示

4.4 边沿触发器

4.4.1 维持阻塞边沿D触发器

4. 波形图

已知边沿D触发器(正边沿翻转)的时钟信号和输入信号如图所示, 试画出 Q 端的波形, 设触发器的初态为 $Q=0$ 。



4.4 边沿触发器

4.4.2 边沿J-K触发器

- 主从JK触发器存在“一次变化现象”，抗干扰能力较差。
- 为了提高触发器的可靠性，增强抗干扰能力，希望触发器的次态仅仅取决于CP信号下降沿（或上升沿）到达时刻输入信号的状态。而在此之前和之后输入状态的变化对触发器的次态没有影响。
- →“边沿触发器”具有这样的特性。

4.4 边沿触发器

4.4.2 负边沿J-K触发器

- 边沿**JK**触发器分上升边沿（正边沿）和下降边沿（负边沿）两种
- 将主从**JK**触发器中存储一位数据的过程由两步到位变成一步到位：即在时钟信号**下降**时才对输入信号作出响应并引起状态翻转，而与此刻以前、以后的输入信号无关，从而大大提高了抗干扰能力。
- **CAI**演示

4.4 边沿触发器

4.4.2 负边沿J-K触发器功能表和特性方程

CP	J	K	Q^n	Q^{n+1}	
×	×	×	×	Q^n	
↓	0	0	0	0	保持
↓	0	0	1	1	
↓	0	1	0	0	置 0
↓	0	1	1	0	
↓	1	0	0	1	置 1
↓	1	0	1	1	
↓	1	1	0	1	翻转
↓	1	1	1	0	

特性方程 $Q^{n+1} = J \cdot Q^n + \overline{K} \cdot Q^n$



4.3 主从触发器（提高部分）

4.3.1 主从J-K触发器

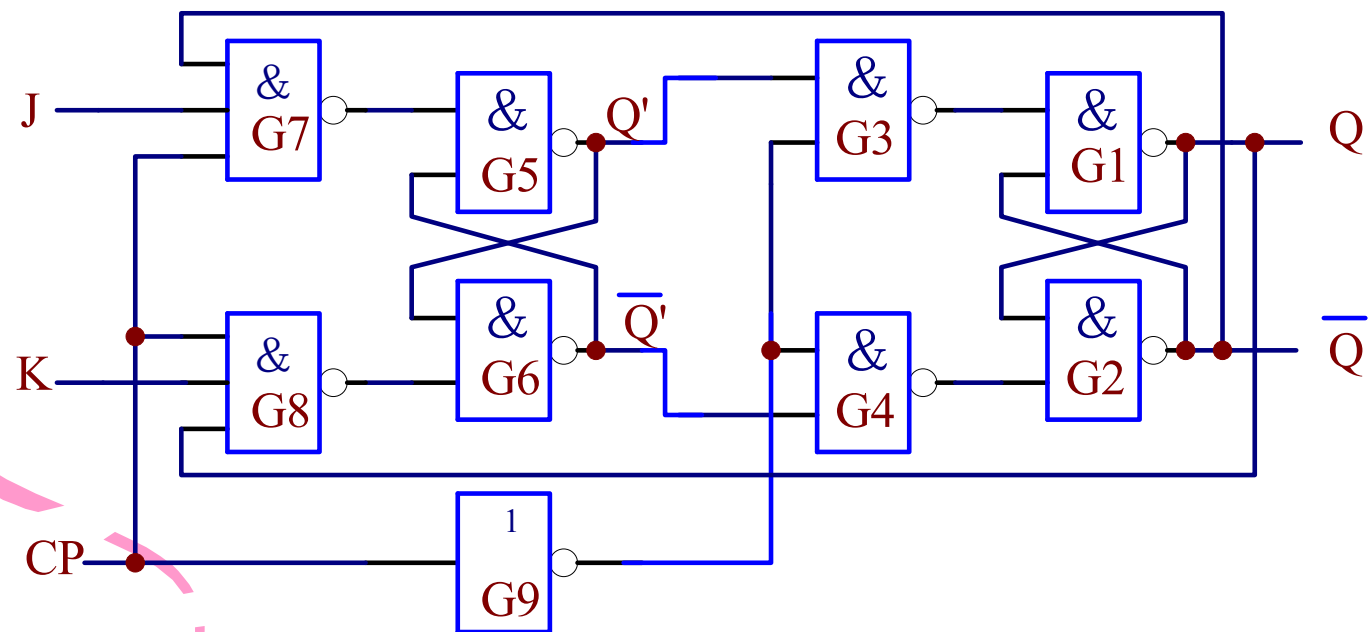
1. 逻辑结构

- 由两个钟控**RS**触发器组成：其中与输入相连的**RS**触发器叫**主触发器**，与输出相连的钟控**RS**触发器叫**从触发器**。
- **Q**反馈到**J**输入端，**Q**反馈到**K**输入端。
- 加到两个触发器的时钟**CP**是反相的。

4.3 主从触发器

4.3.1 主从J-K触发器

1. 逻辑结构 (P96)



4.3 主从触发器

4.3.1 主从J-K触发器

2.工作原理

主从JK触发器的工作分两步完成：

- 在**CP=1**期间，主触发器接收输入信号，从触发器状态不变；
- 在**CP**时钟下降时，将主触发器的状态传送给从触发器；而在**CP=0**期间，主触发器不接收数据(**CP=0**，输入门封死)，从触发器保持状态不变。

4.3 主从触发器

4.3.1 主从J-K触发器

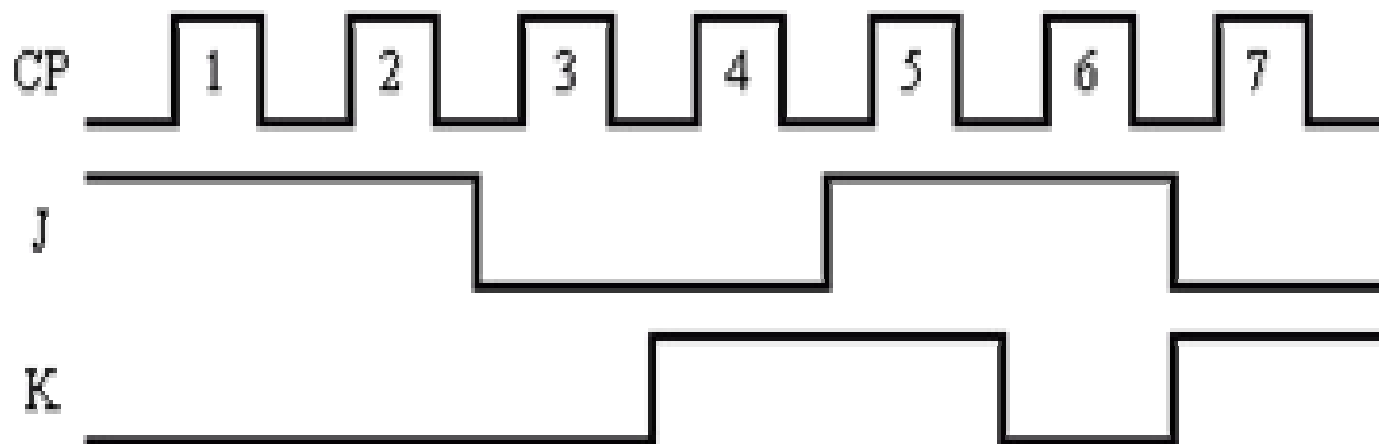
3. 功能分析

J	K	Q^{n+1}	功 能
0	0	Q^n	保持
0	1	0	置 0
1	0	1	置 1
1	1	Q^n	变反

4.3 主从触发器

4.3.1 主从J-K触发器

4. 工作波形图



5. CAI演示

4.3 主从触发器

4.3.1 主从J-K触发器

6.小结

- 主从**J-k**触发器是脉冲触发方式，它要求在**CP=1**期间**J**和**K**保持不变，否则可能出错，降低了可靠性。
- 带数据锁定的主从**J-k**触发器避免了该问题，它不是在**CP=1**期间接收信号，而是在**CP**上升沿时接收输入信号，下降沿时输出。（即教材中介绍的主从**JK**触发器）

4.3 主从触发器

4.3.2 其他主从触发器

- 主从**RS**触发器
- 主从**D**触发器
- 主从**T**触发器

