EE6094

CAD for VLSI Design

Programming Assignment 1 Report

Student Name:阮品紘

Student ID:106502013

Abstract

本次作業是利用程式把benchmark檔轉成verilog檔。

1. Problem Description

本次作業是利用程式把benchmark檔轉成verilog檔。

1. Program Structure

Read file -> data processing -> write file

**Read file**

1. 先利用file stream operator read input/output、inverters and gates 個數。
2. 再經由getline函式讀取所有inputs和output。
3. 最後一樣利用getline函式讀取gates，再經由spiltstr把讀取的資料用「,」分開，取得gate閘的所有inputs及output。

**Write file**

1. Module部分使用Uinon函式得出input和output的聯集，再經由writeToFile函式輸出到file中。
2. Input及output簡單使用writeToFile寫入檔案。
3. Wire則為所有gate與input和output的差集。
4. 最後gate依序寫入gate名稱、gate序號、gate輸出、gate輸入。
5. Data Structures / Algorithms Used

Data structures : vector、set

Algorithms : no algorithms

1. How to Execute

(Windows)

$ g++ main.cpp

$ a.exe 17.bench 17.v