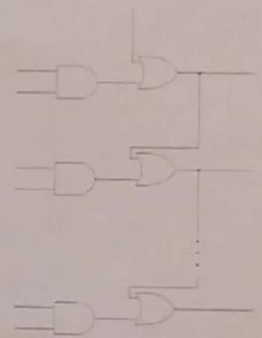


PREDMET: ARHITEKTURA I ORGANIZACIJA RAČUNARA 2

Napomena: Maksimalni broj poena na ispitu je 80. Da bi se položio ispit, neophodno je ostvariti najmanje 51 poen u zbiru sa laboratorijskim vežbama.

1. Prikazati brojeve 3,2,1,0,-1,-2,-3 u binarnom brojnom sistemu koristeći tri cifre pomoću:
 - a) Prostog kodiranja
 - b) Jediničnog komplimenta
 - c) Dvojnog komplimenta
 - d) Polarizovanog oblika(6 poena)
2. Nacrtati blok dijagram množača neoznačenih brojeva. Dati dijagram toka koji opisuje način rada, a potom prikazati sadržaje registara C,A,Q i M u svim koracima sve do dobijanja rezultata za slučaj množenja četvorobitnih brojeva $(7)_{10} \times (11)_{10}$. (6 poena)
3. Objasniti razloge zbog kojih se uvode bitovi zaštite. Ilustrovati primerom. Dati format mantise sa tri zaštitna bita i komentarisati njihovu ulogu. (6 poena)
4. Na VHDL-u opisati kolo sa slike korišćenjem *generate* klauzula. Koristiti *for-generate* i *if-generate* klauzule. I i ILI funkcionalnosti realizovati konkurentnim klauzulama dodele vrednosti signalima (ne objedinjavati I i ILI u jednu klauzulu). Za opisivanje diskretnih opsega koristiti *generic* konstante. Ne koristiti lokalne deklaracije u *generate* klauzulama. Nacrtati šemu kola za slučaj da je prisutno četiri ILI kola i na šemi označiti sve portove i signale na isti način kako su upotrebljeni u dizajnu. Kreirati testbenč sa talasnim oblicima ulaza koji demonstriraju sve osobine kola. NAPOMENA: rešenja bez tražene šeme kola neće biti bodovana. (10 poena)
5. Objasniti adresiranje kesa fizičkim adresama i virtuelnim adresama. Diskutovati prednosti i mane kod oba rešenja. (6 poena)
6. Razmatra se računar sa stranično organizovanom virtuelnom memorijom, sa 44-bitnim virtuelnim adresama, fizičkog adresnog prostora 4GB, i stranica veličine 4KB. Transformator adresa sadrži keš memoriju sa potpunim asocijativnim preslikavanjem za preslikavanje adresa (TLB) sa ukupno 64 stavki. Izračunati veličinu linearne stranične tablice u GB, ukoliko su sve virtuelne stranice u upotrebi, a indikatori P, K, M, R i W jednobitni. (6 poena)
7. Izvršenje instrukcija na nekom procesoru podeljeno je u 5 faza: *Pribavljanje instrukcije* (IF), *Dekodiranje i pribavljanje operanada* (ID), *Izvršenje* (EX), *Pristup memoriji* (MEM) i *Upis u registarski fajl* (WB). Svaka od ovih faza zahteva, redom, 5, 20, 10, 4 i 3 nanosekunde (ns). Protočna implementacija procesora zahteva korišćenje lečeva između svakog para protočnog setepena. Razmatraju se dve varijante implementacije protočnog procesora:
 - (i) Naivna protočna implementacija (NP) sa 5 stepena
 - (ii) Efikasna protočna implementacija (EP) kod koje je ID stepen podeljen na dva stepena: dekodiranje instrukcije (ID1) i pribavljanje operanada (ID2) pri čemu svaki zahteva po 12 ns.Određiti koliko je ubrzanje EP implementacije u odnosu na NP implementaciju ako se izvršava 20 nezvisnih instrukcija između kojih nema nikakvih hazarda. (10 poena)
8. a) Šta mora da posmatra logika za detekciju hazarda kod protočnog izvršenja instrukcija (odgovor popunjavanjem na posebnom obrascu)
b) Zadati sledeći niz instrukcija
add R3, R2, R0
sub R2, R3, R0



and R3, R3, R2

Da bi se ovaj niz instrukcija izvršio bez zastoja, koje prosleđivanje (bypassing, forwarding) je neophodno
(odgovor popunjavanjem na posebnom obrascu) (6 poena)

9. Zadat je sledeći programski kod:

```
for (i=0; i<100; i++) {  
    if (i%2==1) { // branch 1: ako je i neparno radi nešto  
    }  
    // branch 2: grananje na početak petlje
```

Za predikciju grananja korišćeni su dvo-bitni prediktori inicijalizovani na 00. Koliko grananja je korektno predviđeno?

(odgovor popunjavanjem na posebnom obrascu)

(6 poena)

10. Sledeći niz instrukcija se izvršava na procesoru koji implementira Tomasulov algoritam. Na raspolaganju su 2 Load bafera, 3 funkcionalne jedinice za sabiranje/oduzimanje u pokrenom zarezu i dve za množenje/deljenje u pokrenom zarezu. Latentnost load instrukcija je 2 klok ciklusa, sabiranja/oduzimanja 2 klok ciklusa, množenja 10 klok ciklusa, a deljenja 20 klok ciklusa.

LD F6, 34 (R2)

LD F2, 45 (R3)

MULTD F0, F2, F4

SUBD F3, F6, F2

DIVD F1, F0, F6

ADDD F6, F3, F2

Za koliko klok ciklusa će se izvršiti navedeni niz instrukcija? Odgovor dati popunjavanjem tabele statusa instrukcija. Prikazati kako izgledaju sadržaji load bafera, rezervacionih stanica i tabela registra rezultata u trenutku kada se izdaje instrukcija. Inicijalne vrednosti registara i memorijskih lokacija su prikazane sledećim tabelama:

R2	R3	F0	F1	F2	F3	F4	F5	F6
10	-5	0	2	4	6	8	10	12

Memorijska adresa	36	40	44	48
	10	20	30	40

11. Petostepeni protočni procesor ima sledeću učestanost pojavljivanja instrukcija

(12 poena)

ALU operacije	grananja	Load/Store
50%	20%	30%

Zbog RAW hazarda 10% ALU instrukcija i 5% LW/SW instrukcija ima zastoje od 1 clk ciklusa. Procesor koristi 1-bitni prediktor za predikciju grananja čija je pouzdanost predviđanja 60%, a u slučaju pogrešne predikcije gubi se 1 klok ciklus. Koliki je srednji broj taktova po instrukciji za ovaj procesor ako u idealnom slučaju iznosi 1 clk/instr?

(6 poena)

PREDMETNI NASTAVNICI