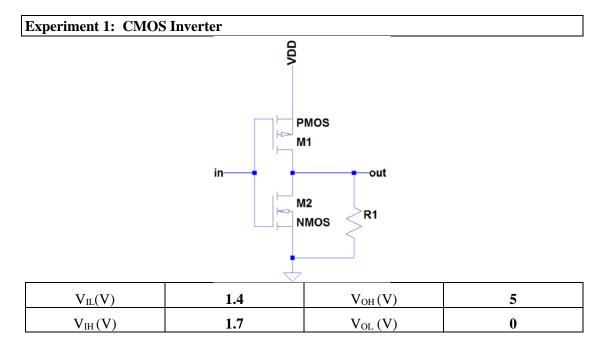
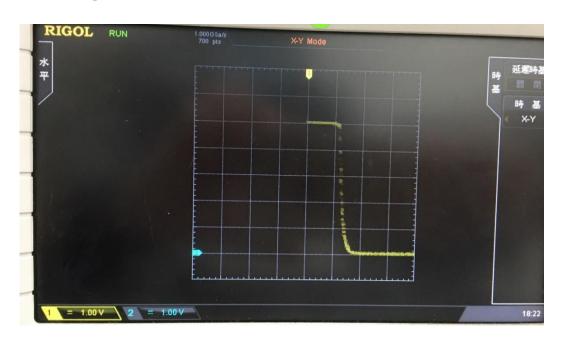
REPORT (使用 PMOS:9540、NMOS:640)

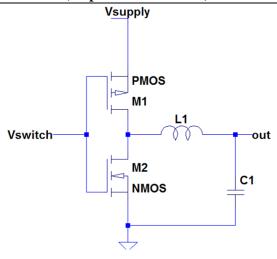


X-Y mode Graph (Set V_{in} as X axis and V_{out} as Y axis)



透過將 in 接在 CH1,out 接在 CH2,並接換為 X-Y mode,可以得到透過一個 NMOS 及 PMOS 所組成的 inverter 的 VTC。

Experiment 2: Buck Converter (Step-down Converter)



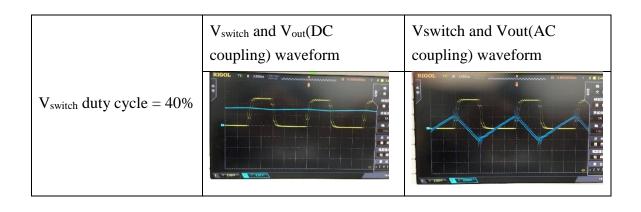
Duty Cycle							
Of	20%	30%	40%	50%	60%	70%	80%
V_{switch}							
V _{out,avg} (DC)	4.03	3.51	3.00	2.49	2.00	1.50	1.01
V _{out,avg,thm} (DC)	4	3.5	3	2.5	2	1.5	1
$V_{out,amp}(AC)$	150m	200m	200m	200m	200m	200m	200m

NOTE:

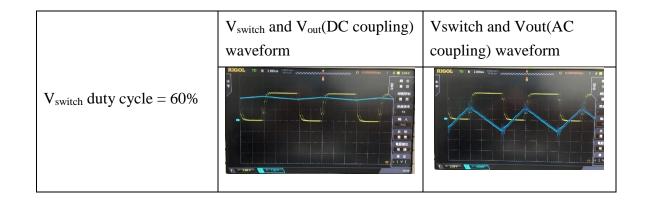
DC coupling for output voltage DC value measurement

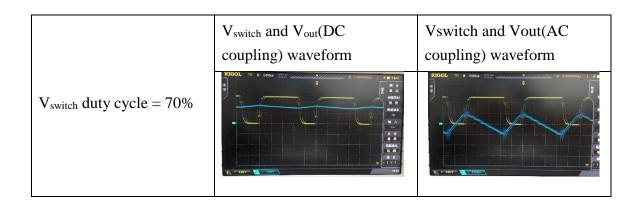
AC coupling for output ripple waveform observation

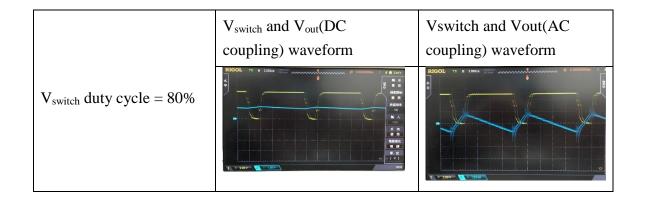
 $V_{switch} \ and \ V_{out}(DC \\ coupling) \ waveform$ $V_{switch} \ duty \ cycle = 20\%$ $V_{switch} \ duty \ cycle = 20\%$ $V_{switch} \ duty \ cycle = 20\%$



 $V_{switch} \ and \ V_{out}(DC \\ coupling) \ waveform$ $V_{switch} \ duty \ cycle = 50\%$ $V_{switch} \ duty \ cycle = 50\%$ $V_{switch} \ duty \ cycle = 50\%$







2.

Step I:

Let R_L = open (i.e. without load resistor).

To get $V_{out} = 2.5V$, set V_{switch} duty cycle ____50 ___%

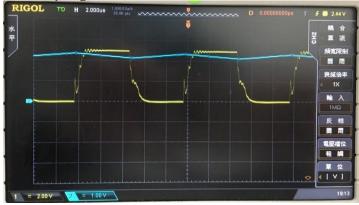
V_{switch} and V_{out}(DC coupling) waveform



Step II: Connect $R_L=25\Omega$ to the output node in parallel.

Step III: $V_{RL} = 2.18 \quad V$

V_{switch} and V_{out}(DC coupling) waveform



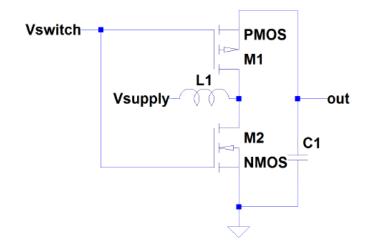
Step IV:
$$P_{RL} = (V_{RL})^2 / R_L = 0.19$$
 W

$$\begin{aligned} &\text{Step V: V}_{power \ supply} = \underline{\quad 5 \quad \quad V \quad } & I_{power \ supply} = \underline{\quad 0.049 \quad \quad A} \\ &P_{power \ supply} = IV = \underline{\quad 0.245 \quad \quad W} \end{aligned}$$

Step VI:

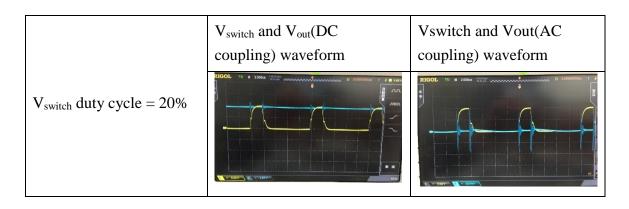
Efficiency $\eta = P_{RL} / P_{power supply} = 0.7755$ %

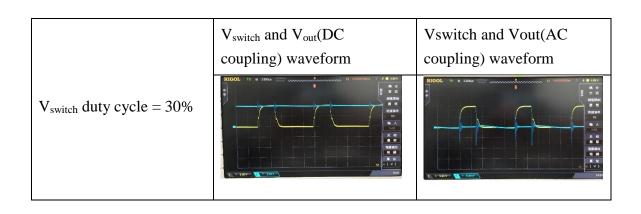
Experiment 3: Boost Converter (Step-up Converter)

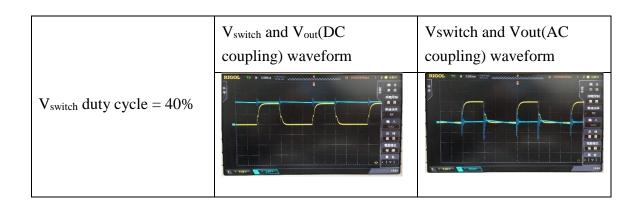


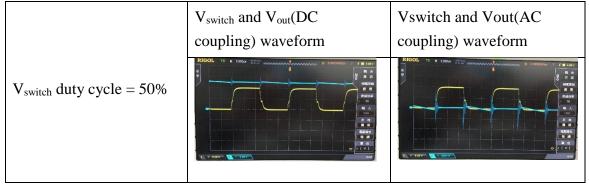
Duty Cycle					
Of	20%	30%	40%	50%	60%
V_{switch}					
V _{out,avg} (DC)	3.75	3.8	4.2	5	6.2

1.









 $V_{switch} \ and \ V_{out}(DC \\ coupling) \ waveform$ $V_{switch} \ duty \ cycle = 60\%$ $V_{switch} \ duty \ cycle = 60\%$ $V_{switch} \ duty \ cycle = 60\%$ $V_{switch} \ duty \ cycle = 60\%$

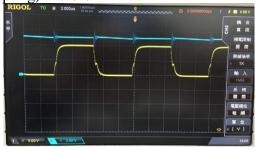
2.

Step I:

Let R_L = open (i.e. without load resistor).

To get $V_{out} = 5V$, set V_{switch} duty cycle _____50 ___%

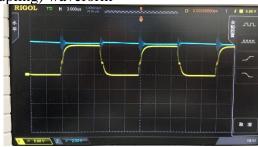
V_{switch} and V_{out}(DC coupling) waveform



Step II: Connect $R_L=50\Omega$ to the output node in parallel.

Step III:
$$V_{RL} = 4.2 V$$

 V_{switch} and $V_{\text{out}}(DC \ coupling)$ waveform



Step IV:
$$P_{RL} = (V_{RL})^2 / R_L = 0.3528$$
 W

$$\begin{aligned} \text{Step V: V}_{power \ supply} &= \underline{\quad 2.49 \quad V \quad I}_{power \ supply} &= \underline{\quad 0.192 \quad A} \\ P_{power \ supply} &= IV &= \underline{\quad 0.47808 \quad W} \end{aligned}$$

Step VI:

Efficiency
$$\eta = P_{RL} / P_{power supply} = \underline{0.7379}$$
 %

電容在週期訊號的穩態分析:

已知流經電感的電流為:

$$i_{C}(t) = C \frac{dv_{C}(t)}{dt} \qquad \dots (1)$$

將(1)移項積分以得到電容跨壓:

$$dv_{C}(t) = \frac{i_{C}(t)}{C}dt$$

$$\Rightarrow \int_{t_{0}}^{t_{0}+t} dv_{C}(t) = \frac{1}{C} \int_{t_{0}}^{t_{0}+t} i_{C}(t) dt$$

$$\Rightarrow v_{C}(t) = v_{C}(t_{0}) + \frac{1}{C} \int_{t_{0}}^{t_{0}+t} i_{C}(t) dt \dots (2)$$

又因為電容處在週期的穩態條件,因此電容跨壓也會是週期訊號:

$$v_C(t_0+T)=v_C(t_0) \qquad \dots (3)$$

將(2)代入(3):

$$v_{C}(t_{0}) + \frac{1}{C} \int_{t_{0}}^{t_{0}+T} i_{C}(t) dt = v_{C}(t_{0})$$

$$\Rightarrow \int_{t_{0}}^{t_{0}+T} i_{C}(t) dt = 0 \qquad \dots (4)$$

又流經電容的平均電流為:

$$i_{C_{avg}} = \frac{1}{T} \int_{t_0}^{t_0+T} i_C(t) dt$$
 ...(5)

將(4)代入(5)可得:

$$i_{C_{avg}} = \frac{1}{T} \int_{t_0}^{t_0 + T} i_C(t) dt = 0$$
 ...(6)

由(6)可知當電容在週期訊號下的穩態平均電流為0。

電感在週期訊號的穩態分析:

已知電感的跨壓為:

$$v_L(t) = L \frac{di_L(t)}{dt} \qquad \dots (7)$$

將(6)移項積分以得到流經電感的電流:

$$di_{L}(t) = \frac{v_{L}(t)}{L}dt$$

$$\Rightarrow \int_{t_{0}}^{t_{0}+t} di_{L}(t) = \frac{1}{L} \int_{t_{0}}^{t_{0}+t} v_{L}(t) dt$$

$$\Rightarrow i_{L}(t) = i_{L}(t_{0}) + \frac{1}{L} \int_{t_{0}}^{t_{0}+t} v_{L}(t) dt \dots (8)$$

電感處在週期的穩態條件,因此流經電感的電流也會是週期訊號:

$$i_L(t_0+T)=i_L(t_0) \qquad \dots (9)$$

將(8)代入(9):

$$i_{L}(t_{0}) + \frac{1}{L} \int_{t_{0}}^{t_{0}+T} v_{L}(t) dt = i_{L}(t_{0})$$

$$\Rightarrow \int_{t_{0}}^{t_{0}+T} v_{L}(t) dt = 0 \qquad \dots (10)$$

又電感的平均跨壓為:

$$v_{L_{avg}} = \frac{1}{T} \int_{t_0}^{t_0+T} v_L(t) dt \qquad ...(11)$$

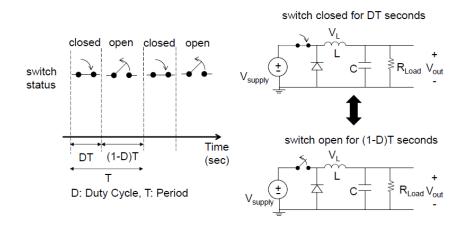
將(11)代入(12)可得:

$$v_{L_{avg}} = \frac{1}{T} \int_{t_0}^{t_0 + T} v_L(t) dt = 0 \qquad ...(12)$$

由(12)可知當電感在週期訊號下的穩態平均跨壓為0。

Buck Convertor (Step-down Convertor)

用途與期中專題的穩壓 IC 一樣,能夠把輸入電壓減少。



這樣的電路是由一個開關及電感電容電阻電路所組成。考慮以下兩種情況。(a)switch close (b)switch open

(a) switch close:

當開關是關著的時候,代表電流可以流過,此時 diode 為逆偏、不導通,可以將其視為斷路。而此時電感正在充電,其跨壓為:

$$v_L = V_{supply} - V_{out}$$

(b) switch open:

當開關是打開的時候,代表電流無法通過,此時 diode 為順偏導通,可以將其視為短路。而此時變為電感放電,其電感跨壓變為:

$$v_I = 0 - V_{out} = -V_{out}$$

有了上面兩種情形便能夠計算跨在電感上的平均電壓火止,...:

$$v_{L_{avg}} = \frac{1}{T} \int_{0}^{T} v_{L}(t) dt = \frac{1}{T} \left[\int_{0}^{DT} v_{L}(t) dt + \int_{DT}^{T} v_{L}(t) dt \right] \qquad \dots (13)$$

(紅色部分為 switch close, 藍色部分為 switch close)

將(a)(b)帶入(13):

$$v_{L_{ovo}} = D(V_{supply} - V_{out}) + (1 - D)(-V_{out})$$

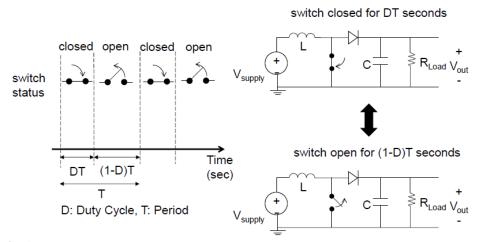
由(12)可知週期訊號的穩態平均電壓為0,因此可以得到輸入與輸出的關係為:

$$V_{out} = DV_{supply} \qquad \dots (14)$$

(D為開關在一個週期所關閉的時間)

Boost Convertor (Step-up Convertor)

用途與 Buck Convertor 相反,把輸入增加之後輸出。



同樣考慮以下兩種情形: (a) switch close (b) switch open

(a) switch close:

當開關是關著的時候,右半邊的電路被開關短路,因此電流經過電 感、開關,然後接地。此時電感的跨壓為:

$$v_L = V_{supply}$$

(b) switch open:

當開關是打開的時候,此時 diode 為順偏,可以視為短路,此時電感的跨壓為:

$$v_L = V_{supply} - V_{out}$$

有了上面兩種情形便能夠計算跨在電感上的平均電壓 $v_{L_{avg}}$: 將(a)(b)帶入(13):

$$v_{L_{avg}} = DV_{supply} + (1 - D)(V_{supply} - V_{out})$$

由(12)可知週期訊號的穩態平均電壓為0,因此可以得到輸入與輸出的關係為:

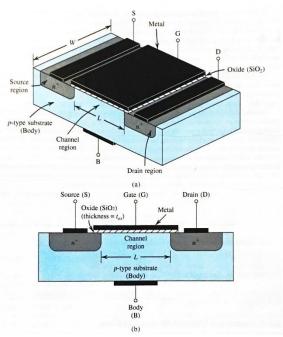
$$V_{out} = \frac{V_{supply}}{1 - D} \qquad \dots (15)$$

(D 為開關在一個週期所關閉的時間)

認識 MOSFET:

透過兩個 terminal 間的電壓來控制第三個 terminal 的電流。

NMOS:



基底為 p-type 在上面有兩處參雜高濃度的 n-type,而上面有一層 SiO_2 的絕緣層。透過 gata(G)來控制從 drain(D)流到 source(S)的電流。假 $mathbb{v}_g = 0$,則可以想成是兩個背對背 pn-junction 黏在一起,若給定 $mathbb{v}_{DS} \neq 0$,兩個背對背的 pn-junction 能夠阻擋 $mathbb{d}$ drain $mathbb{D}$ source 間的電流 通過。倘若將 $mathbb{S}$ source 接地,給定 $mathbb{v}_{CS} \neq 0 > v_{TH}$,此時會在 $mathbb{d}$ drain $mathbb{D}$ source 間產生 inversion layer,使電流能夠通過。因此可以將其接為一個開關電路。

CMOS:

將一個 PMOS 及 NMOS 接在一起便形成了一個 CMOS, 能夠改善使用一個 MOSFET 開關關閉時,輸出不為 0 的缺點。

心得:

這次的實驗腳位比較多,有點混亂,所以 在接電路的時候花了蠻多的時間。另外, 這次的內容對我來說是完全沒有接觸過的 領域,因此不管是實驗前或是實驗後都花 了許多時間在分析電路,到最後終於把所 有的知識點都釐清搞懂了,也非常感謝助 教協助我釐清我的盲點。!

