

DIC HW1 0811562 何祁恩

/* Using 32 nm CMOS devices with $V_{DD}=0.9$ V, $W_{min}=64$ nm, $L_{min}=32$ nm with resolution of 1nm; there are three kinds of V_t : High V_t , medium V_t and low V_t CMOS*/

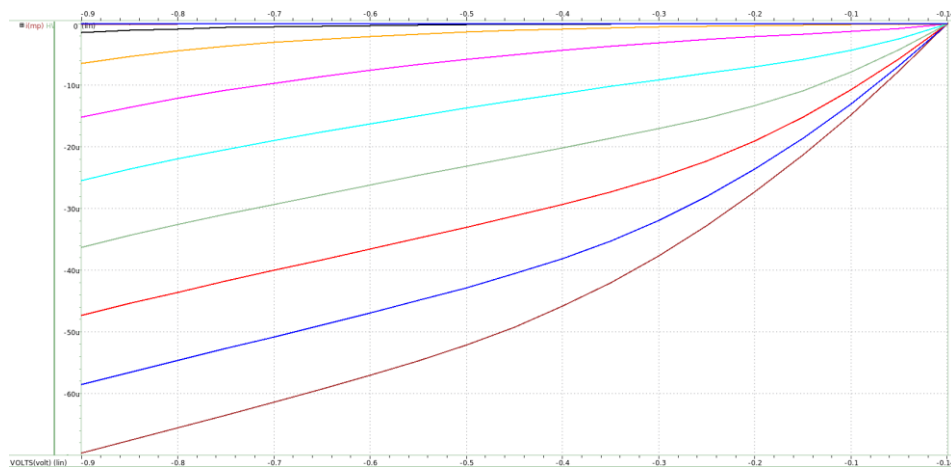
(1) MOS and Inverter with medium threshold voltages (30%)

- Run SPICE to draw the I-V DC curves for PMOS and NMOS with minimum feature size.
- Keep L equal L_{min} , design the W of each transistor (**in table form**) using medium V_t such that the logic threshold of inverter is at $0.5 V_{DD}$. Discuss your design procedures and the way you choose your MOS dimensions.
- Run SPICE to verify your results

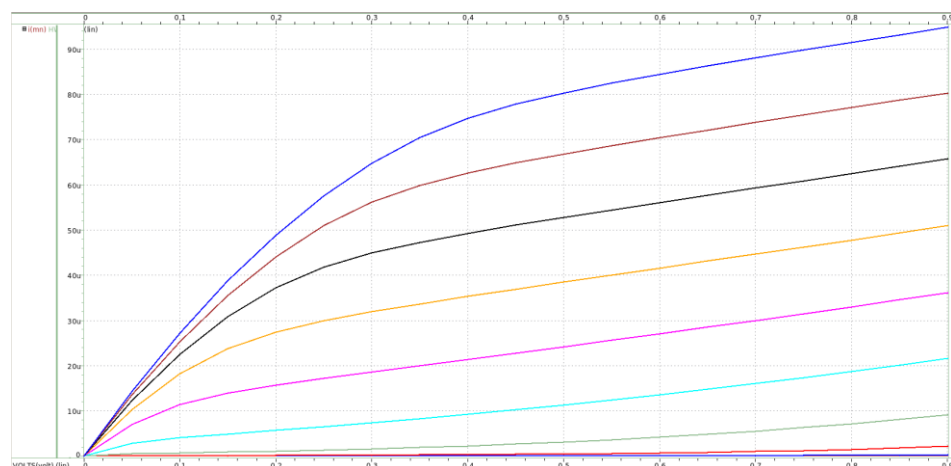
(a)

使用不同 V_{gs} 對 V_{ds} 做 DC SWEEP (9 種 V_{gs} 分別是從 $0.1V \sim 0.9V$)

PMOS:

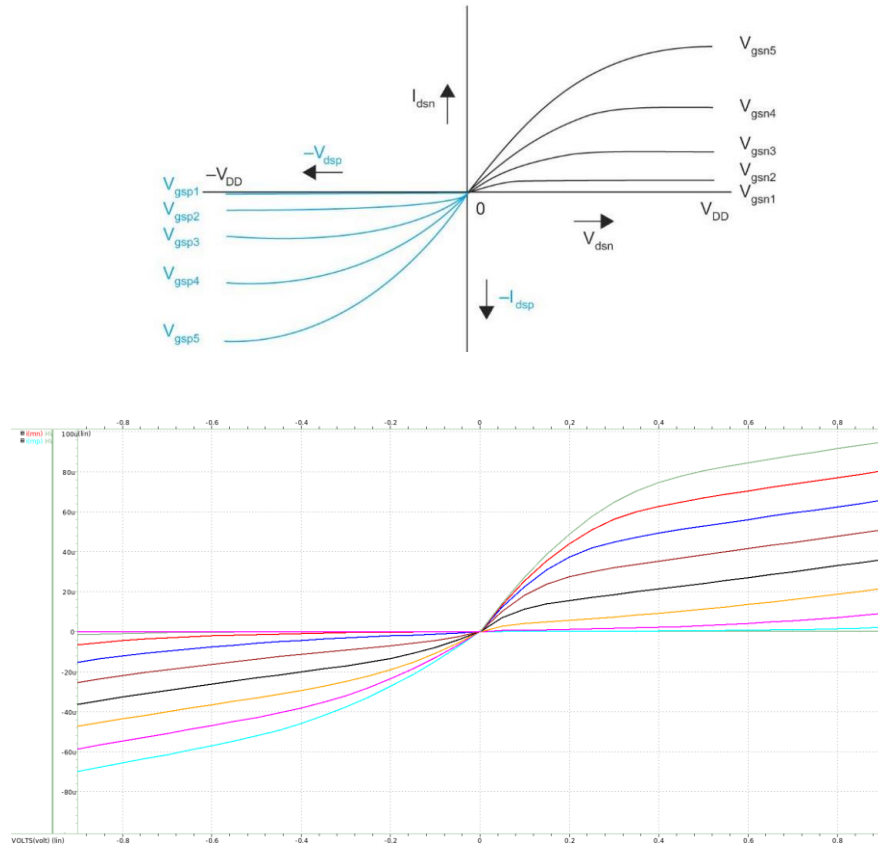


NMOS:



接著可以比較一下當 $\frac{W_p}{W_n} = \frac{64nm}{64nm} = 1$ 時，當 MOSFET 操作在飽和區的時候電流的大小

如講義附圖：



這邊有兩個值得觀察到的重點：

1. 在 $\frac{W_p}{W_n} = 1$ 的情況下， $I_{dsn} > |I_{dsp}|$ 且 $\frac{I_{dsn}}{|I_{dsp}|} \approx 1.6 \left(\frac{A}{A} \right)$
2. 當 MOSFET 在飽和區的時候，可以觀察到 channel length modulation 的效應：電流大小仍然會隨著 V_{ds} 的增加而增加

(b&c)

承(a)小題可以觀察到當 $L_n = L_p = L_{\min} = 32nm$ 的情況下，當 $\frac{W_p}{W_n} = 1$ 時，有

$I_{dsn} > |I_{dsp}|$ 的特性，且飽和區電流比為 $\frac{I_{dsn}}{|I_{dsp}|} \approx 1.6 \left(\frac{A}{A} \right)$ 。

由 MOSFET 飽和區電流公式：

$$I_{ds} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_t)^2 \propto W$$

可以得知在飽和區的電流大小是與 W 成一次方正比的。因此，我們可以將 W_p 增大，來觀察是否能夠將 INV 的 logic threshold 定在

$$0.5VDD = 0.5 \times 0.9V = 0.45V$$

與其直接去掃大範圍的 W_p 來跑 spice simulation，可以快速的由上面觀察到的特性來推測 W_p 大約要增加 1.6 倍：

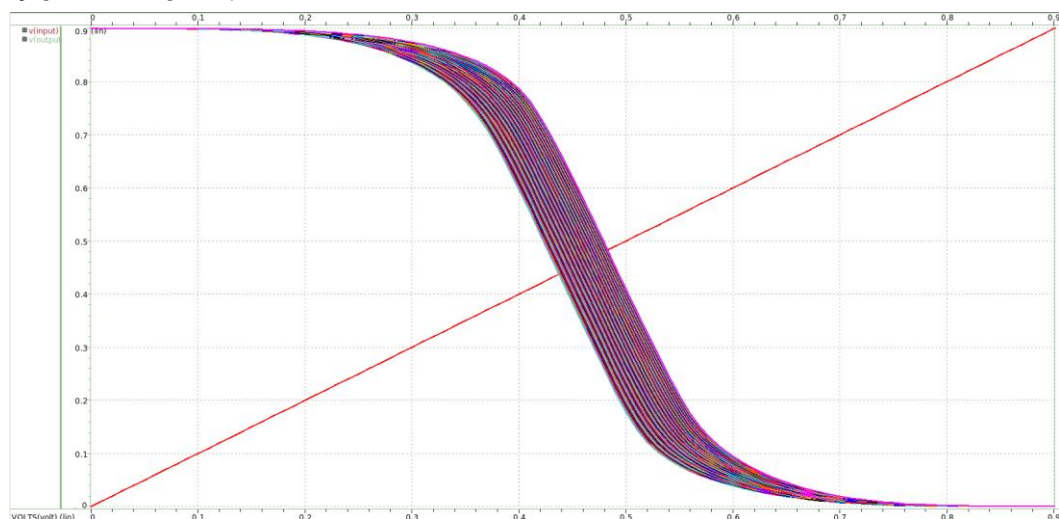
$$W_{p,estimate} = 1.6 \times 64nm = 102.4nm$$

但是這種估算的方法可說是相當的粗糙，是建立於以下的假設：

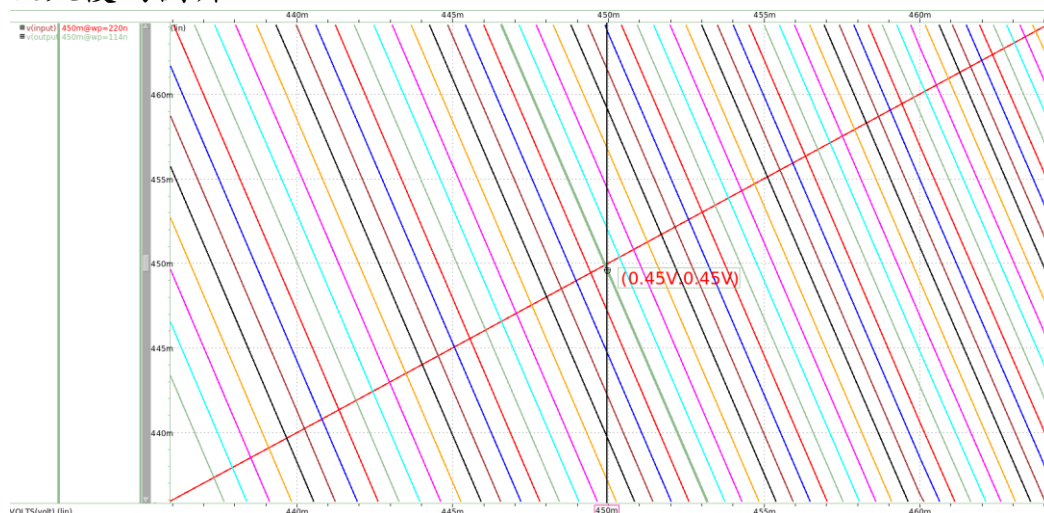
$$\begin{cases} \mu_p = \mu_n \\ V_m = |V_{tp}| \end{cases}$$

雖然可以透過查閱給定的 *bulk_32nm1* 檔案來查閱相關數據，但是我已經查到 Synopsys HSPICE 的手冊，有些參數仍然找不到定義。因此最後決定用粗糙的估計法則。更何況在之前的電子學二與 CAD 的課程中也都有提到先進製程大多都已經不會是簡單的數學式可以表示，因此我認為這邊用粗糙的估計 W_p 的數值再用 SWEEP 去找出精確的值不失為一個好方法。

既然前面已經略的估算出 $W_{p,estimate} = 102.4nm$ ，我們可以使用 spice simulation 來掃 90nm~120nm：



來個放大後的圖片：



我 SWEEP 的 step size 為 1nm，為最低的 resolution 了，因此最接近三條線的交點的為

$$W_p = 114nm$$

的那條波型。接著，我將使用表格來總結這次 INV 的 design 使得 logic threshold 在 0.45V

MOS Type	W	L
NMOS	$W_n = W_{\min} = 64nm$	$L_n = L_{\min} = 32nm$
PMOS	$W_p = 114nm$	$L_p = L_{\min} = 32nm$

誤差分析：

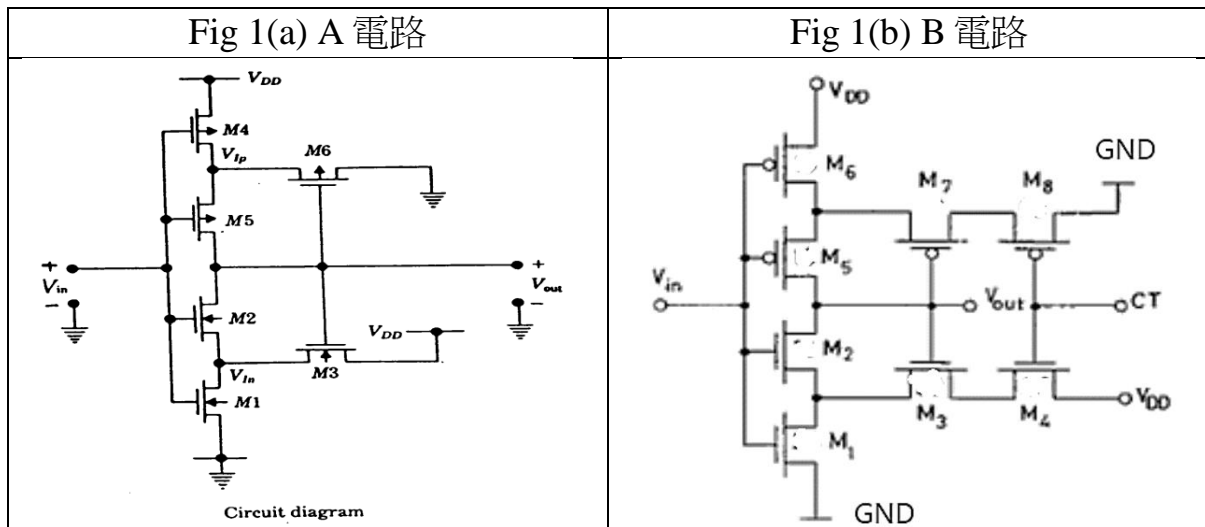
$$Error = \frac{|W_{p,estimate} - W_p|}{W_p} \times 100\% = \frac{|102nm - 114nm|}{114nm} \times 100\% \approx 10.5\%$$

由此可知，其實原本的估計仍有許多的誤差(channel length modulation, body effect, velocity saturation, mobility degradation)。由此可知 TSMC/UMC 他們 SPICE team 的重要性，去更精準的 model 出非理想效應以及製程變異的問題，可以說是非常厲害。

(2) Design a CMOS schmitt trigger shown at Fig.1 (b) such that $V^+ = 0.54\text{--}0.57\text{ V}$ and $V^- = 0.36\text{--}0.33\text{ V}$ with $CT = VDD(70\%)$

- Discuss the difference between Fig.1 (a) and (b). Give the W/L of each device (in table form) of Fig.1 (b) with $CT = VDD$ and discuss your design procedures to determine the size of each transistor using medium V_t . (30%)
- Run SPICE to verify your results. Your report must have the figures of VTC and I_{sc} vs V_{in} (20%)
- CT is changed to $0.8 VDD$ and use the same size in a). Repeat b) to have figures to indicate the new V^- and V^+ (20%)

(a)(b)分析一下兩者何處不同



首先，可以先觀察一下 B 電路，當 $CT = VDD$ 的時候，這個電路基本上跟 A 電路的 Schmitt trigger 的行為是相同的。有趣的是當 $CT \neq VDD$ 的時候(eg: $0.8VDD$)，此時可以由講義 Fig.2.31 知道如果 MOSFET gate voltage 是 degrade 0/1，那麼傳出去的電壓會更加的 degrade。因此會影響到的節點為 M1 與 M2 相接的那個節點(V_{in})。

假如 $V_{in} = 0$ 的時候，該節點的電壓在 A 電路會是 $VDD - V_{m3}$ ，而在 B 電路則會是 $CT - V_{m3}$ 。如此一來，我們便可以透過控制 CT 的電壓，來決定 M2 要在哪時候通，讓 V_{out} 接到地。同理可以用於判斷 PMOS 的行為。因此，我們可以透過控制 CT 的電壓，來控制兩條 logic threshold 的界線。

有了以上的分析，那就可以來調各自的寬度了。因為(b)小題是使用 $CT = VDD$ 的情況，因此可以套用上課的講義來大約估算各個電晶體的寬度。

各個電晶體的寬度選擇:

1. 由第一題可以知道，若要電流匹配的情況下: $\frac{W_p}{W_n} = \frac{114nm}{64nm} \approx 1.78$

2. 由講義推導:

$$\begin{cases} \left(\frac{V_{DD} - V^+}{V^+ - V_{Ton}} \right)^2 = \frac{\beta_1}{\beta_3}, \frac{\beta_1}{\beta_3} \downarrow \Rightarrow V^+ \uparrow \\ \left(\frac{V^-}{V_{DD} - V^- - |V_{Ton}|} \right)^2 = \frac{\beta_6}{\beta_7}, \frac{\beta_6}{\beta_7} \downarrow \Rightarrow V^- \downarrow \end{cases}$$

3. 因為 M7 與 M8 及 M3 與 M4 接為串聯的關係，因為會有相同大小的電流流經，因此假設:

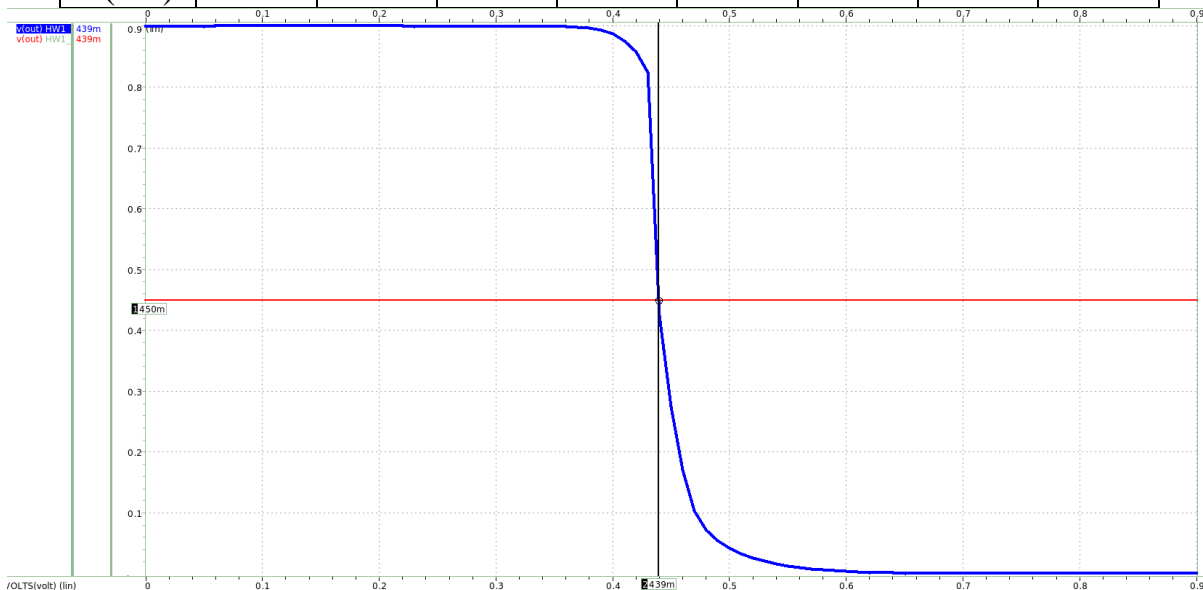
$$\begin{cases} W_7 = W_8 \\ W_3 = W_4 \end{cases}$$

有了以上的假設，我們便可以算出我們的第一版電晶體寬度:

$$\frac{\beta_1}{\beta_3} = \frac{W_1}{W_3} = \left(\frac{0.9 - 0.555}{0.555 - 0.4} \right)^2 \approx 5$$

$$\frac{\beta_6}{\beta_7} = \frac{W_6}{W_7} = \left(\frac{0.345}{0.9 - 0.345 - 0.4} \right)^2 \approx 5$$

	M1	M2	M3	M4	M5	M6	M7	M8
Type	N	N	N	N	P	P	P	P
W(nm)	320	256	64	64	456	570	114	114
L(nm)	32	32	32	32	32	32	32	32



可以看到如果使用上面的參數帶進去，forward/reverse 幾乎是黏在一起的，此時: $V^+ \approx V^- = 0.439$ ，可說是與 spec 相差甚遠。

接著，透過觀察 V^+, V^- 與 spec 相距的關係，使用以下式子調整

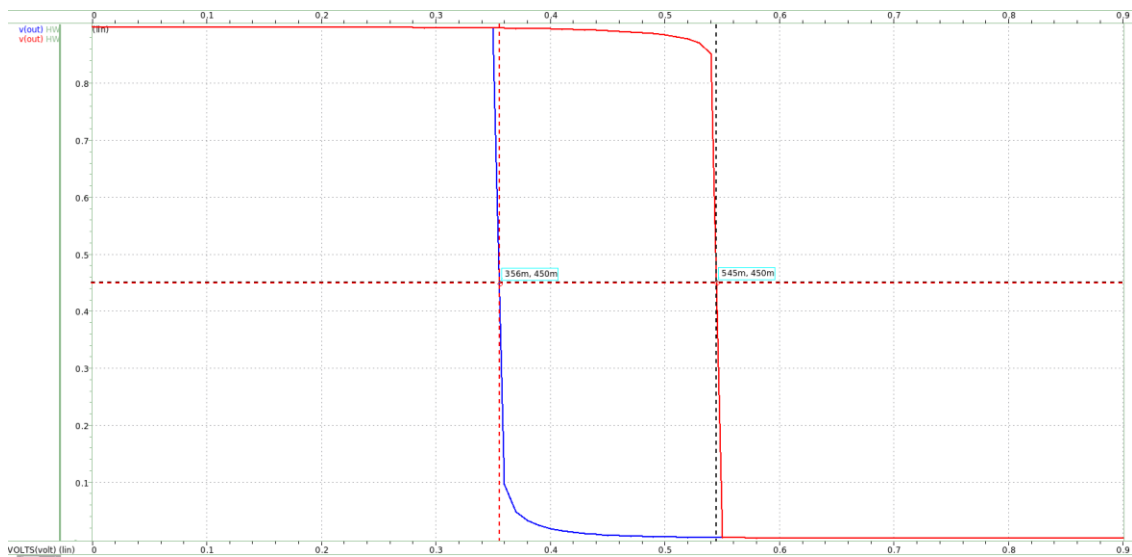
$$\left\{ \begin{array}{l} \frac{\beta_1}{\beta_3} = \frac{W_1/L_1}{W_3/L_3} = \frac{W_1L_3}{W_3L_1} \downarrow \Rightarrow V^+ \uparrow \\ \frac{\beta_6}{\beta_7} = \frac{W_6/L_6}{W_7/L_7} = \frac{W_6L_7}{W_7L_6} \downarrow \Rightarrow V^- \downarrow \end{array} \right.$$

透過將 W_1L_2 減少及增加 W_2L_1 來讓 V^+ meet spec

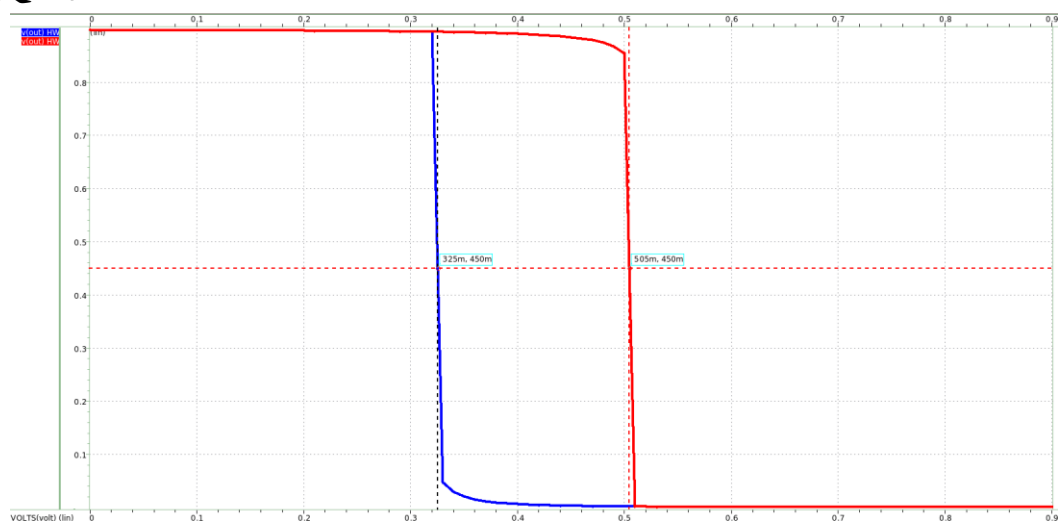
透過將 W_6L_7 減少及增加 W_7L_6 來讓 V^- meet spec

經過千辛萬苦後終於調出了我的參數來 meet spec:

	M1	M2	M3	M4	M5	M6	M7	M8
Type	N	N	N	N	P	P	P	P
W(nm)	64	64	200	150	150	64	1800	1000
L(nm)	400	32	32	32	1300	1300	32	32



(c)更改 CT=VDD



可以看到若是將 CT 改為 0.8VDD 可以看到兩條線都往左移，與我們先前的推論相同，因此可以再次證明 CT 是可以用於控制這兩條 logic threshold 的功能。

	V^+	V^-
$CT = VDD$	0.545V	0.356V
$CT = 0.8VDD$	0.505V	0.325V

心得回饋:

這次覺得 spec 給的範圍有一點緊，常常當 V^+ meet spec 時根據公式去調整 V^- 會導致 V^+ 又 fail。最一開始我是固定所有 MOSFET L 都為 32nm，但我不管怎麼調都調不出來，因此便把心思移轉到調整 L。便終於調整出來了。這次比較偏向 MOSFET sizing 的 design，我認為可以透過自動化的 tool 來調整 sizing，並且同時在 meet spec 的情況下又可以去做面積的最小化。因此我認為開發這種簡單的 synthesis tool 是非常重要的。我差點就調不出來要開始寫程式做最佳化 sizing 及最小化面積了，幸好最後被我調出來了!! 謝謝助教的通融讓我提早交作業，可以開心地去研討會!!