

# DIC HW3 0811562 何祁恩

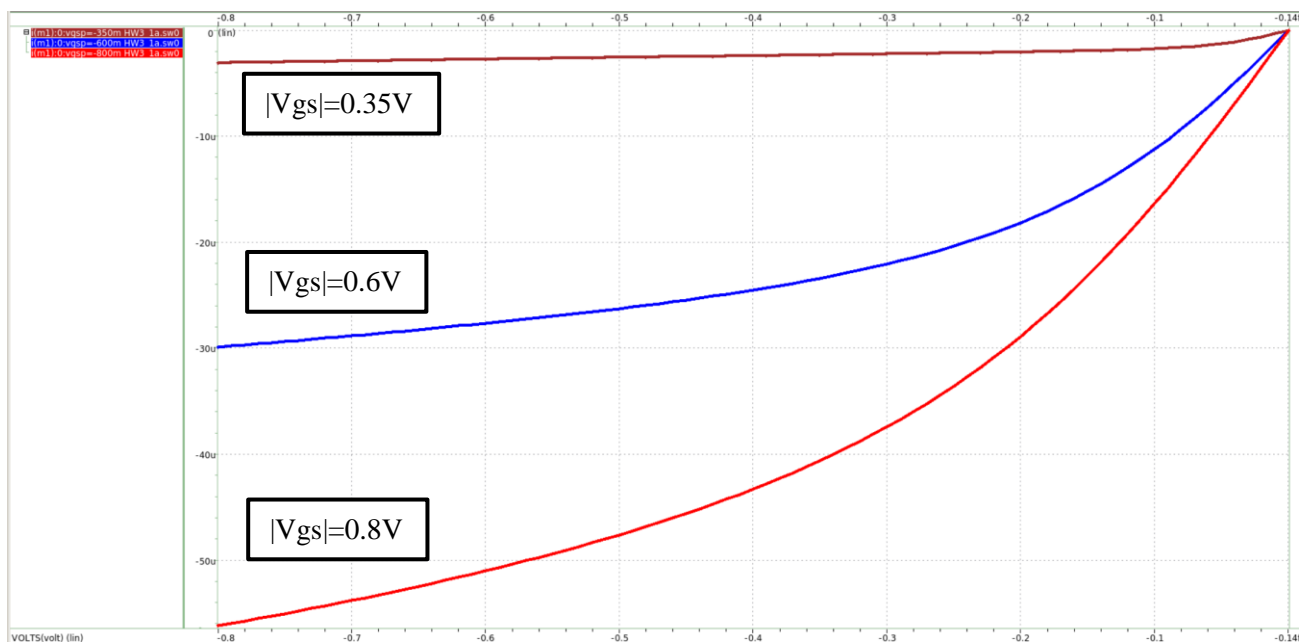
## 1. MOS and Inverter (30%)

- a) Run SPICE to draw the I-V DC curves (like the one in **Fig.2.7** of page A2-2 with **V<sub>gs</sub>** of **0.8, 0.6, 0.35**) for PMOS and NMOS with **Fin n=1**. **In table form**, mark **Ids\_max** (**V<sub>gs</sub>=V<sub>ds</sub>= V<sub>dd</sub>**). Discuss the results.

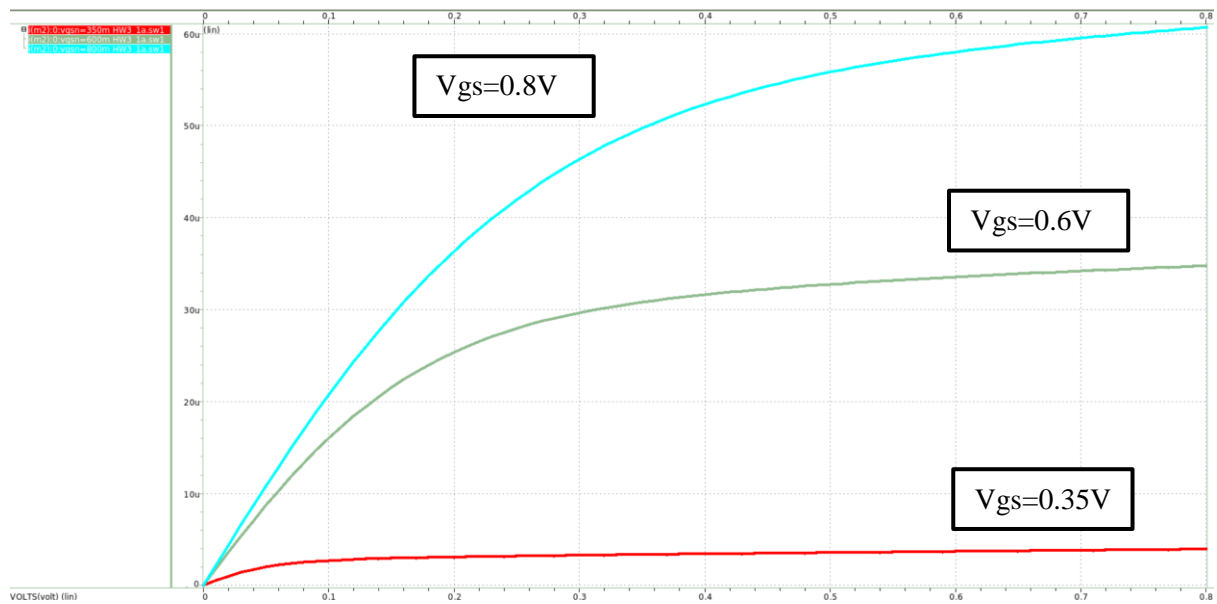
透過 DC Sweep 來得到 I-V Curve，並且使用 probe 及 print 來記錄電流

```
27 * dc sweep and measurement
28 .dc vds -0.8 -0.01 sweep vgs -0.35 -0.8 -0.05
29 .probe i(m1)
30 .print i(m1)
31
32 .dc vds 0 0.8 0.01 sweep vgs 0.35 0.8 0.05
33 .probe i(m2)
34 .print i(m2)
```

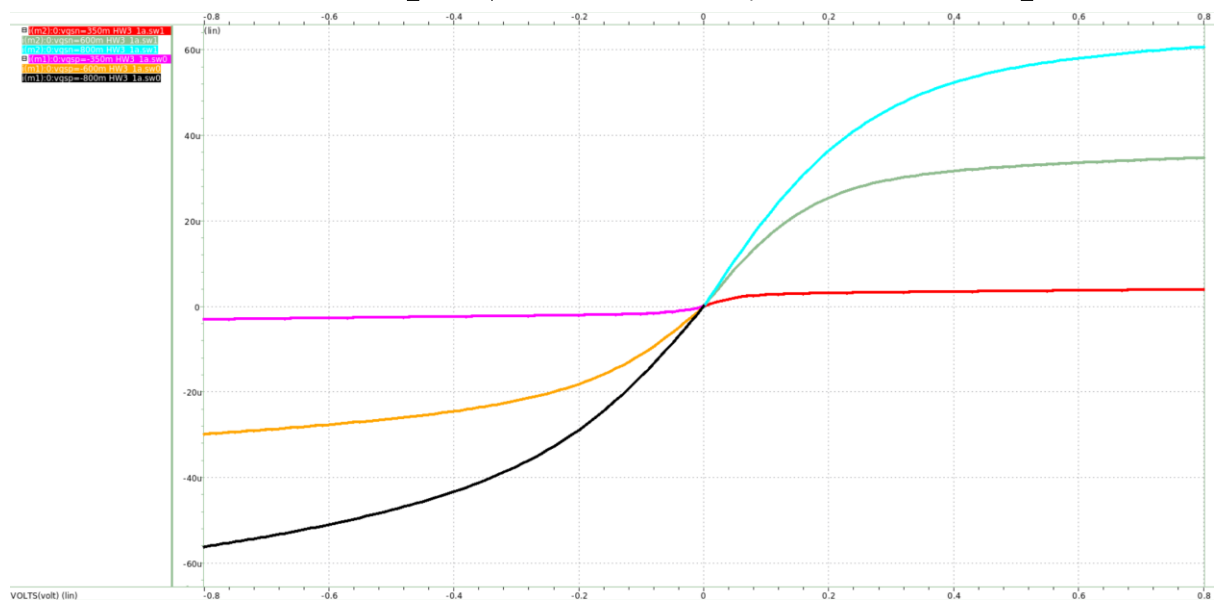
PMOS:



## NMOS:



## NMOS + PMOS[Y 軸已調整為相同 scale]



## $I_{ds\_Max}$ from \*.lis

	$ V_{gs}  = 0.8V$	$ V_{gs}  = 0.6V$	$ V_{gs}  = 0.35V$
PMOS	$-56.21 \mu A$	$-29.89 \mu A$	$-3.08 \mu A$
NMOS	$60.67 \mu A$	$34.75 \mu A$	$3.94 \mu A$

這次對 7nm 的 FinFET 做 IV 曲線，當  $n_{fin}$  皆為 1 的時候，可以發現 NMOS 與 PMOS 的電流不再像是之前使用 32nm 差到 2 倍這麼多，大約只有差到 1.2 倍左右。在過去因為 mobility 的差異，會將  $w_p$  設為  $w_n$  的兩倍，但是在這邊，當兩者  $n_{fin}$  皆為 1 的時候，有差不多能力的電流輸出。

- b) Keep a unit size inverter with NMOS  $n=1$  and choose the  $n$  of PMOS for  $n=1$  and 2 to show the logic threshold voltage. Run SPICE to verify your results by showing simulated waveforms.

透過 .alter 來跑兩種  $n_{fin\_p}$  的情況:

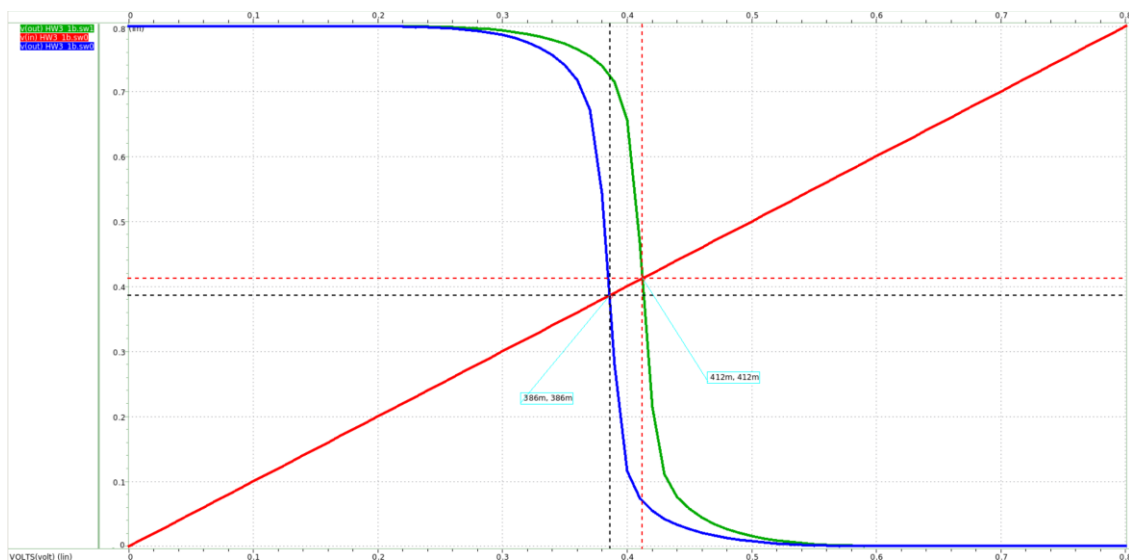
```
*      Circuit description
.subckt INV in out vdd vss
m1 out in vdd vdd pmos_rvt nfin = nfin_p
m2 out in vss vss nmos_rvt nfin = nfin_n
.ends

xin v in out vdd vss INV

*      DC sweep
.dc vin 0 0.8 0.01

.alter
.param nfin_p = 2

.end
```



藍色的線是  $n_{fin\_p}=1$ ，而綠色的線是  $n_{fin\_p}=2$ 。使用 cursor 量測可以得知:

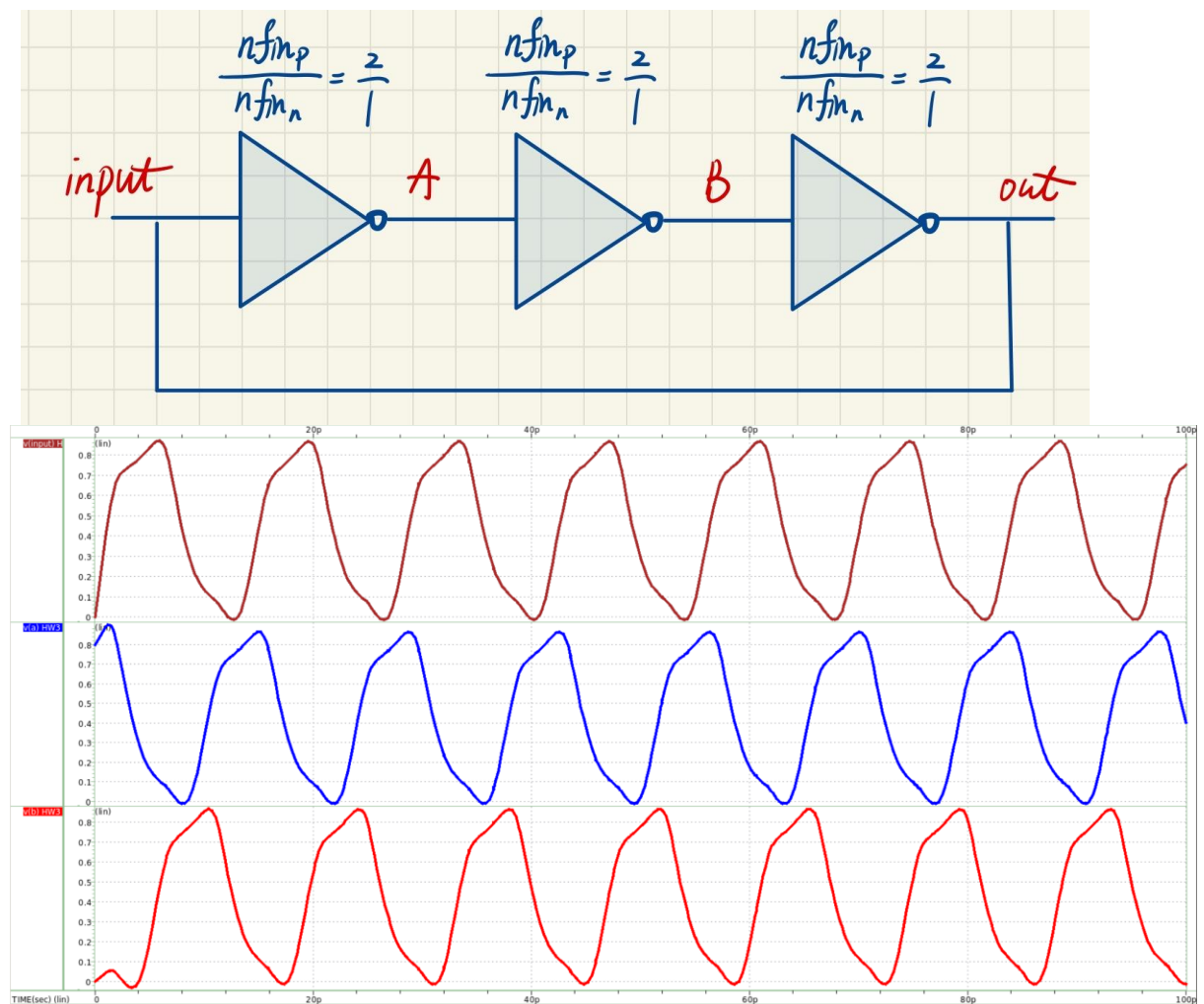
	Logic Threshold
$n_{fin\_p}=1, n_{fin\_n}=1$	0.386V
$n_{fin\_p}=2, n_{fin\_n}=1$	0.412V

由上圖可以看出， $n_{fin\_p}=1$  與  $n_{fin\_p}=2$  的情況皆非常接近 logic threshold voltage 0.4V。雖然  $n_{fin\_p}=2$ ，有著較接近 0.4V，但是代價是較大的 area 及 power。因此綜合下來，我仍然選用  $n_{fin\_p}=1$  的這個 design 配方。

## 2. Ring oscillator (20%)

According to the results of 1(b), design a 3-stage inverter-based ring oscillator with unit size inverter with better logic threshold voltage. Set the initial voltage of each node so that it can oscillate. Show **in table form**, the SPICE simulation results of oscillation frequency and power consumption.

雖然前面 1b 提到會使用  $n_{fin\_p}=1$  當作我的配方，但是這題要求的是 better logic threshold。在不考慮其他因素的情況下，我這邊將會使用  $n_{fin\_p}=2$  當成我的配方來模擬 Ring Oscillator(RO)。

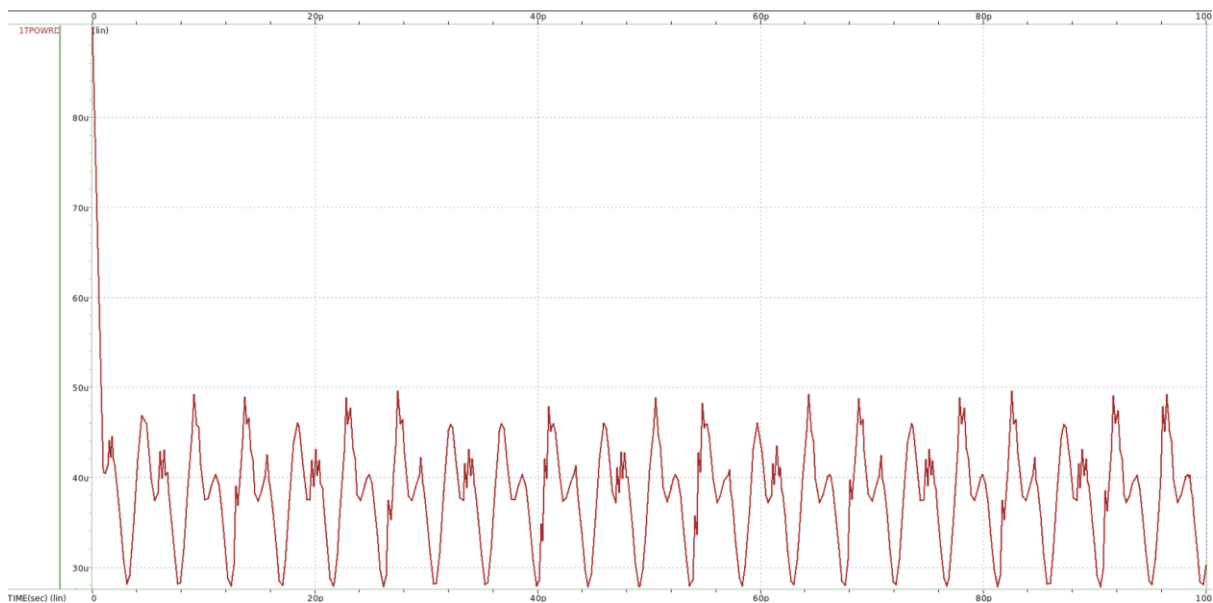


在開始模擬前，我先將初始節點(input)設為 0V，而後，便可以看到經過三級 inverter 之後，訊號就開始震盪了。幾個值得注意的是:可以看出從 input 訊號走到第三個 inverter 之後，會有明顯的 delay，來自於三個 inverter 的 propagation delay 的總和。

```
* Measurement
.meas pavg AVG POWER
.meas pmax MAX POWER
.meas TRAN PERIOD TRIG V(input) VAL=0.4 RISE=1 TARG V(input) VAL=0.4 RISE=2
```

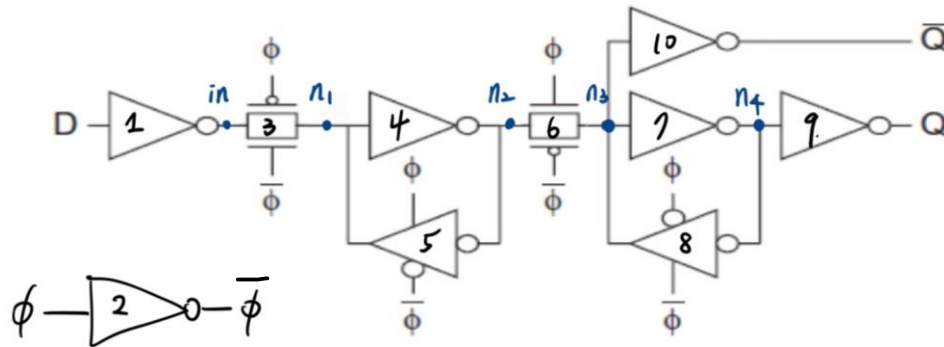
而後，透過量測功耗及訊號通過 Logic threshold 的間隔時間(Period)，我們便可以對這個電路有更進一步的分析，並且計算週期的倒數即可換算震動頻率為何，量測結果如下：

Oscillation Period	13.8873(ps)
Oscillation Frequency	72.0082(GHz)
Average Power	38.2383(uW)
Max Power	89.9285(uW)
Total Voltage Source Power	89.9287(uW)



此外，透過分析 power trace，我們也可以發現，最一開始要起震前會有最大的 power(Max Power)，而後當震動穩定之後，power 便都低於 50uW 了。原因來自一開始電路因為還不穩定，電流在三個 inverter 間都很大，正在試圖透過給定的 initial condition 找到彼此節點間電壓的平衡點，因此一開始會有較大的 power。

3. (50%) Design a static D register as shown in Fig.1 with propose size of NMOS and PMOS to have better tsetup, tpcq, tpdq and thold time. The loading of Q and Q-bar have 4 unit size inverters as loading. Both D and CLK has rise time and fall time of 0.1ns ( 0V-0.8V).
- a) Explain your sizing principle of each MOS to have least tsetup, tpcq, tpdq and thold time for register 1 and 0. (explain that by changing which transistors would affect each timing respectively)



Timing Specifications for register 0 (x: previous state)

clk		D	in	n1	n2	n3	n4	OUT(Q)
0	Initial	1	0	0	1	x	x	x
	Then	0	1	1	0	x	x	x
1	Then	0	1	1	0	0	1	0

1.  $T_{setup0}$ : 當 in 及 n1 節點為 1, 且 n2 變為 0 所花的時間。因此會是  $G1+G3+G4$
2.  $T_{hold0}$ : 當 clk 變為 1 的時候, m3 關掉了, 因此 hold time 為 0。
3.  $T_{pcq0}$ : 當 clk 變為 1 的時候, 需要經過 m6,m7 及 m9。因此會是  $G6+G7+G9$

Timing Specifications for register 1(x: previous state)

clk		D	in	n1	n2	n3	n4	OUT(Q)
0	Initial	0	1	1	0	x	x	x
	Then	1	0	0	1	x	x	x
1	Then	1	0	0	1	1	0	1

4.  $T_{setup1}$ : 當 in 及 n1 節點為 0 且 n2 變為 1 花的時間。因此會是  $G1+G3+G4$
5.  $T_{hold1}$ : 當 clk 變為 1 的時候, m3 關掉了, 因此 hold time 為 0。
6.  $T_{pcq1}$ : 當 clk 變為 1 的時候, 需要經過 m6,m7 及 m9。因此會是  $G6+G7+G9$

綜合以上六點，並且考慮到先前進行 logic threshold 的測試，雖然  $n_{fin\_p}=2$  的 logic threshold 更接近 0.4V，但是與  $n_{fin\_p}=1$  的差異非常小，但是會有著更大面積及功耗的代價，因此這邊在設計 DFF 的時候我將會採用  $n_{fin\_p}:n_{fin\_n}=1:1$  的配方，來達到更好的面積及功耗的取捨及考量。以下是各個元件 sizing 的考慮：

### 1. $T_{setup}$ :

綜合以上 register0 或是 register1 的分析，我們可以知道可以調整的電晶體為  $m1, m3$  及  $m4$ 。為了使 setup time 變小，且三者皆為串聯的關係，因此我們可以將這三顆電晶體的  $n_{fin}$  都調大 4，也就是  $n_{fin\_n}=n_{fin\_p}=4$

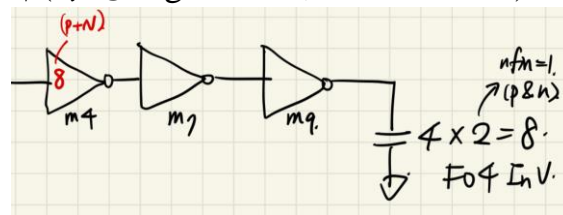
### 2. $T_{hold}$ :

這邊因為 DFF 架構的關係，hold time 會是 0。因為一旦 clk 拉起來之後， $m3$  就關掉了，因此不管 D 如何變動，都不會影響到內部 latch 所存放的值。

### 3. $T_{pcq}$ :

綜合以上 register0 或是 register1 的分析，我們可以知道可以調整的電晶體為  $m6, m7$  及  $m9$ 。

- 為了希望  $m6$  與  $m3$  開關的速度是相同，因此設計  $m6$  的  $n_{fin}$  與  $m3$  一樣皆為  $n_{fin}=4$
- $m7$  與  $m9$  的設計(考慮 logic effort, TXG as wire):



$$G = 1 \cdot 1 \cdot 1 = 1$$

$$H = \frac{8}{8} = 1$$

$$F = GH = 1$$

$$\hat{f} = \sqrt[3]{F} = 1$$

使用公式回推:  $C_{in} = \frac{g_i \cdot C_{out}}{\hat{f}}$ ，因此設計  $m7$  與  $m9$  皆為  $n_{fin}=4$ 。(m10 同理)

而其餘不關 setup time 或是 clock to q 時間的電晶體因為面積考量，則一律設定為 unit-size，即  $n_{fin}=1$ ，為求面積最小。但是產生  $clk\_bar$  的 inverter 因為要推動較多個元件，因此我將其  $n_{fin}$  設為 4，使其有較大 driving force。



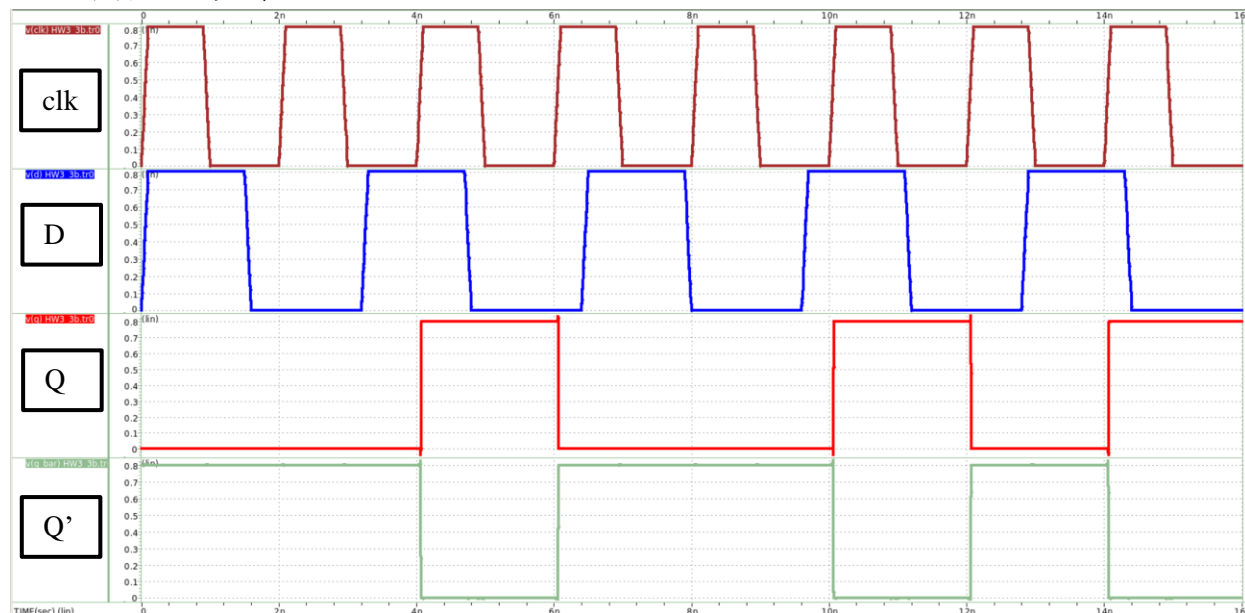
Device	Function	nfin_p	nfin_n
m1	INV	4	4
m2	INV	4	4
m3	TXG	4	4
m4	INV	4	4
m5	TRISTATE-INV	1	1
m6	TXG	4	4
m7	INV	4	4
m8	TRISTATE-INV	1	1
m9	INV	4	4
m10	INV	4	4

b) Run SPICE to verify your results and list the results (size of each transistor and four kinds of timing) in table form for part (a).

Spice 設計流程:

首先先針對幾個常出現的子電路寫好 sub-circuit 的定義，如 inverter, transmission gate 及 tristate-inverter。而後再寫一個 DFF 的電路將這些子電路都接起來，而後在 Q 及 Q\_bar 處掛上四個 unit size 的 inverter。

DFF 模擬波形圖:



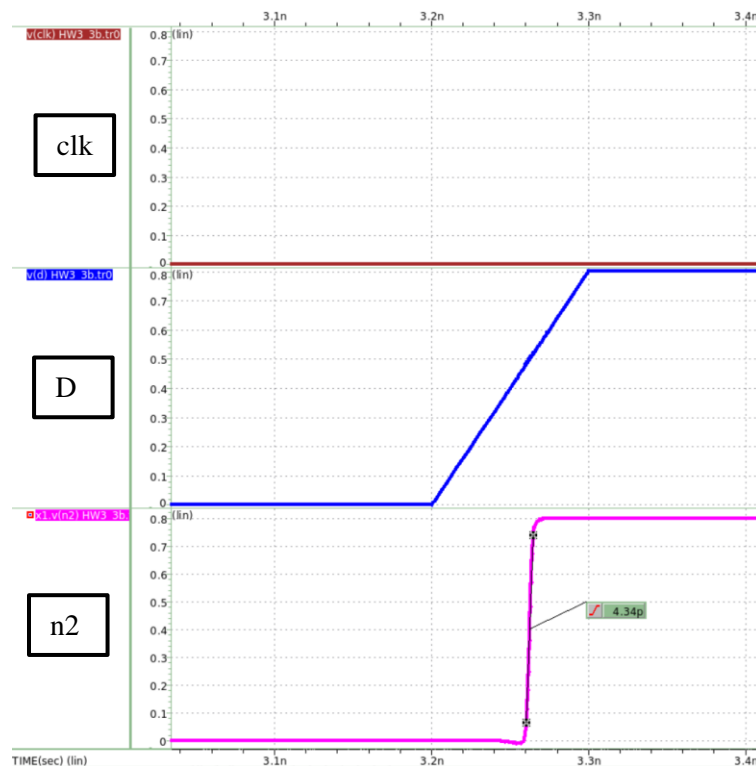
可以看到當 clk positive trigger 的時候，真的有將 D 的值拉到 Q，且 Q\_bar 也與 Q 是相反的方向，與預期一致。但是可以觀察到在波型轉折處有些微的 glitch 產生，推測是來自 clk 與 clk\_bar 因為經過一個 inverter 的 delay 而造成的些微時間誤差，導致產生這個些微的 glitch。



## Setup Time 分析

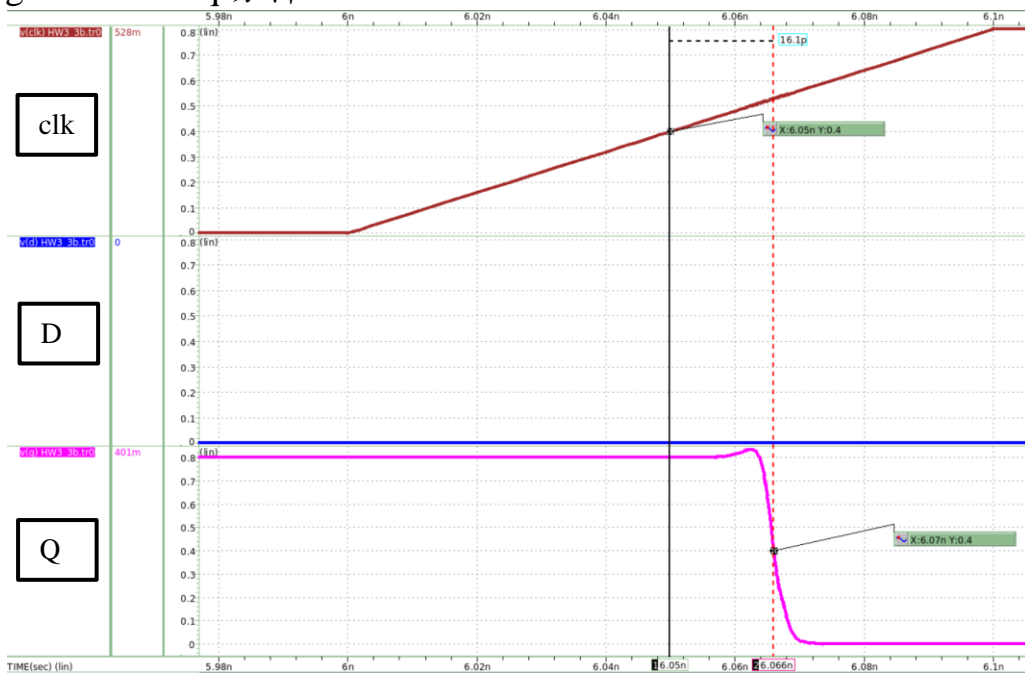


$T_{setup0}$ : 當  $clk$  為 0，且  $D$  從 1 到 0， $n2$  這個節點變成 0 所需要用的時間  
透過量測  $n2$  從 1(0.9VDD)變成 0(0.1VDD)，可以得到  $T_{setup0}=4.35ps$

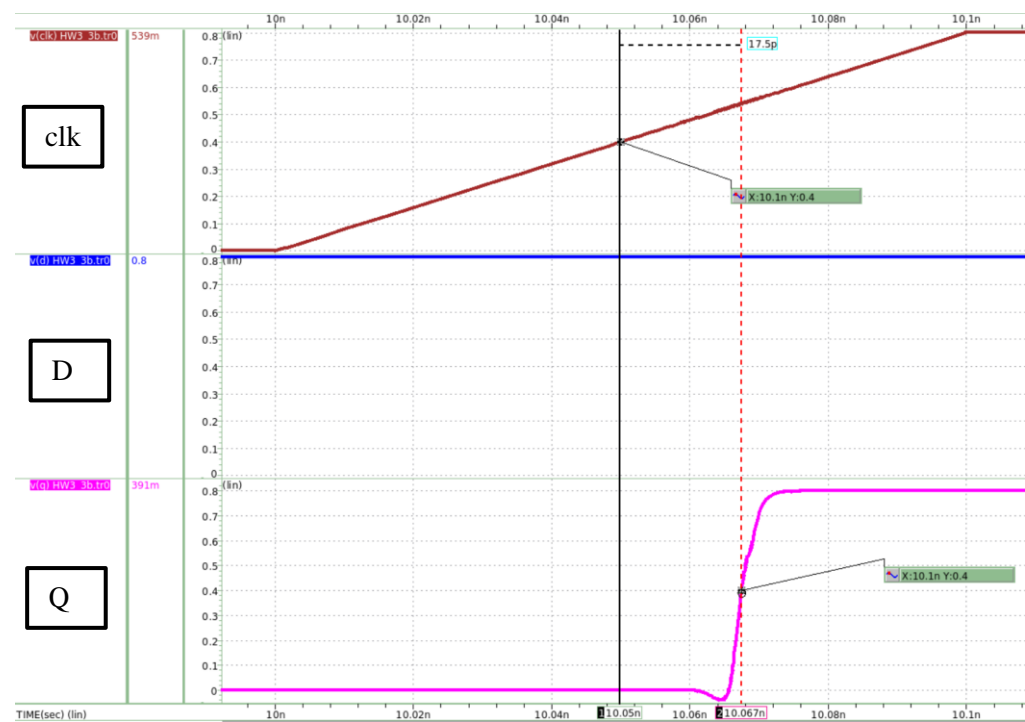


$T_{setup1}$ : 當  $clk$  為 0，且  $D$  從 0 到 1， $n2$  這個節點變成 1 所需要用的時間  
透過量測  $n2$  從 0(0.1VDD)變成 1(0.9VDD)，可以得到  $T_{setup1}=4.34ps$

## Propagation clk to q 分析



$T_{pcq0}$ : 量測 clk 到 q(fall)的 delay，經過量測後可以得知為 16.1ps



$T_{pcq1}$ : 量測 clk 到 q(fall)的 delay，經過量測後可以得知為 17.5ps

$T_{setup0}$	$T_{hold0}$	$T_{pcq0}$
4.35ps	0ps	16.1ps
$T_{setup1}$	$T_{hold1}$	$T_{pcq1}$
4.34ps	0ps	17.5ps