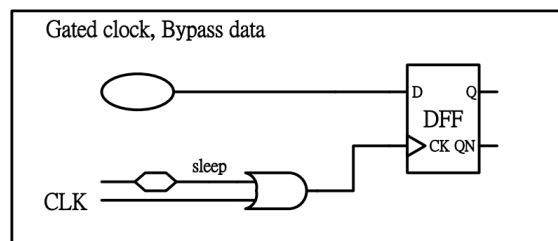


1. Clock system is the most power hunger part of digital IC. Thus, dynamic clock gating is commonly used in digital IC to reduce power consumption
 - (1) There are two methods, Gated-clock&Bypass-data and Bypass-clock&Gated data. Please describe the operation of these two methods and indicate the major difference of these two methods (Use the circuits shown at p62-p66 of the ADIC_LP text). (50%)

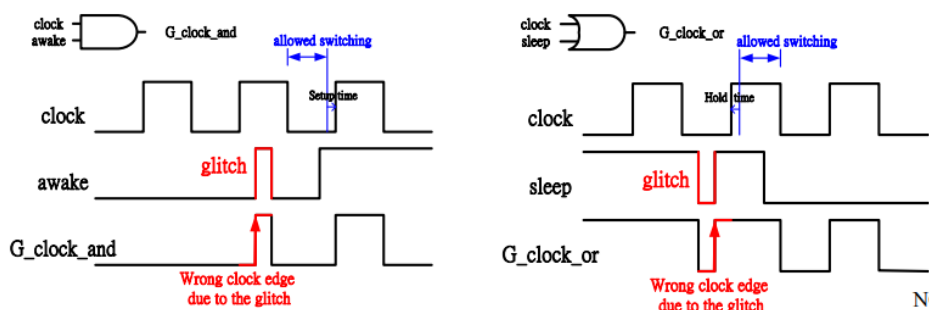
1. Gated-clock & Bypass-data

透過 clock gating，可以將電路中部份的功能關掉，使得整體功耗能夠降低。可以將不會使用到的 register 關掉，使得 register 的 switching activity 變為 0。此外，將 clock gating 也會使得 clock 的 switching activity 下降，讓因為 clock toggle 所產生的功耗減少。Clock gating 的主要目標為減少 clock 的 switching activity，使得 dynamic power 的消耗減少。

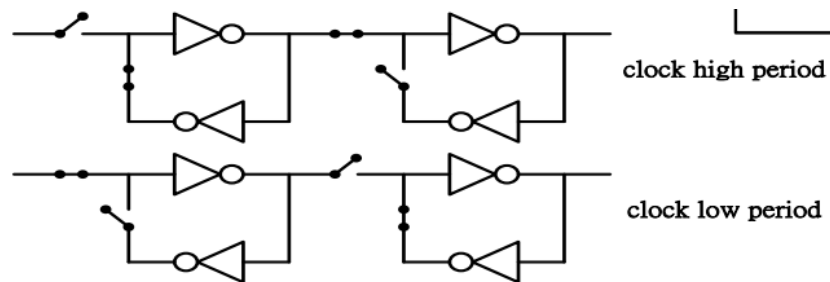


上圖為 clock gating 的示意圖，透過在將 clock 接進 register 前的 control logic 來決定是否要將 clock 的訊號傳進 register。值得注意的是針對 clock signal 在做 control logic 的時候可能會因為 logic delay 而產生 glitch，使得傳進 register 的 clock signal 有 glitch 而不小心將錯誤的資料拿來做運算。此外，因為多了這一級 logic delay，需要注意是否會產生 clock skew 使得不同 clock 跑到不同 register 的時間差異太大，使得 function fail 掉。

那究竟 clock gated logic 要如何設計呢? Clock gating 可以使用 and-gating 抑或是 or-gating。究竟要如何選擇要使用何種呢?



使用 and-gating 的電路(上圖左邊)與使用 or-gating 的電路(上圖右邊)，都會在輸出的 G_clock_* 產生暫態的 glitch，這樣的 glitch 會使得後面的 register 被意外的 trigger，產生 functional fail。

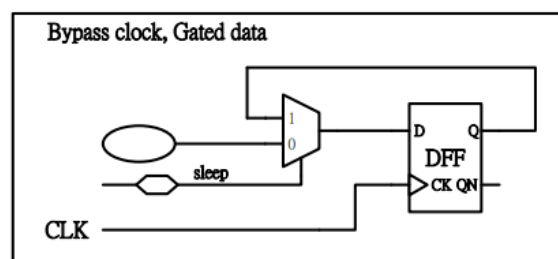


此外，使用 or-gating 還有一個好處。由前一頁的 or-gating 示意圖可以得知，當 sleep enable 時，G_clock_or 必為 1。因此下一級接的 register 的第一級的 latch 將會被關掉(為上圖的上半電路)，因此並不會對第一級 latch 的內部節點的電容進行充放電。相較於 or-gating，如果使用 and-gating，當 awake enable 時，G_clock_and 必為 0。因此下一級接的 register 的第一級的 latch 將會被打開，會對第一級 latch 內部的電容充電，造成不必要的功耗損失。總而言之，使用 or-gating 會比 and-gating 有著更低的功耗。

在這之中，不管使用 and-gating 或是 or-gating 都有可能會引發 glitch 造成 G_clock_* 意外產生 toggle 訊號，這樣會使得下一級的 register 僵值讀進去，會造成 functional fail 的。為了解決這樣的問題，在本次作業的第二題有提出一個特別的 clock-gating 架構(register bank with EN)。用於解決在 clock gating 時所產生的 glitch 造成 functional fail 的情況。將留待第二題再詳細描述。

2. Bypass-clock & Gated data

透過 data-gating，可以避免不必要的 data flow，避免不必要的資料轉換，以減少 dynamic power 耗損。

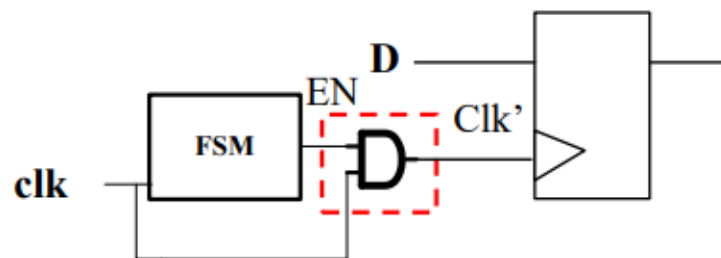


Data gating 同樣也會有一個 control logic 來控制該 data flow 是否要往下一級送。常用於很多人會存取的 data bus，但是 data 不會一直改變的情況。或是在 FPGA 的使用上，因為 clock tree 都是 pre-generate 的，不容易更改，因此可以透過使用 data-gating 來減少 switching activity。使得 dynamic power 可以減少。

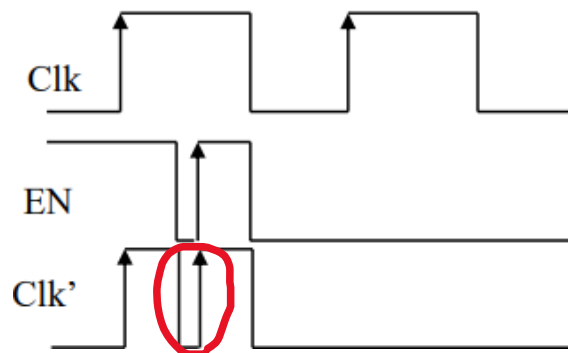
clock gating & data gating 比較

	Clock gating	Data gating
機制	透過控制 clock signal 來減少 sequential elements 的 switching activity.	透過控制 data flow 來減少 data path 中不必要的 data transition.
影響	減少 clock distribution network 所造成的 power 與連接到的 sequential elements.	透過減少 data transition 以減少 data bus 上的供耗
使用場景	在一個有很多 sequential elements 中的電路且部分可以被完全關閉的情況	在頻繁會 access 的 data bus 上或是資料比較不會變動的情況及 FPGA low power design

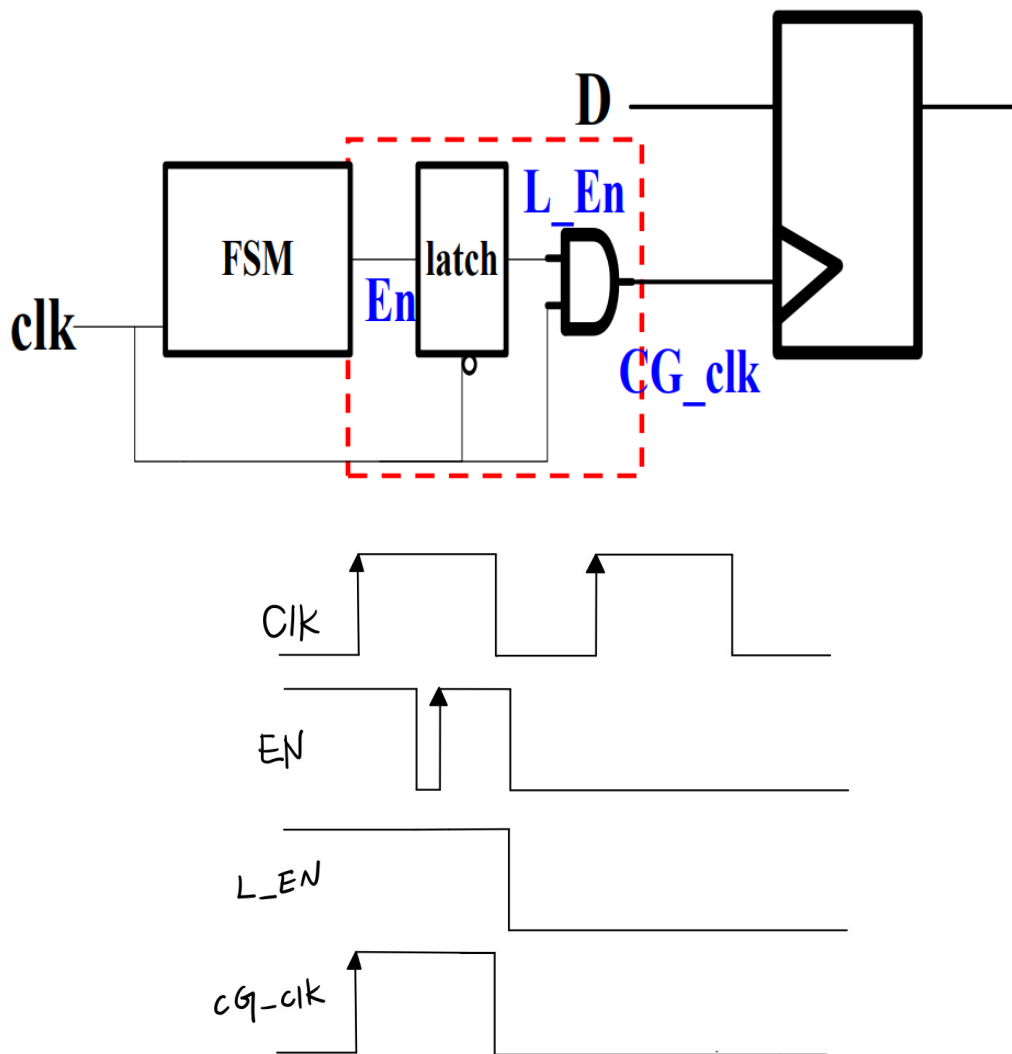
(2) Describe the detail design concept and behavior of gating logic-2 to avoid glitch mentioned at p66 of the ADIC_LP text. (50%)



傳統的 clock-gating，不管是常見的 or-gating 抑或是 and-gating，不管 control logic 如何設計，都有可能遇到因為 enable transition 而造成送進 register 的 clock signal 會有 edge trigger 的 glitch 產生。是有可能會導致整個電路 functional fail 的。如下圖紅色圈圈處：



為了省 power 而使得電路 functional fail 會是得不償失的，在上圖因為 control logic 使得 EN 往下拉再往上拉，使得 Clk' 也產生了同樣的 glitch，如此一來，後方接的 register 便有可能將錯誤的 data 往內拉，使得整個電路 fail 掉，因此這邊課本提出了一個很不錯的解方:多加一級 latch。



透過 control-logic 到 gating-gate(and)之間多加上一級 negative latch(在 $\text{clk}=0$ 時才是透明的，否則 keep 前一個值)。一樣使用前面會產生 glitch 的範例來做測試: 可以看到當 **EN** 因為 control logic 產生一個 glitch 時，**L_EN** 並不會隨之起舞，多加上這個 negative latch 可以使得 **EN** 在 clock 沒有動作時產生的 glitch 不會被採納，讓 **L_EN** 為修掉 glitch 後的結果。最後再將 **L_EN** 與 **CLK** 做 and logic 便可以得到 glitch-free 的 gating-clock signal。讓我們的電路可以在使用 clock-gating，low power 的情況下又能兼顧功能的正確性。使用這種 clock-gating with latch 的缺點也很明顯。因為多加了一個 latch，因此面積不用懷疑一定會增加。此外，因為是針對 clock 上面做邏輯上的運算，必須要確定這樣產生出來的 clock-gate signal 不會造成 clock skew 使得該 register 與其他地方的 register 會有 clock difference 上而產生 functional fail。

整體而言，這是一個不錯且蠻有創意的解方，使得我們可以解掉 clock-gated glitch 的問題。