Ludwig-Maximilians-Universität München Institut für Informatik Lehrstuhl für Mobile und Verteilte Systeme Prof. Dr. Claudia Linnhoff-Popien



### Rechnerarchitektur im Sommersemester 2018 Übungsblatt 9

**Abgabetermin:** 18.06.2018, 12:00 Uhr

Besprechung: Besprechung der T-Aufgaben in den Tutorien vom 11. – 15. Juni 2018

Besprechung der H-Aufgaben in den Tutorien vom 18. – 22. Juni 2018

#### Aufgabe 40: (T) Entwurf einer ALU

(- Pkt.)

In dieser Aufgabe soll schrittweise eine einfache 1-Bit ALU (Arithmetisch-logische Einheit) entworfen werden. Machen Sie sich hierfür zunächst mit der Funktionsweise der Halb- und Volladdierer vertraut.

- a. Entwerfen Sie einen Halbaddierer, der in der Lage ist, zwei einstellige Dualzahlen zu addieren.
- b. Entwerfen Sie einen Volladdierer, der in der Lage ist, eine beliebige Stelle zweier n-stelliger Dualzahlen zu addieren.
- c. Entwerfen Sie nun eine einfache 1-Bit ALU, die den folgenden Spezifikationen genügt:
  - (i) Operationen: AND, OR, Addition und Subtraktion.
  - (ii) Inputs: Operanden a und b, CarryIn (Übertrag aus einer vorgeschalteten ALU), gewisse Steuerleitungen (z.B. zur Auswahl des Typs der Operation).
  - (iii) Outputs: Resultat, CarryOut (Übertrag).

#### Aufgabe 41: (T) SPIM: 2er-Komplement-Darstellung

(- Pkt.)

- a. Schreiben Sie ein MIPS-Assembler-Programm, das eine positive bzw. eine negative Dezimalzahl einliest und deren Binärdarstellung unter Verwendung der 2er-Komplement-Darstellung ausgibt. Verwenden sie den Systemaufruf read\_int (\$v0 := 5), um die Dezimalzahl von der Konsole einzulesen. Testen Sie Ihr Programm mit verschiedenen positiven und negativen Eingaben.
- b. Was ist die größte und die kleinste Dezimalzahl für die Ihr Programm korrekt funktioniert? Begründen sie Ihre Antwort

#### Aufgabe 42: (H) Darstellung reeller Zahlen

(7 Pkt.)

- a. Warum wird die <u>Bias-Notation</u> zur Darstellung des Exponenten einer IEEE-Gleitkommazahl verwendet?
- b. Geben Sie die Darstellung der Zahl  $(-13,375)_{10}$  als Gleitkommazahl nach IEEE 754 in einfacher (32-Bit) Genauigkeit an.
- c. Wandeln Sie folgende Zahl, die in Gleitkommadarstellung (IEEE 754) gegeben ist, in ihre Dezimaldarstellung um:

Achtung: Der Rechenweg muss ersichtlich sein!

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	0	1	1	1	1	1	0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
S		Exponent							Significand																						

## **Aufgabe 43: (H)** Addiernetze in arithmetisch-logischen Einheiten (11 Pkt.)

- a. Nehmen Sie einen Carry-Look-Ahead-Addierer mit einer Größe der Bit-Gruppen von g=3 an. Leiten Sie den logischen Ausdruck her, mit dem der ausgehende Übertrag  $U_{out}$  bereits vor Abarbeitung des Addiernetzes bestimmt werden kann. Bezeichnen Sie dabei die beiden eingehenden Binärzahlen als  $x_2x_1x_0$  und  $y_2y_1y_0$  und den eingehenden Übertrag als  $U_{in}$ .
- b. Zeichnen Sie das Schaltnetz für einen Carry-Look-Ahead-Addierer für eine Größe von Bit-Gruppen von g = 3. Vorkommende Volladdierer können dabei durch ihr entsprechendes Schaltsymbol dargestellt werden. Hierbei können Sie annehmen, dass AND-Gatter und OR-Gatter zur Verfügung stehen, die mehr als zwei Eingaben gleichzeitig verarbeiten können. Achten Sie darauf, die Verbindung von zwei Leitungen explizit zu kennzeichnen.
- Gehen Sie nun von der Addition zweier Dualzahlen der Länge 6-Bit aus. Berechnen Sie die Ausführungsdauer der Addition für Carry-Look-Ahead-Addierer mit einer Größe der Bit-Gruppen von g = 3, d.h. es werden zwei Carry-Look-Ahead-Addierer aus den vorhergehenden Aufgabenteilen hintereinander geschaltet. Berechnen Sie zudem die Ausführungsdauer für ein angenommenes Ripple-Carry-Addiernetz, das zwei 6-stellige Dualzahlen addieren kann. Nehmen Sie hierbei an, dass ein Volladdierer eine Verzögerung von 70 psec, ein AND-Gatter und OR-Gatter jeweils eine Verzögerung von 10 psec verursachen. AND-Gatter und OR-Gatter mit mehr als zwei Eingängen sollen ebenfalls mit einer Verzögerung von 10 psec veranschlagt werden.

# **Aufgabe 44: (H)** Einfachauswahlaufgabe: Zahlendarstellung und Addiernetze

(6 Pkt.)

Für jede der folgenden Fragen ist eine korrekte Antwort auszuwählen ("1 aus n"). Nennen Sie dazu in Ihrer Abgabe die jeweils ausgewählte Antwortnummer ((i), (ii), (iii) oder (iv)). Eine korrekte Antwort ergibt jeweils einen Punkt. Mehrfache Antworten oder eine falsche Antwort werden mit 0 Punkten bewertet.

a) Wie lautet das dezimale Ergebnis der Addition der folgenden in Zweierkomplementdarstellung gegebenen Binärzahlen?												
10110001												
+ 00110100												
Übertrag												
	Ergebnis											
(i) -93	(ii) 67	(iii) 32	(iv) -27									
b) Um wie viele Stellen verschiebt sich das Komma der normalisierten Mantisse einer												
32 Bit IEEE 754 Gleitkommazahl, wenn der Exponent 10110011 lautet?												
(i) 3	(ii) 31	(iii) 52	(iv) 17									
c) Durch welche der folgenden Booleschen Funktionen wird ein Halbaddierer mit den												
Eingängen x und y und den Ausgängen R (Resultat) und Ü (Übertrag) realisiert?												
(i)	(ii)	_ (iii)	(iv)									
$R = xy + \overline{x} \ \overline{y}$	$R = \overline{(\overline{x} + y)} + \overline{(x + \overline{y})}$	$\overline{y}$ ) $R = xy$	$R = \overline{(\overline{x}y)} + \overline{(x\overline{y})}$									
$\ddot{\mathbf{U}} = \mathbf{x} + \mathbf{y} \qquad \qquad \ddot{\mathbf{U}} = \overline{(\overline{\mathbf{x}} + \overline{\mathbf{y}})} \qquad \qquad \ddot{\mathbf{U}} = \overline{\mathbf{x}} \overline{\mathbf{y}} \qquad \qquad \ddot{\mathbf{U}} = \overline{(\overline{\mathbf{x}} \ \overline{\mathbf{y}})}$												
d) Ein Volladdierer (Addition zweier Binärziffern und eines Übertrags) lässt sich mit												
(i)zwei	(ii)zwei	(iii)zwei	(iv)zwei									
Halbaddierern und	Halbaddierern	Halbaddierern und	Halbaddierern und									
einem OR-Gatter	realisieren.	einem AND-Gatter	einem NOT-Gatter									
realisieren.		realisieren.	realisieren.									
e) Welcher Dezimalzahl entspricht die folgende 32-Bit Gleitkommadarstellung nach IEEE 754?												
31 30 29 28 27 26 25 24 2			4 3 2 1 0									
$ \begin{array}{ c c c c c c c c c c c c c c c c c c c$												
S Exponent	S Exponent Significand											
(i) -22,625	(ii) -45,25	(iii) -362,0	(iv) -90,5									
f) Wie bezeichnet man ein Addiernetz, bei welchem z.B. bei der Addition einer												
8-stelligen Dualzahl die 4 höherwertigen Stellen der Input-Operanden zweimal												
addiert werden und zwar für den Fall, dass bei der Addition der niederwertigen Hälfte												
der Input-Operanden ein Übertrag auftritt oder nicht, um damit die Berechnungszeit der Gesamtaddition zu verkürzen?												
(i) Ripple-Carry	(ii) Carry-Select	(iii) Carry-Look- Ahead	(iv) Carry-Save									
		•	•									