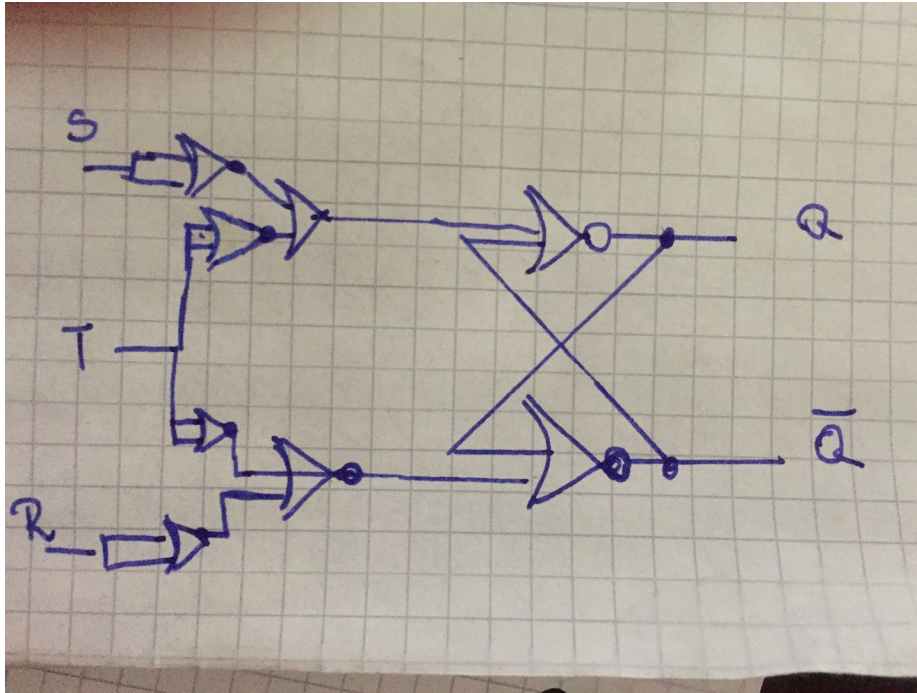


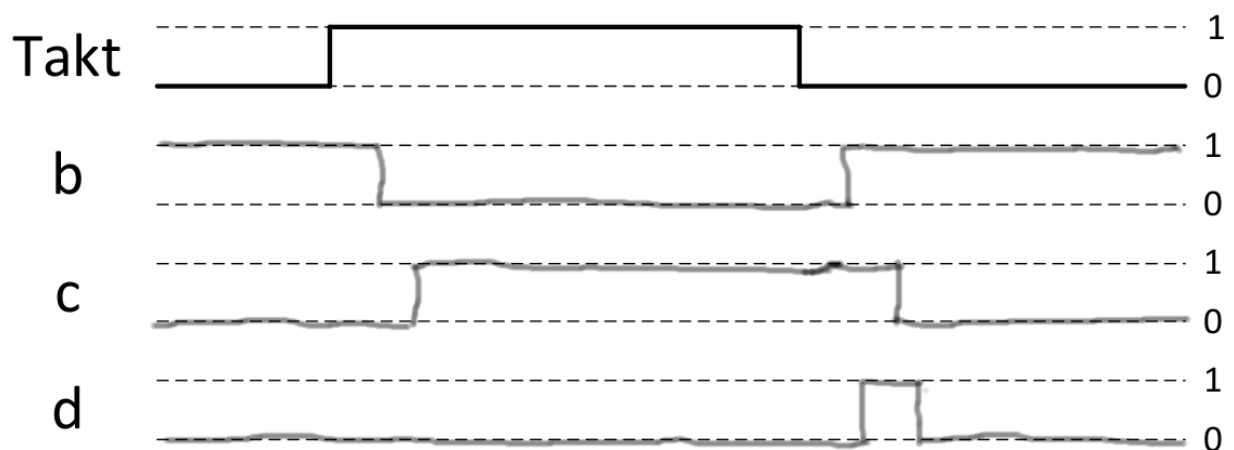
Aufgabe 47

a)



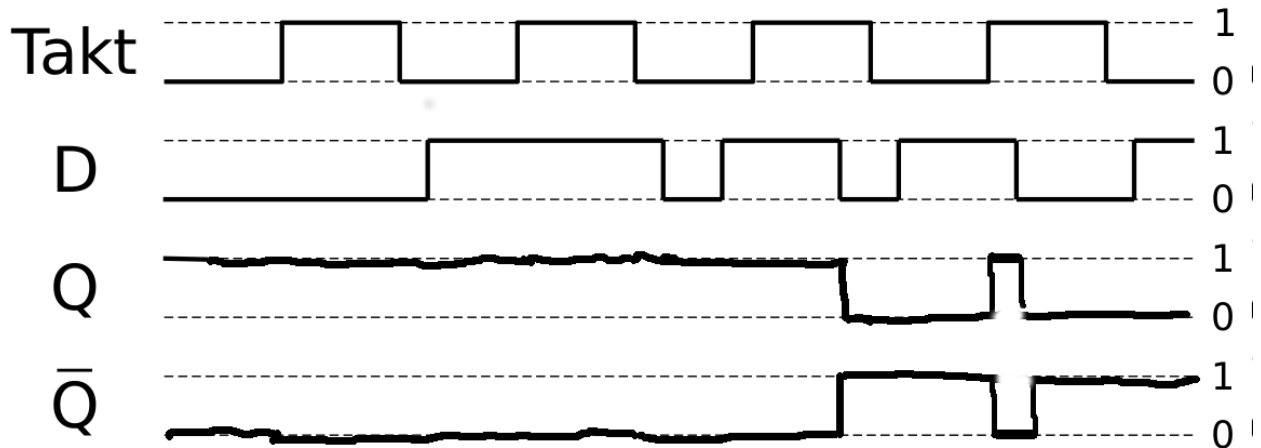
b)

Ergänzen Sie folgende Vorlage zu einem Impulsdiagramm für die Ausschnitte b, c, d basierend auf dem eingezeichneten Takt. Dabei verursacht jedes Gatter eine kurze aber nicht vernachlässigbare Verzögerung des Signals. Insbesondere ist die Verzögerung der NOT-Gatter größer als die des AND-Gatters.



c)

Ergänzen Sie nun die folgende Vorlage zum Impulsdiagramm eines D-Flip-Flops mit dem Impulsgenerator aus der vorherigen Teilaufgabe **b**). Das D-Flip-Flop verfügt über die Ausgänge Q und \bar{Q} . Gehen Sie zur Vereinfachung davon aus, dass sich die Pegel von Q und \bar{Q} des Bausteins ohne Zeitverzögerung in Abhängigkeit vom Takt und dem Signal D ändern.



Aufgabe 48

a) Welche Belegung der beiden Eingänge S (Set) und R (Reset) eines SR-Latch ist unzulässig?			
(i) $S = 0, R = 0$	★ (ii) $S = 1, R = 1$	(iii) $S = 1, R = 0$	(iv) $S = 0, R = 1$
b) Womit können die beiden NOR-Gatter eines SR-Latch ersetzt werden, um ebenfalls ein äquivalentes Verhalten eines 1-Bit-Speichers zu realisieren?			
★ NAND-Gatter	(ii) AND-Gatter	(iii) NOT-Gatter	(iv) OR-Gatter
c) Eine Flip-Flop-Schaltung, die das Eingangssignal übernimmt, wenn der Taktgeber von 0 auf 1 übergeht bezeichnet man als...			
(i) pegelgesteuert.	(ii) nicht gesteuert.	(iii) übersteuert.	★ (iv) flanken-gesteuert.
d) Angenommen aus Kostengründen würden nur NAND-Gatter produziert werden. Wie kann damit die OR-Funktion ($a + b$) realisiert werden?			
(i) $(a \text{ NAND } b) \text{ NAND } (a \text{ NAND } b)$	(ii) $a \text{ NAND } a$	(iii) $a \text{ NAND } b$	★ (iv) $(a \text{ NAND } a) \text{ NAND } (b \text{ NAND } b)$
e) Welcher Speichertyp steht in der Speicherhierarchie nicht unterhalb des Caches (d.h. der Zugriff drauf ist schneller als auf den Cache)?			
★ (i) Register	(ii) Bandlaufwerk	(iii) Arbeitsspeicher	(iv) Festplatte