## 计算机组成原理课程设计实验日志

6月30日

工具链部署与硬件验证组（计子毅+鹿一凡）

* 完成Vivado/ISE开发环境配置
* 确认硬件调试链路及工具链功能正常

架构研究与方案设计组（李思琪+陈子容）

* 分析指令集编码、五级流水线结构及数据通路 确定数据冒险、及控制冒险 的初步解决方案
* 提供Y86 Verilog代码（PIPE）——陈子容
* 提出开发汇编器 计划通过用户数据接口实现机器码直写芯片的执行模式——陈子容

7.1

工具链部署与硬件验证组（计子毅+鹿一凡）

* 调整Y86架构代码，完成在Vivado开发平台上的适配。 将适配后的代码烧录至Minisys开发板。

架构研究与方案设计组（李思琪+陈子容）

* 仿真时 通过观察波形图 发现寄存器文件读出的valA 是不定状态（X），xor等运算无法进行，则导致后续程序错误，解决方法：增加复位信号，将寄存器预设为初始值——陈子容
* 基于新增的冒险处理逻辑，修正前期非流水线版本代码中的相关错误(assign {f rA,f rB}=f ins[15:8]更改为assign {f rA,f rB} =need regids ?f ins[15:8]:{RNONE,RNONE} ;) （∵加载/使用冒险的检测依赖于源操作数寄存器标识符与加载指令目标寄存器的比对，所以要避免rarb存虚假的数据 ）——李思琪

7.2

工具链部署与硬件验证组（计子毅+鹿一凡）

* 调整Y86架构代码，完成在Vivado开发平台上的适配。将适配后的代码烧录至Minisys开发板。发现并纠正了课件上硬件对应端口错误，实现了系统时钟的分频以将Y86运行结果完好展示在小灯上。 测试RAS 代码，475ns → 415ns

架构研究与方案设计组（李思琪+陈子容）

在PIPE的基础上，新增 返回地址预测逻辑 ，增加返回地址栈RAS(return address stack）Verilog代码实现；新增 返回地址预测错误判断 和 恢复逻辑，对应修改 流水线控制逻辑——李思琪

7.3

工具链部署与硬件验证组（计子毅+鹿一凡）

* 增加了分频后系统时钟计数功能，将系统时钟分频为LED刷新频率，使计数结果在LED屏中显示，并在停机后停止计数，rst后置零。实现了单拍执行模式，增加(单拍/连续)模式切换功能

架构研究与方案设计组（李思琪+陈子容）

* 优化栈的底层实现 寄存器堆+栈指针 → 双向移位寄存器 ——陈子容