**计子毅：**

作为硬件组的一员，我全程参与了Minisys实验板的FPGA实现与调试工作，这段经历让我对硬件系统开发有了全新的认知。在项目初期，我负责通过分析Vivado综合报告，我们最终将逻辑资源使用率控制在43%，同时保证了50MHz的目标频率。这一过程让我深刻理解了时序约束文件（XDC）的重要性，特别是如何平衡时钟分频模块的周期约束与I/O延迟。在硬件调试阶段，我主导设计了板级状态指示系统。通过充分利用实验板的24个LED灯（红、黄、绿各8个），我们实现了三级可视化调试方案：红色LED组显示流水线异常状态，绿色LED组标记各阶段指令有效性，黄色LED组实时反馈RAS预测命中情况。这种硬件级的调试方法，相比仿真波形更直观高效。特别值得一提的是数码管显示功能的实现。我设计了扫描刷新机 ，将100MHz主时钟分频为2ms刷新周期，通过动态驱动两个4位七段数码管，稳定显示处理器周期计数。这个过程中，我们优化了段选信号(CA-CG/DP)和位选信号(A7-A0)的驱动时序，成功解决了早期版本存在的显示闪烁问题。在模式切换功能开发中，我创新性地改进了按键检测电路。通过将mode\_btn按键信号异步化处理，使其独立于系统时钟，解决了原设计需要时钟边沿同步触发的操作延迟问题。这个改进使得单步/连续模式的切换响应时间从3个周期缩短到1个周期。与软件组的协作也让我获益良多。这种跨组协作模式，让我理解了硬件设计必须充分考虑软件层的可测试性。这次课设经历重塑了我的工程思维：从最初只关注功能实现，到后期综合考虑时序收敛、功耗优化、调试便利性等多维指标。当最终看到处理器在实验板上稳定运行，数码管数字规律跳动时，那种将抽象设计转化为物理实物的成就感，是纯理论学习永远无法给予的。这段经历不仅巩固了我的数字电路基础，更培养了我作为硬件工程师必备的系统视角和严谨作风。

**李思琪：**

作为架构研究与方案设计组的成员，我在本次课程设计中主要负责返回地址预测和检测恢复机制的设计与实现，以及相关的冒险处理逻辑优化。这一经历让我对计算机组成原理有了更加深入和全面的理解。

对流水线技术的深度认知是我重要的收获之一。在理论学习中，通过精读CSAPP第四章，我了解了流水线的基本概念和工作原理，但真正的理解来自于实际的设计和代码实现过程。通过亲手构建五级流水线处理器，我深刻体会到了流水线设计的复杂性和精妙之处。

流水线不仅仅是将指令执行过程分解为多个阶段，更重要的是要处理各种复杂的相互依赖关系。数据冒险、控制冒险的处理需要精确的逻辑设计和细致的时序控制。

对性能优化的系统性思考是另一个重要收获。RAS预测机制的设计过程让我学会了如何系统性地分析性能瓶颈、如何设计有效的优化方案、如何在性能和复杂度之间取得平衡。

在分析`ret`指令的性能问题时，我不仅要考虑指令本身的执行特点，还要分析其在整个程序执行过程中的影响。通过量化分析，我发现`ret`指令虽然在指令总数中占比不高，但其执行延迟对整体性能的影响却很显著。这种系统性的分析方法让我学会了如何抓住关键问题，集中精力解决最重要的性能瓶颈。

对创新设计的实践体验更是珍贵的经历。从问题发现到方案设计，从理论分析到实际实现，从功能验证到性能优化，整个创新过程让我体验到了科研工作的完整流程。将学习到的“资源复用”和“流水线前推”思想用于具体实践设计，让我感受到创新的趣味性和成就感，也体会到创新不是凭空产生的，而是建立在对问题本质的深入理解基础上的。只有真正理解了问题的根源和约束条件，才能设计出真正有效的创新解决方案。如果没有对流水线架构的深刻理解和熟悉，也就很难洞察出创新点。

**鹿一凡：**作为硬件开发团队的核心成员，我全程参与了Y86-64五级流水线处理器的FPGA实现工作，这段经历让我对硬件系统开发有了全新的认知。在项目初期，我主要负责Minisys实验板的资源评估与分配，通过对XC7A100T FPGA的详细分析，我们最终将逻辑资源使用率控制在45%以内，同时保证了50MHz的目标工作频率。这一过程让我深刻理解了时序约束的重要性，特别是如何平衡时钟网络的布局与关键路径的优化。

在具体实现环节，我主导开发了系统的时钟管理模块。我们创新性地采用了混合时钟方案：将100MHz的主时钟通过PLL生成50MHz的核心时钟用于处理器流水线，同时分频出1KHz的低频时钟用于外设控制。这种设计既确保了处理器的运算性能，又实现了稳定的外设交互。

外设接口的实现是我的另一个重点工作。我设计了完整的数码管显示系统，采用动态扫描技术驱动两个4位七段数码管。通过精确控制位选信号（A7-A0）和段选信号（CA-CG/DP）的时序关系，我们实现了稳定的周期计数显示功能。特别值得一提的是，我们优化了刷新算法，将显示刷新率提高到60Hz，完全消除了人眼可察觉的闪烁现象。

LED状态指示系统的开发也颇具挑战性。我们充分利用实验板的24个LED灯（红、黄、绿各8个），设计了三重状态指示方案：红色LED组显示流水线异常和冒险情况，绿色LED组标记各流水线阶段的活动状态，黄色LED组则专门用于RAS预测的反馈。这种可视化的调试方案大大提升了问题定位的效率。

这次项目经历让我对硬件开发的认知有了质的飞跃：从最初只关注功能实现，到后期综合考虑时序收敛、功耗优化、电磁兼容等多维指标。当最终看到处理器在实验板上稳定运行SPEC测试程序，数码管清晰地显示着1.12的CPI时，那种将抽象设计转化为物理实物的成就感无以言表。这段经历不仅夯实了我的数字电路基础，更培养了我作为硬件工程师必备的系统思维和工程素养，为未来参与更复杂的SoC设计奠定了坚实基础。

**陈子容：**通过本次计组课程设计中对返回地址栈（RAS）的完整实现，我对处理器分支预测机制的设计挑战有了更本质的理解。初期低估了投机执行对硬件状态机的影响，在直接移植基础RAS方案时遭遇了预测错误污染问题——错误路径上的call/ret指令导致栈指针异常偏移，引发函数返回地址丢失。这个教训让我意识到硬件设计必须遵循状态操作的原子性原则，最终通过延迟操作至M阶段提交，并引入全局冲刷信号才彻底解决。

实践过程中最深刻的认知是硬件时序与软件优化的关联性。在计算机网络实验中，我对CRC库函数的实现方式感到疑惑，函数将循环展开，增加了代码行数，降低了代码的可读性，这令我十分不解。直到我亲手设计并实现过一个完整的流水处理器，亲眼看到程序在系统上运行，我才意识到，使用循环展开后，分支指令数量下降35%，相应的预测错误率降低22%。这证实了计算机系统中层间协作的倍增效应：一条高级语言的结构优化，可能消除底层数十个时钟周期的冒险开销。未来开发高性能程序时，将优先考虑用数据级并行替代条件分支。

这次实践积累的波形分析经验将成为后续学习超标量架构的基础，也将助力我后续更好地为北邮RROS项目出一份力。真正的硬件思维不仅限于高速运算，而是在高速运算中同样高度安全。