

Fundação CECIERJ - Vice Presidência de Educação Superior a Distância

**Curso de Tecnologia em Sistemas de Computação**

**Disciplina: Introdução à Informática**

**AP2 2º semestre de 2007.**

**Data:**

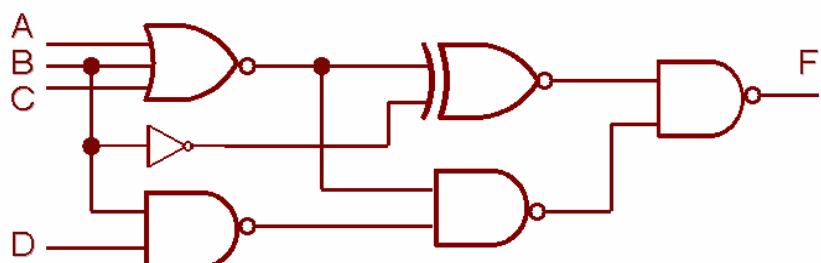
**Nome –**

**Assinatura –**

**Observações:**

1. Prova sem consulta e sem uso de máquina de calcular.
2. Use caneta para preencher o seu nome e assinar nas folhas de questões e nas folhas de respostas.
3. Você pode usar lápis para responder as questões.
4. Ao final da prova devolva as folhas de questões e as de respostas.
5. Todas as respostas devem ser transcritas nas folhas de respostas. As respostas nas folhas de questões não serão corrigidas.
6. Respostas sem justificativas não serão aceitas
7. **ATENÇÃO: exija que a sua prova seja grampeada junto com a(s) folha(s) de questões, caso contrário ela NÃO será corrigida!**

1. **Dado o circuito abaixo, determine a expressão lógica mais simples que você puder para a saída F:**



2. **Simplifique a função F dada abaixo até a forma mais simples que você conseguir.**

$$F(x,y,w,z) = \bar{x}\bar{y}\bar{w}z + x\bar{y}wz + \bar{x}ywz + x\bar{y}\bar{w}\bar{z} + \bar{x}\bar{y}wz + xywz$$

**3. Dada a função F pela sua notação compacta abaixo, determine sua expressão lógica mais simples e a partir desta desenhe o circuito correspondente.**

$$F(A,B,C,D) = \sum (1, 2, 3, 5, 6, 7, 10, 11, 13, 15)$$

**4. Algorítimos LRU e FIFO são comumente implementados em diversos dispositivos em um computador, como por exemplo, memória cache. Considere um conjunto de 4 posições que implemente estes algoritmos e mostre o seu conteúdo a cada passo a para seqüência de dados mostrada a seguir: {A, B, C, D, E, B, E, F, G, H}.**

**Obs.:**

- está questão pode ser respondida na folha de questões
- as posições estão representadas em colunas
- os dados na primeira linha, de acordo com a passagem de tempo

**a) FIFO**

A	B	C	D	E	B	E	F	G	H
---	---	---	---	---	---	---	---	---	---


**b) LRU**

A	B	C	D	E	B	E	F	G	H
---	---	---	---	---	---	---	---	---	---


**5. Supondo que um cache tenha as seguintes características:**

- 1024 linhas;
- 256 bits por linha;
- 32 bits de tamanho de endereço do processador;
- Mapeamento direto (ou seja, associatividade zero)

**Responda:**

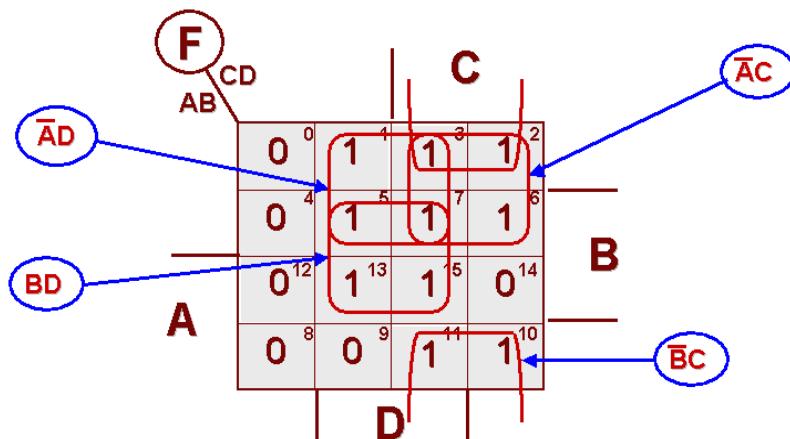
1. Determine o tamanho em bytes da memória cache. Justifique.
2. Quais bits do endereço são responsáveis pelo endereçamento do byte dentro do bloco? Justifique.
3. Quais bits do endereço determinam uma linha do cache? Justifique.
4. Quais bits do endereço são responsáveis pelo tag? Justifique.

### **GABARITO**

1.  $F(A,B,C,D) = \overline{B}$

2.  $F(x,y,w,z) = w z + x \overline{y} \overline{w}$

3.  $F(A,B,C,D) = \sum (1, 2, 3, 5, 6, 7, 10, 11, 13, 15)$



$$F(A,B,C,D) = \overline{A} C + \overline{A} D + \overline{B} C + BD$$

**4.**

A B C D E B E F G H

FIFO

1	A	A	A	A	E	E	E	E	E	E
2	B	B	B	B	B	B	F	F	F	F
3	C	C	C	C	C	C	G	G	G	G
4	D	D	D	D	D	D	H			

LRU

1	A	A	A	A	E	E	E	E	E	E
2	B	B	B	B	B	B	B	B	B	H
3	C	C	C	C	C	F	F	F	F	F
4	D	D	D	D	D	G	G	G	G	G

**5.**

**5.1)**

1024 linhas x 256 bits/linha = 1024 linhas x 32 bytes/linha = 32 kbytes  
256 bits = 32 bytes

**5.2)**

32 bytes =  $2^5 \rightarrow$  5 bits

Bits de 0 até 4

**5.3)**

1024 linhas =  $2^{10} \rightarrow$  10 bits

Bits de 5 até 14

**5.4)**

O restante dos bits, ou seja, para uma máquina de 32 bits de endereço, os bits de 15 até 31