



Fundação CECIERJ - Vice Presidência de Educação Superior a Distância

Curso de Tecnologia em Sistemas de Computação

Disciplina: Introdução à Informática

AP3 1º semestre de 2005.

Data: 21/08/2005

Nome –

Assinatura –

Observações:

1. Prova sem consulta e sem uso de máquina de calcular.
 2. Use caneta para preencher o seu nome e assinar nas folhas de questões e nas folhas de respostas.
 3. Você pode usar lápis para responder as questões.
 4. Ao final da prova devolva as folhas de questões e as de respostas.
 5. Todas as respostas devem ser transcritas nas folhas de respostas. As respostas nas folhas de questões não serão corrigidas.
-

1. Faça as operações aritméticas abaixo mostrando os cálculos efetuados e indicando os resultados nas bases solicitadas:

- a) $(FEDCB)_{16} + (9F8EA)_{16} = (?)_{16} = (?)_4$
- b) $(70654.536)_8 + (67305.665)_8 = (?)_8 = (?)_{16}$
- c) $(A000A.0A)_{16} - (9FC9D.EE)_{16} = (?)_{16} = (?)_8$
- d) $(10111011.1001)_2 + (11010111.1101)_2 + (11011101.0111)_2 = (?)_2 = (?)_{16}$
- e) $(110101001.001)_2 - (101110011.111)_2 = (?)_2 = (?)_4$

2. Desenhe o circuito que corresponde exatamente à equação lógica de F abaixo:

$$F(x,y,w,z) = \overline{\overline{xw}} \cdot \overline{\overline{ywz}} + \overline{xy} + \overline{yz}$$

3. Utilizando o mapa de Karnaugh, simplifique a expressão de F dada abaixo para a forma mais simples que você conseguir.

$$F(A,B,C,D) = \overline{A} \overline{C} \overline{D} + A \overline{C} \overline{D} + B \overline{C} D + \overline{A} B C D + A \overline{B} \overline{C} D + A B C D$$

4. Considere a memória cache com as seguintes características para um computador com 32 bits de endereço de memória (considere como 0 (zero) o primeiro bit (bit menos significativo) de endereço):

- Tamanho do bloco: 256 bits
 - Associatividade: 4
 - Quantidade de conjuntos associativos: 64

Informe:

- a) Quais bits de endereço são utilizados para identificar o conjunto associativo? (bit inicial e final)
 - b) Quais bits de endereço são utilizados para selecionar o byte dentro do bloco? (bit inicial e final)
 - c) Quais bits de endereço são utilizados para definir (validar) qual bloco dentro do conjunto associativo selecionado está sendo referenciado? (bit inicial e final)

5. a) Considere um sistema de memória cache que utiliza o algoritmo LRU para seleção de blocos a serem substituídos. Este sistema possui 4 posições de memória totalmente associativas. Mostre, preenchendo a seguinte tabela, os endereços armazenados em cache após o seguinte padrão de leitura de dados a ser executado:

Padrão: 0 1 2 3 4 1 2 3 0 1 2 3 4

0	1	2	3	4	1	2	3	0	1	2	3	4
---	---	---	---	---	---	---	---	---	---	---	---	---

b) Utilize o mesmo sistema e padrão para cache utilizando FIFO

0	1	2	3	4	1	2	3	0	1	2	3	4
---	---	---	---	---	---	---	---	---	---	---	---	---