



Fundação CECIERJ - Vice Presidência de Educação Superior a Distância

Curso de Tecnologia em Sistemas de Computação

Disciplina: Organização de Computadores

AP3 1º semestre de 2006.

Nome –

Assinatura –

Observações:

1. Prova sem consulta e sem uso de máquina de calcular.
 2. Use caneta para preencher o seu nome e assinar nas folhas de questões e nas folhas de respostas.
 3. Você pode usar lápis para responder as questões.
 4. Ao final da prova devolva as folhas de questões e as de respostas.
 5. Todas as respostas devem ser transcritas nas folhas de respostas. As respostas nas folhas de questões não serão corrigidas.
-

1. (3,0) Um computador, que apresenta uma arquitetura similar àquela apresentada ao longo do curso, possui uma capacidade máxima de memória principal de 128K células, cada uma capaz de armazenar uma palavra de 8 bits. Em cada acesso à memória, realiza-se a transferência de uma palavra.

- a) Qual é o maior endereço em decimal desta memória ?

Resposta: O maior endereço em decimal é $2^{17}-1=131071$

- b) Qual é o tamanho do barramento de endereços deste sistema ?

Resposta: Para endereçar 128 K células = 2^{17} células, precisamos de 17 bits para endereçar a memória. Logo o barramento de endereços deve ter 17 bits.

- c) Quantos bits podem ser armazenados no RDM (Registrador de Dados da Memória), no REM (Registrador de Endereços da Memória) e no CI (Contador de Instruções) ?

Resposta: Como em cada acesso à memória se realiza a transferência de uma palavra que possui 8 bits, o RDM deve poder armazenar 8 bits. O REM e CI têm que armazenar o número de bits necessários ao endereço, logo devem armazenar 17 bits.

- d) Qual é o número máximo de bits que pode existir na memória ?

Resposta: O número máximo de bits é igual ao número de células multiplicado pela quantidade de bits de uma célula que é igual a $128K \times 8 = 2^{17} \times 2^3 = 2^{20} = 1 \text{ Mbits}$

- e) Descreva detalhadamente a execução da instrução **LDA Op.** nesta máquina. A instrução **LDA Op.** carrega o acumulador com o conteúdo da célula de memória cujo endereço é Op.

Resposta: A UCP coloca o endereço da célula de memória no REM e em seguida ele é transferido para o barramento de endereços. A UCP coloca o sinal de controle indicando uma operação de leitura no barramento de controle. O controlador de memória recebe o endereço e o sinal de leitura e seleciona a célula correspondente ao endereço e faz com que seu conteúdo seja transferido para o

barramento de dados. Estes bits são armazenados no RDM e posteriormente transferidos para o acumulador.

- f) Descreva detalhadamente a execução da instrução **STR Op.** nesta máquina. A instrução **STR Op.** armazena o conteúdo do acumulador na célula de memória cujo endereço é Op.

Resposta: A UCP faz com que os bits armazenados no acumulador sejam transferidos para o RDM e coloca o endereço da célula no REM. Os bits armazenados no RDM são transferidos para o barramento de dados e os bits do REM para o barramento de endereços.. A UCP coloca o sinal de controle indicando uma operação de escrita no barramento de controle. O controlador de memória recebe o endereço, os dados, e o sinal de escrita, seleciona a célula correspondente ao endereço e armazena os bits recebidos pelo barramento de dados na célula selecionada.

2. (1,5) Considere o conjunto de 32 bits representado na base hexadecimal $(890F0001)_{16}$. Mostre o que ele representa, **em decimal**, quando for interpretado como:

OBS: Não precisa fazer as contas, deixe-as indicadas.

- a) um inteiro sem sinal

Resposta: $8 \times 16^7 + 9 \times 16^6 + 15 \times 16^4 + 1 \times 16^0$ ou $2^{31} + 2^{27} + 2^{24} + 2^{19} + 2^{18} + 2^{17} + 2^{16} + 2^0 = 2299461633$

- b) um inteiro utilizando-se a representação sinal e magnitude

Resposta: $-(2^{27} + 2^{24} + 2^{19} + 2^{18} + 2^{17} + 2^{16} + 2^0) = -151977985$

- c) um inteiro utilizando-se a representação em complemento a 2

Resposta: $-2^{31} + 2^{27} + 2^{24} + 2^{19} + 2^{18} + 2^{17} + 2^{16} + 2^0$ ou $-(2^{30} + 2^{29} + 2^{28} + 2^{26} + 2^{25} + 2^{23} + 2^{22} + 2^{21} + 2^{20} + 2^{15} + 2^{14} + 2^{13} + 2^{12} + 2^{11} + 2^{10} + 2^9 + 2^8 + 2^7 + 2^6 + 2^5 + 2^4 + 2^3 + 2^2 + 2^1 + 2^0) = -1995505663$

- d) um número utilizando-se a representação ponto flutuante precisão simples IEEE 754 (1 bit de sinal, 8 bits para expoente em excesso de 127, 23 bits para mantissa)

Resposta: O conjunto de bits na base 2 corresponde a: 10001001000011110000000000000001

Bit de sinal = 1, número negativo

Representação do expoente: 00010010 em excesso de 127, expoente $+127=18$, expoente $=-109$

Mantissa fracionária= 000111100000000000000001

$-(1, 000111100000000000000001) \times 2^{-109} = -(2^{-109} + 2^{-113} + 2^{-114} + 2^{-115} + 2^{-116} + 2^{-132})$

3. (2,0) Compare máquinas de 1, 2 e 3 endereços escrevendo programas para calcular:

$$X = A \times B / (C - D)$$

M, X, Y e Z são endereços de memória de 16 bits. A máquina de 1 endereço usa um acumulador, e as outras duas têm instruções operando sobre endereços de memória. SUB X,Y subtrai Y de X e SUB X,Y,Z subtrai Z de Y e coloca o resultado em X. Assumindo códigos de operação de 8 bits e comprimentos de instruções que são múltiplos de 4, quantos bits cada máquina precisa para calcular X?

1. operador:

LOAD M
STORE M
ADD M
SUB M
MUL M
DIV M

2. operadores

MOV X, Y equivale $(X=Y)$
ADD X, Y equivale $(X=X+Y)$
SUB X, Y equivale $(X=X-Y)$
MUL X, Y equivale $(X=X*Y)$
DIV X, Y equivale $(X=X/Y)$

3. operadores:

ADD X, Y, Z equivale $(X=Y+Z)$
SUB X, Y, Z equivale $(X=Y-Z)$
MUL X, Y, Z equivale $(X=Y*Z)$
DIV X, Y, Z equivale $(X=Y/Z)$

Resposta:

1 OPERADOR

Algoritmo obedecendo à prioridade matemática e ordem na expressão, considerando 1 operador:

1) ACC <- (C)	LOAD C	cod op = 8 + operando = 16	total = 24
2) ACC <- ACC - (D)	SUB D	cod op = 8 + operando = 16	total = 24
3) (T1) <- ACC	STORE T1	cod op = 8 + operando = 16	total = 24
4) ACC <- (A)	LOAD A	cod op = 8 + operando = 16	total = 24
5) ACC <- ACC * (B)	MUL B	cod op = 8 + operando = 16	total = 24
6) ACC <- ACC / (T1)	DIV T1	cod op = 8 + operando = 16	total = 24
7) (X) <- ACC	STORE X	cod op = 8 + operando = 16	total = 24

QUANTIDADE DE BITS TOTAL = 7 x 24 = 168

2 OPERADORES

1_ Sem salvamento dos valores dos endereços:

1) (C) <- (C) - (D)	SUB C, D	cod op = 8 + 2 operandos = 32	total = 40
2) (A) <- (A) * (B)	MUL A, B	cod op = 8 + 2 operandos = 32	total = 40
3) (A) <- (A) / (C)	DIV A, C	cod op = 8 + 2 operandos = 32	total = 40
4) (X) <- (A)	MOV X, A	cod op = 8 + 2 operandos = 32	total = 40

QUANTIDADE DE BITS TOTAL = 4 x 40 = 160

2_ Com salvamento dos valores dos endereços:

1) (T1) <- (C)	MOV T1, C	cod op = 8 + 2 operandos = 32	total = 40
2) (T1) <- (T1) - (B)	SUB T1, B	cod op = 8 + 2 operandos = 32	total = 40
3) (X) <- (A)	MOV X, A	cod op = 8 + 2 operandos = 32	total = 40
4) (X) <- (X) * (B)	MUL X, B	cod op = 8 + 2 operandos = 32	total = 40
5) (X) <- (X) / (T1)	DIV X, T1	cod op = 8 + 2 operandos = 32	total = 40

QUANTIDADE DE BITS TOTAL = 5 x 40 = 200

3 OPERADORES

1) (T1) <- (C) - (D)	SUB T1, C, D	cod op = 8 + 3 operandos = 48	total = 56
2) (X) <- (A) * (B)	MUL X, A, B	cod op = 8 + 3 operandos = 48	total = 56
3) (X) <- (X) / (T1)	DIV X, X, T1	cod op = 8 + 3 operandos = 48	total = 56

QUANTIDADE DE BITS TOTAL = 3 x 56 = 168

4. (2,0) Descreva os três possíveis métodos de comunicação entre uma interface de entrada e saída com a unidade central de processamento e memória principal: por programa (*polling*), por interrupção e por acesso direto à memória. Indique as vantagens e desvantagens de cada um.

Resposta:

Por programa: A UCP indica à interface de entrada e saída que deseja realizar uma operação de transferência de dados e fica interrogando a interface para saber se ela está pronta para realizar a transferência de dados. Quando a UCP recebe uma resposta positiva da interface, ela realiza a transferência de dados. Para ler dados da interface e colocar os dados na memória, ela realiza operações de leitura de dados da interface e escrita na memória. Para escrever dados na interface, ela realiza operações de leitura da memória e escrita na interface. As vantagens deste método são: hardware simples e todos os procedimentos estão sob controle da UCP. As desvantagens são: utilização do processador para interrogar as interfaces, o que acarreta perda de ciclos de processador que poderiam ser utilizados na execução de outras instruções e utilização do processador para realizar a transferência de dados, o que também acarreta perda de ciclos de processador.

Por interrupção: A UCP indica à interface de entrada e saída que deseja realizar uma operação de transferência de dados e realiza outras instruções que não se referenciam a esta operação, ou seja, a UCP não fica interrogando a interface para identificar quando ela está pronta. Quando a interface está pronta para realizar a transferência, ela gera um sinal de interrupção que é recebido pela UCP. A UCP ao receber este sinal, termina de realizar a instrução que estava sendo realizada, salva o contexto onde esta instrução

estava sendo realizada, e executa as instruções para realizar a transferência de dados com a interface. A vantagem deste método é que não ocorre perda de ciclos de processador para interrogar a interface, já que neste caso, não se precisa mais interrogar a interface, ela avisa quando está pronta. As desvantagens são: necessidade de um hardware adicional (controlador de interrupções, por exemplo), gerenciamento de múltiplas interrupções e perda de ciclos de relógio para salvar e recuperar o contexto dos programas que são interrompidos.

Por acesso direto à memória (DMA) : Um controlador de DMA realiza diretamente a transferência de dados entre a interface e a memória sem envolver a UCP nesta transferência. A UCP necessita enviar alguns parâmetros para o controlador de DMA: o endereço da interface, o tipo de transferência (escrita ou leitura de dados), o endereço de memória para ler ou escrever os dados e o número de bytes a serem transferidos. O controlador de DMA realiza toda a transferência de dados entre a interface e a memória e a UCP não necessita executar nenhuma instrução para realizar esta transferência. Quando a transferência acaba, o controlador de DMA gera um sinal de interrupção para a UCP indicando que a transferência foi realizada. As vantagens deste método são: permite transferência rápida entre interface e memória porque existe um controlador dedicado a realizá-la e libera a UCP para executar outras instruções não relacionadas a entrada e saída. A desvantagem é que precisamos de hardware adicional.

5. (1,5) Explique a classificação das arquiteturas segundo Flynn.

Resposta:

SISD - Single instruction stream, single data stream. Um único processador executa uma única sequência de instruções sobre dados armazenados em uma única memória. Exemplo: Processadores de computadores pessoais.

SIMD – Single instruction stream, multiple data stream. Uma única unidade de controle. Vários elementos de processamento. Cada um tem uma memória de dados. Cada instrução é executada sobre um conjunto de dados diferente. Exemplo: Processadores matriciais.

MISD – Multiple instruction stream, single data stream. A sequência de dados é transmitida para um conjunto de processadores, cada um dos quais executa uma sequência de instruções diferente. Não existem processadores comerciais que utilizam este modelo.

MIMD – Multiple instruction stream, multiple data stream. Conjunto de processadores executa simultaneamente sequências diferentes de instruções sobre conjuntos de dados diferentes. Exemplo: SMPs, clusters, sistemas NUMA