

Disciplina: Organização de Computadores
GABARITO DA AP1 2019-01

1. (1,6) Considere as características de 4 barramentos síncronos relativas ao número de bits que são transmitidos em um ciclo de relógio e à frequência do relógio, conforme mostrado na tabela abaixo:

| Tipo de barramento | Número de bits/ciclo | Frequência do relógio (GHz) |
|--------------------|----------------------|-----------------------------|
| T1 | 32 | 2 |
| T2 | 64 | 1,2 |
| T3 | 40 | 1.5 |
| T4 | 48 | 2.4 |

Indique, para cada um dos barramentos, a taxa de transferência em Gbytes/s.

Cálculo da taxa de transferência em cada barramento:

$$T1 = 32 \text{ bits/ciclo} \times 2 \text{ GHz} = 4 \text{ bytes/ciclo} \times 2 \text{ GHz} = \mathbf{8 \text{ Gbytes/s}}$$

$$T2 = 64 \text{ bits/ciclo} \times 1,2 \text{ GHz} = 8 \text{ bytes/ciclo} \times 1,2 \text{ GHz} = \mathbf{9,6 \text{ Gbytes/s}}$$

$$T3 = 40 \text{ bits/ciclo} \times 1,5 \text{ GHz} = 5 \text{ bytes/ciclo} \times 1,5 \text{ GHz} = \mathbf{7,5 \text{ Gbytes/s}}$$

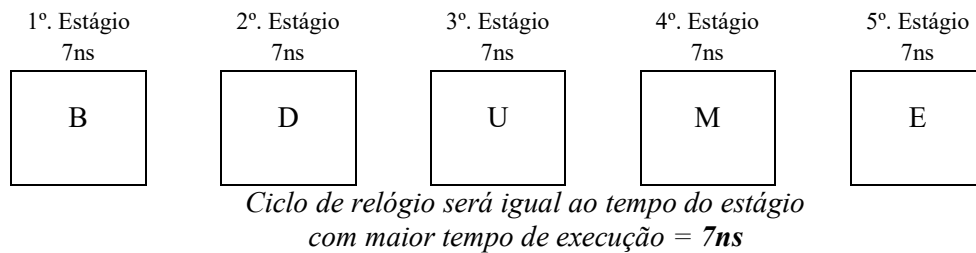
$$T4 = 48 \text{ bits/ciclo} \times 2,4 \text{ GHz} = 6 \text{ bytes/ciclo} \times 2,4 \text{ GHz} = \mathbf{14,4 \text{ Gbytes/s}}$$

2. (2,0) Considere uma máquina que pode ter seu ciclo de busca e execução de uma instrução dividido em 5 estágios totalmente independentes: Busca (B), Decodificação/ Leitura de registradores (D), Operação da ULA (U), Acesso à memória de dados (M) e Escrita nos registradores (E). Cada um dos estágios B e M possui a duração de 7 ns e cada estágio D, U e E tem duração de 3 ns. Cada instrução desta máquina precisa executar os 5 estágios.
- a. (0,5) Uma implementação desta máquina foi realizada de modo que cada instrução deve ser completamente realizada em um único ciclo de relógio e uma instrução só começa a ser realizada após o término da anterior. Calcule a duração do ciclo de relógio que esta implementação deve possuir. Lembre-se que todas as instruções necessitam dos 5 estágios.

| 1°. Estágio | 2°. Estágio | 3°. Estágio | 4°. Estágio | 5°. Estágio |
|-------------|-------------|-------------|-------------|-------------|
| B 7ns | D 3ns | U 3ns | M 7ns | E 3ns |

O ciclo de relógio deverá ter o tempo de 23ns (7ns + 3ns + 3ns + 7ns + 3ns)

- b. (0,5) Como cada estágio é independente um do outro, implementou-se uma **nova** arquitetura utilizando-se um pipeline de 5 estágios. Calcule a duração do ciclo de relógio que a implementação pipeline deve ter. Considere que qualquer estágio do pipeline deve poder ser realizado em um único ciclo de relógio.



- c. (1,0) Mostre o tempo em que um programa que contenha 800 instruções será executado pela **implementação do item a e do item b.**

Seja T_{ex} = tempo de execução de uma instrução = número de estágios \times ciclo de relógio (determinado nos itens anteriores)

Para o item a (sem pipeline) :

$$T_{ex} = 1 \text{ estágio de } 23ns = 23ns$$

$$T_{total} = 800 \text{ instruções} \times T_{ex} = \mathbf{18.400 \text{ ns}}$$

Para o item b (pipeline: 5 estágios) :

$$T_{ex} = 5 \text{ estágios de } 7ns \text{ cada} = 35ns$$

$$T_{total} = T_{ex} + 799 \times \text{tempo de 1 estágio}$$

$$T_{total} = 35ns + 799 \times 7ns = \mathbf{5.628 \text{ ns}}$$

3. (2,4) Suponha que você deve projetar uma máquina com as seguintes especificações:

- Capaz de endereçar 16G células de memória principal, sendo que cada célula armazena 16 bits.
- Deve possuir os registradores RDM (utilizado para enviar e receber dados para/de o barramento de dados), REM (utilizado para enviar endereços no barramento de endereços), CI (utilizado para indicar o endereço da instrução a ser lida da memória) e RI (utilizado para armazenar uma instrução).
- Cada instrução deve conter um código de operação, um operando e um registrador como mostrado abaixo:

| | | |
|-----------|----------|------|
| Cód. Oper | Operando | Reg. |
|-----------|----------|------|

onde Operando é um endereço da memória principal e Reg. é o identificador de um Registrador, sendo que a máquina possui 30 registradores.

- Deve poder ter um máximo de 280 códigos de operação diferentes.
- a. (0,3) Indique qual deve ser o tamanho mínimo em bits do REM
- Memória com 16G células => $N = 16G$ células*
tamanho mínimo do REM será o tamanho do barramento de endereços necessário para endereçar toda a memória.
Barramento de endereços (BE) = $\log_2 N = \log_2 16G = 34$ bits
REM = tamanho do BE = 34 bits
- b. (0,3) Indique qual deve ser o tamanho mínimo em bits do barramento de endereços.
- tamanho do BE = 34 bits*
- c. (0,6) Calcule o número de células que uma instrução necessita para ser armazenada.
- Cada instrução = código de operação + 1 operando + 1 registrador*
1º. operando = endereço de uma célula = 34 bits
2º. operando = endereço de um registrador, um dos 30 diferentes = necessário 5 bits
cod.operação = tamanho necessário para 280 códigos diferentes = necessário 9 bits
tamanho da instrução = $9 + 34 + 5 = 48$ bits
Serão necessárias 3 células (3×16 bytes = 48 bits) para armazenar uma instrução
- d. (0,6) Indique o **tamanho do RDM e do barramento de dados** de modo que a Unidade Central de Processamento obtenha uma instrução da memória principal realizando somente um acesso à memória principal.
- RDM = barramento de dados = tamanho necessário para transferir uma instrução*
Uma instrução ocupa 3 células, sendo assim,
RDM = barramento de dados = 48 bits (3 células).
- e. (0,6) Calcule a capacidade de armazenamento em bits dos registradores RI e CI, utilizando-se os valores calculados nos itens anteriores.
- CI = tamanho necessário para endereçar toda a memória = 34 bits*
RI = tamanho mínimo necessário para uma instrução = 48 bits

4. (2,0) Considere uma máquina que possa endereçar 4 Giga bytes de memória física, sendo que cada endereço referencia uma célula de 8 bytes. Ela possui uma memória cache que pode armazenar 1 Mega blocos, sendo um bloco por linha e cada bloco possui 1 célula. Mostre o formato da memória cache, indicando os campos necessários (tag, bloco) e o número de bits para cada campo, o formato de um endereço da memória principal, indicando os bits que referenciam os campos da cache, e a capacidade em bits que a memória cache deve possuir (pode deixar a conta indicada) para os seguintes mapeamentos:

a. Mapeamento direto.

Memória Principal

- *Tamanho da memória (em bytes) = 4Gbytes, como cada célula contém 8 byte, temos, então, $N = 512\text{M}$ células*
 - *A MP está organizada em blocos de 1 células ($K=1$ células)*
 - *$N = 512\text{M}$ células e $K = 1$ células / bloco, o total de blocos da MP (B) será:*
- Total de blocos: $B = N / K \Rightarrow B = 512\text{M} \text{ células} / 1 \text{ células/bloco} \Rightarrow B = 512 \text{ M blocos}$*

Memória Cache

OBS: O K (quantidade de células/bloco) tem de ser igual a MP .

- *Tamanho da memória cache (em blocos ou linhas)* $\Rightarrow Q = 1M \text{ blocos}$
- *Tamanho da memória cache em células* $= Q \times K = 1M \text{ blocos} \times 1 \text{ células/blocos} = 1M \text{ células (8Mbytes)}$

Memória principal

512M células: N

512M blocos: B

[illegible]

Organização da cache

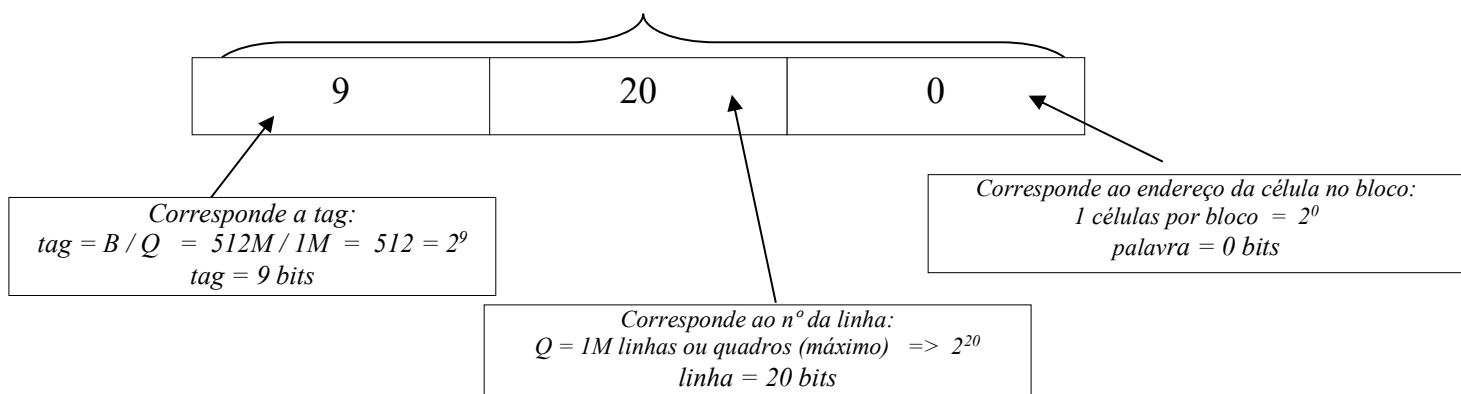
| linha | tag | Conteúdo (bloco) |
|-------|--------|-----------------------------------|
| 0 | 9 bits | 1 célula de 64 bits cada = 64bits |
| 1 | | |
| 2 | | |
| 3 | | |
| 4 | | |
| 5 | | |
| | | |
| Q - 2 | | |
| Q - 1 | | |

$$\text{Capacidade total da memória cache em bits} = (\text{tag} + \text{bloco}) \times 1\text{Mblocos} = (9 + 64) \times 1\text{M} = 73\text{Mbits}$$

Para endereçarmos toda a MP precisamos da seguinte quantidade de bits (E)

sendo $N = 2^E \Rightarrow N = 512M \text{ células} \Rightarrow N = 2^{29} \Rightarrow E = 29 \text{ bits}$

Tamanho do endereço da MP = 29 bits



b. Mapeamento totalmente associativo.

Memória Principal

$$\Rightarrow N = 512M \text{ células}$$
$$\Rightarrow K = 1$$
$$\Rightarrow B = 1M \text{ blocos}$$

Memória Cache

OBS: O K (quantidade de células/bloco) tem de ser igual a MP .

$$\Rightarrow Q = 1M \text{ blocos}$$

=> *Tamanho da memória cache* = 1Mblocos = 1M células

Memória principal

512M células: N

512M blocos: B

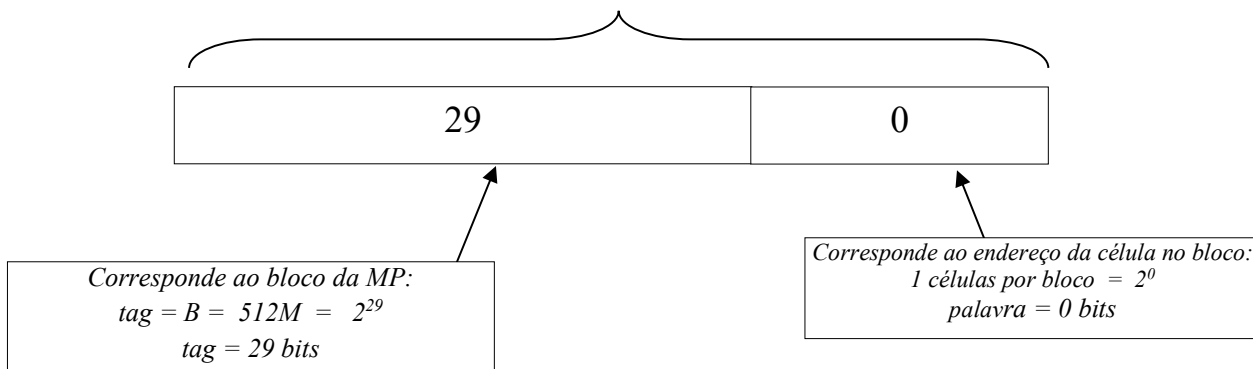
[illegible]

Organização da cache

| linha | tag | Conteúdo (bloco) |
|-------|---------|-----------------------------------|
| 0 | 29 bits | 1 célula de 64 bits cada = 64bits |
| 1 | | |
| 2 | | |
| 3 | | |
| 4 | | |
| 5 | | |
| | | |
| Q - 2 | | |
| Q - 1 | | |

$$\text{Capacidade total da memória cache em bits} = (\text{tag} + \text{bloco}) \times 1\text{Mblocos} = (29 + 64) \times 1\text{M} = \mathbf{93\text{Mbits}}$$

Tamanho do endereço da MP = 29 bits



5. (2,0) Um computador possui uma capacidade máxima de memória principal com 8 Giga células, cada uma capaz de armazenar uma palavra de 64 bits.

a. Qual é o maior endereço de palavra em decimal desta memória ?

$$N = 8G \text{ células} \Rightarrow N = 2^{33}$$

$$\text{Maior endereço} = N - 1 = 2^{33} - 1 = 8.589.934.591$$

b. Qual é o tamanho do barramento de endereços deste sistema ?

O Tamanho deste barramento será o suficiente para endereçar todas as células da memória (N).

O tamanho do barramento corresponderá ao valor de e em $2^e = N$

$$2^e = N \Rightarrow 2^e = 2^{33} \Rightarrow e = 33, \text{ portanto,}$$

barramento de endereços = 33 bits

c. Quantos bits podem ser armazenados no RDM e no REM ?

*Tamanho do REM = tamanho do barramento de endereço. **REM = 33 bits***

*Tamanho do RDM = tamanho do barramento de dados e terá de ser no mínimo o tamanho de uma célula. **RDM = 64 bits***

d. Qual é o número máximo de bits que pode existir na memória ?

O total de bits da memória será igual a T

$$\begin{aligned} \text{Tamanho da memória (T)} &= N \times M = 8G \text{ células} \times 64\text{bits} = 2^{33} \times 2^6\text{bits} = 2^{39} \text{ bits} \\ &= 549.755.813.888 \text{ bits} \end{aligned}$$