

AD1 - Organização de Computadores 2008.1

Gabarito

1. (1,0) Um computador possui um RDM com 16 bits de tamanho e um REM com capacidade para armazenar números com 20 bits. Sabe-se que a célula deste computador armazena dados com 8 bits de tamanho e que ele possui uma quantidade N de células, igual à sua capacidade máxima de armazenamento. Pergunta-se:

RDM = 16bits

REM = 20bits

Tamanho da célula (M) = 8bits

a) Qual é o tamanho do barramento de endereços?

Barramento de endereços = REM = 20 bits

b) Quantas células de memória são lidas em uma única operação de leitura?

Se 1 célula = 8bits e

RDM = 16 bits = tamanho do barramento de dados,

Portanto, para um barramento de dados = 16bits = 2 células, teremos o transporte de 2 células para cada operação de leitura.

c) Quantos bits têm a memória principal?

Sabendo que o total de bits $T = N \times M$

E sendo,

$N = 2^E$, como E corresponde a quantidade de bits do barramento de endereços

$N = 2^{20} = 1 \text{ Mcélulas}$

M = tamanho da célula = 8 bits/célula

Então,

$T = 1 \text{ Mcélulas} \times 8 \text{ bits/célula} = \underline{8 \text{ Mbits}}$

2. (1,0) Uma memória associativa por conjunto consiste em 64 quadros divididos em conjuntos de 4 quadros cada. A memória principal contém 4K blocos de 128 palavras cada um. Mostre o formato de um endereço de MP.

Memória Principal

=> $K = 128$ (quantidade de células/bloco)

=> $B = 4$ K blocos

=> $N = 4$ K blocos \times 128 células = 512 K células = 2^{19} células

Memória Cache

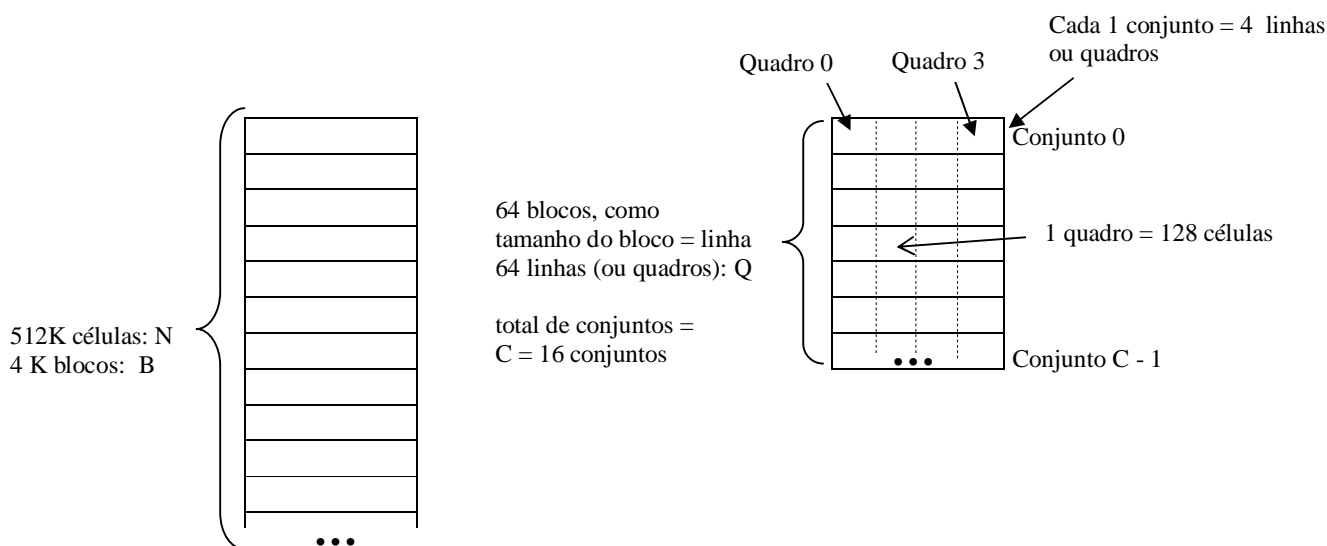
OBS: O K (quantidade de células/bloco) tem de ser igual ao da MP.

=> $Q = 64$ quadros

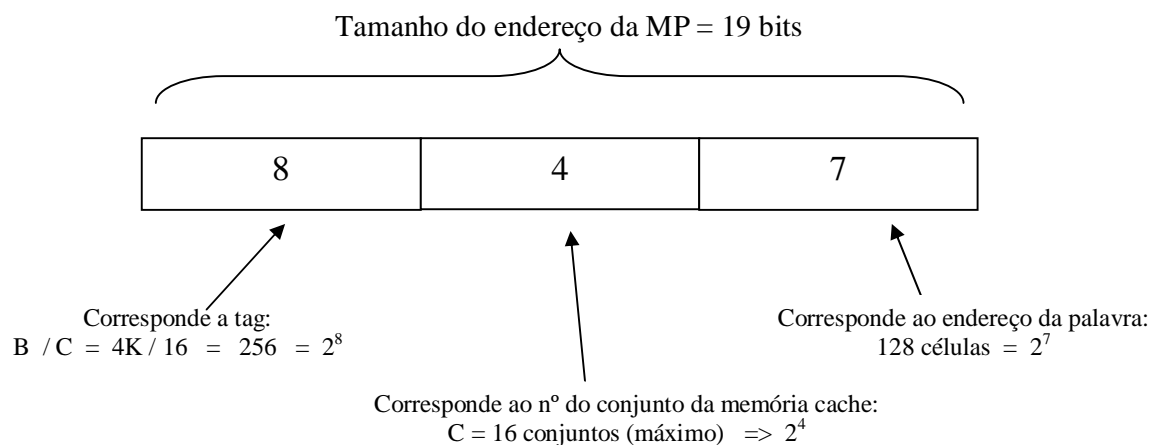
=> Tamanho da memória cache = $64 \times 128 = 8$ K células

=> 1 conjunto = 4 linhas (ou quadros) =>

Total de conjuntos => $C = 64 / 4 \Rightarrow C = 16$ conjuntos



Para endereçarmos toda a MP precisamos da seguinte quantidade de bits: $E = 19$ bits



3. (1,0) Considere um sistema de computação que possui uma memória principal (RAM) com capacidade máxima de endereçamento de 64K células, sendo que cada célula armazena um byte de informação. Para criar um sistema de controle e funcionamento da sua memória cache, a memória RAM é constituída de blocos de 8 bytes cada. A memória cache do sistema é do tipo mapeamento direto, contendo 32 linhas.

Pergunta-se:

a) Como seria organizado o endereço da MP (RAM) em termos de etiqueta (tag), número de linha e do byte dentro da linha?

Memória Principal

=> Tamanho da memória (em bytes) = 64K células, cada 1 célula armazena 1 byte, temos $N = 64K$ células (ou 64 Kbytes)

=> Será organizada em blocos de 8bytes, como 1 célula = 1byte, temos cada bloco = 8 células, $K = 8$

=> $N = 64K$ células e $K = 8$ células por bloco, o total de blocos da MP (B) será:

Total de blocos: $B = N / K \Rightarrow B = 64K \text{ células} / 8 \text{ células por bloco} \Rightarrow B = 8K \text{ células}$

Memória Cache

=> O K (quantidade de células/bloco) tem de ser igual a MP.

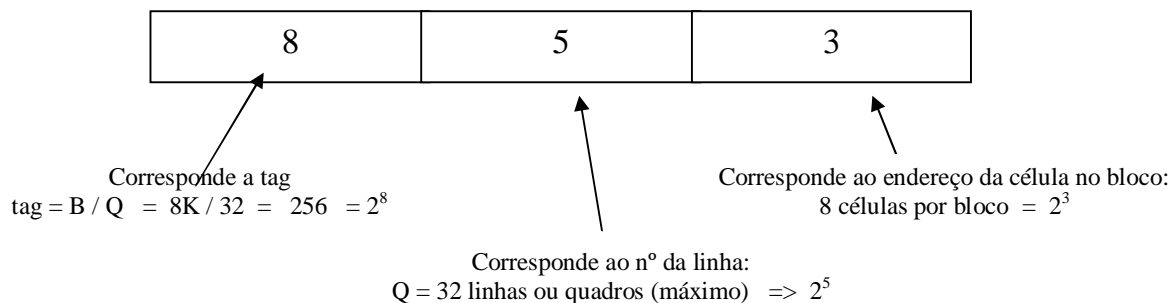
=> Tamanho da memória cache (em blocos ou linhas) => $Q = 32$ linhas

=> Tamanho da memória cachê em células = $Q \times K = 32 \text{ linhas} \times 8 \text{ células/linha} = 256 \text{ células}$ (ou 256 bytes)

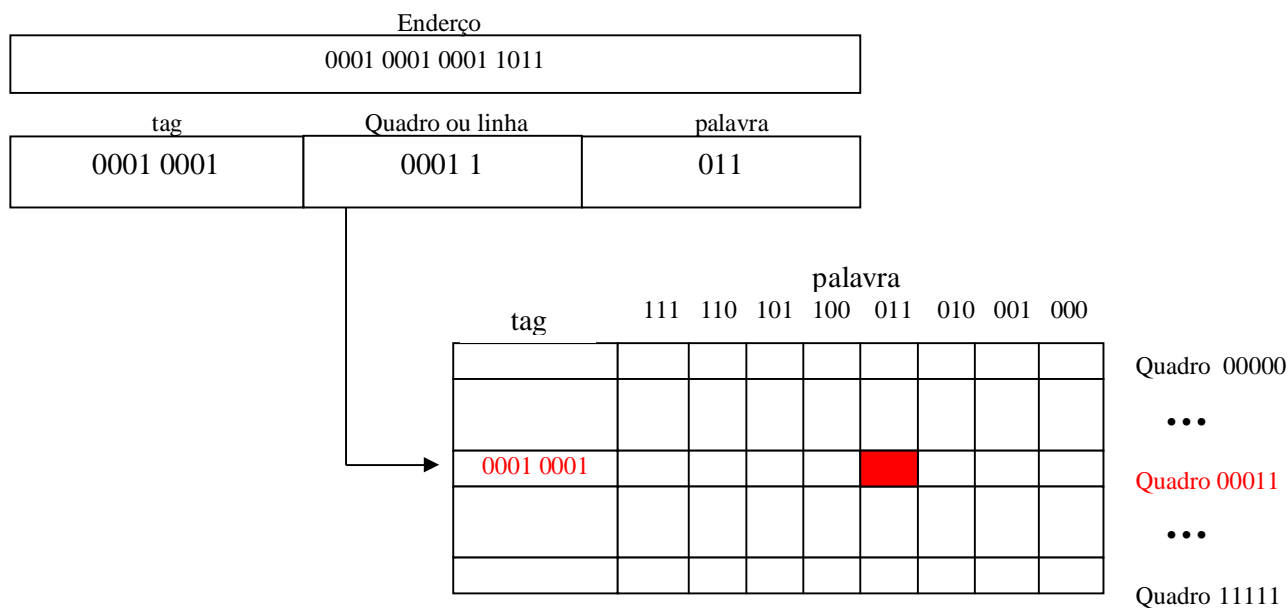
Memória principal

=> Para endereçarmos toda a MP precisamos da seguinte quantidade de bits (E)

sendo $N = 2^E \Rightarrow N = 64K \text{ células} \Rightarrow N = 2^{16} \Rightarrow E = 16 \text{ bits}$



b) Em que linha estaria contido o byte armazenado no seguinte endereço da MP: 0001 0001 0001 1011?



c) Qual é capacidade da memória cache em bytes?

Capacidade da cache = $Q \times K = 32 \text{ linhas} \times 8 \text{ palavras/linha}$,
considerando neste problema, tamanho da palavra = tamanho da célula
e tamanho da célula = 1 byte, então:

Capacidade da cache = $32 \text{ linhas} \times 8 \text{ bytes} = 256 \text{ bytes}$ ou 2^8 bytes

4. (1,0) Explique as diversas memórias que constituem a hierarquia de memória comparando-as em termos de tempo de acesso, capacidade, e temporariedade de armazenamento de dados.

O subsistema de memória é interligado de forma bem estruturada e organizado hierarquicamente em uma pirâmide com os níveis descritos a seguir.

No topo da pirâmide teríamos os registradores, que são pequenas unidades de memória que armazenam dados na UCP. São dispositivos de maior velocidade com tempo de acesso em torno de 1 ciclo de memória, menor capacidade de armazenamento além de armazenar as informações por muito pouco tempo.

Em um nível abaixo teríamos a memória cache, cuja função é acelerar a velocidade de transferência das informações entre UCP e MP e, com isso, aumentar o desempenho do sistema. A UCP procura informações primeiro na Cache. Caso não as encontre, as mesmas são transferidas da MP para a Cache. A cache possui tempo de acesso menor que a da Memória principal, porém com capacidade inferior a esta, mas superior ao dos registradores e o suficiente para armazenar uma apreciável quantidade de informações, sendo o tempo de permanência do dado menor do que o tempo de duração do programa a que pertence.

Abaixo da memória cache teríamos a memória básica de um sistema de computação, que é a memória principal. Dispositivo onde o programa (e seus dados) que vai ser executado é armazenado para que a UCP busque instrução por instrução para executá-las. A MP são mais lentas que a cache e mais rápidas que a memória secundária, possui capacidade bem superior ao da cache e os dados ou instruções permanecem na MP enquanto durar a execução do programa.

Finalmente, na base da pirâmide teríamos a memória secundária, memória auxiliar ou memória de massa, que fornece garantia de armazenamento mais permanente aos dados e programas do usuário. Alguns dispositivos são diretamente ligados: disco rígido, outros são conectados quando necessário: disquetes, fitas de armazenamento, CD-ROM. São os mais lentos em comparação com os outros níveis de memória, mas possuem a maior capacidade de armazenamento e armazenam os dados de forma permanente.

5. (1,0) Considere uma máquina que possa endereçar 512 Mbytes de memória física, utilizando endereço referenciando byte, e que tenha a sua memória organizada em blocos de 16 bytes. Ela possui uma memória cache que pode armazenar 8K blocos, sendo um bloco por linha. Mostre o formato da memória cache, indicando os campos necessários (válido, tag, bloco) e o número de bits para cada campo, e o formato de um endereço da memória principal, indicando os bits que referenciam os campos da cache, para os seguintes mapeamentos:

a) Mapeamento direto.

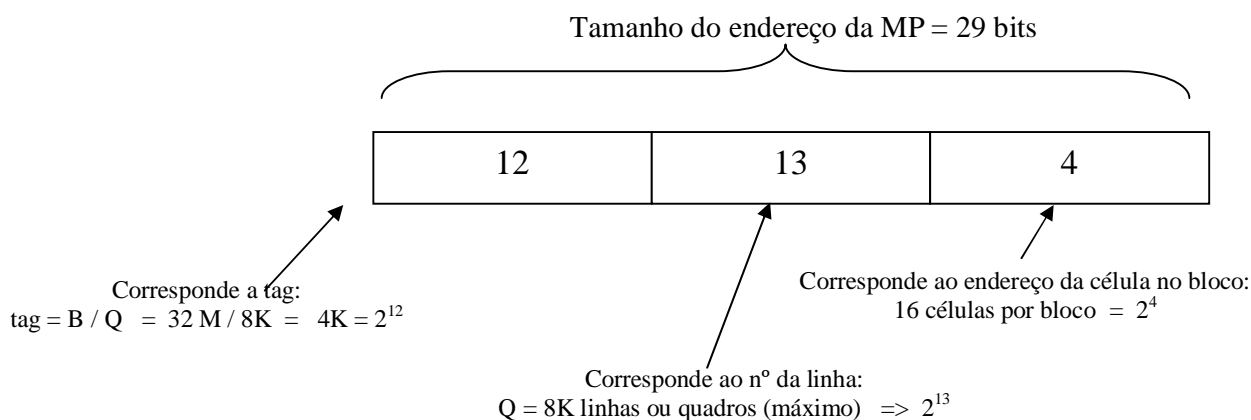
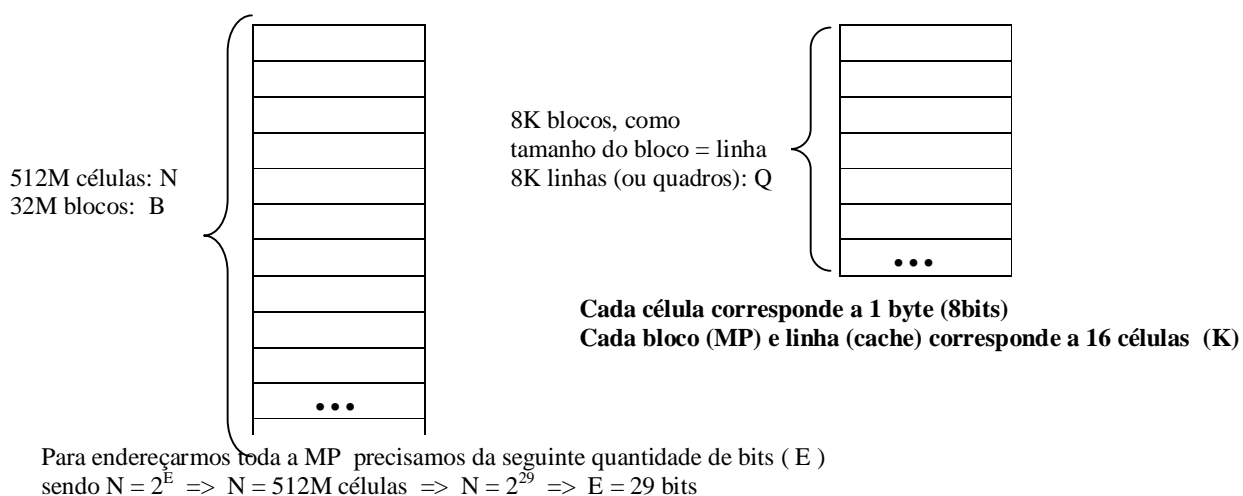
Memória Principal

- ⇒ Tamanho da memória (em bytes) = 512Mbytes, como 1 célula referencia a 1 byte, temos $N = 512M$ células
- ⇒ Será organizada em blocos de 16 bytes, como 1 célula = 1 byte, temos cada bloco = 16 células, $K = 16$
- ⇒ Sendo N o tamanho endereçável da memória e K que é a quantidade de células por blocos temos:
 $N = 512M$ células e $K = 16$ células / blocos o total de blocos da MP (B) será:
 Total de blocos: $B = N / K \Rightarrow B = 512M \text{ células} / 16 \text{ células/bloco} \Rightarrow B = 32 \text{ M blocos}$

Memória Cache

OBS: O K (quantidade de células/bloco) tem de ser igual a MP.

- ⇒ Tamanho da memória cache (em blocos ou linhas) $\Rightarrow Q = 8K$ blocos
- ⇒ Tamanho da memória cachê em células = $Q \times K = 8K \text{ blocos} \times 16 \text{ células/blocos} = 128K \text{ células}$



b) Mapeamento totalmente associativo.

Memória Principal

=> $N = 512M$ células

=> $K = 16$

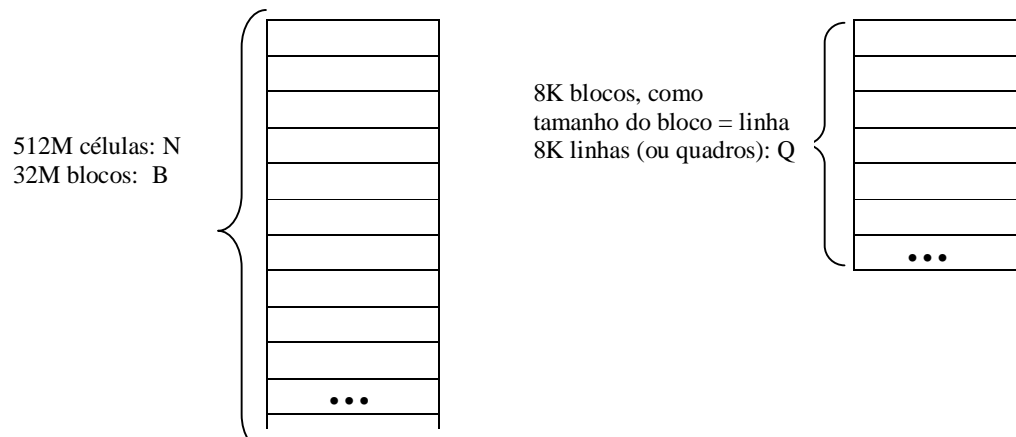
=> $B = 32 M$ blocos

Memória Cache

OBS: O K (quantidade de células/bloco) tem de ser igual a MP.

=> $Q = 8K$ blocos

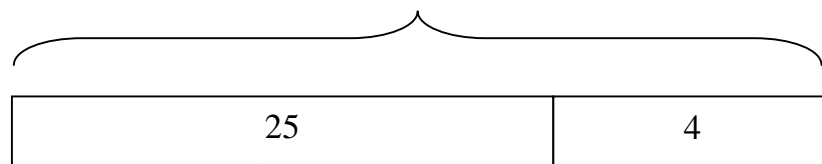
=> Tamanho da memória cache = $128K$ células



Para endereçarmos toda a MP precisamos da seguinte quantidade de bits: $E = 29$ bits

Como o bloco pode ser alocado em qualquer posição da memória cache a tag indicará qual dos blocos da MP está alocado naquela posição da memória cache

Tamanho do endereço da MP = 29 bits



Corresponde ao bloco da MP:
 $tag = B = 32M = 2^{25}$

Corresponde ao endereço da palavra:
 $16 \text{ células por bloco} = 2^4$

c) Mapeamento associativo por conjunto, onde cada conjunto possui quatro linhas, cada uma de um bloco.

Memória Principal

=> $N = 512M$ células

=> $K = 16$

=> $B = 32 M$ blocos

Memória Cache

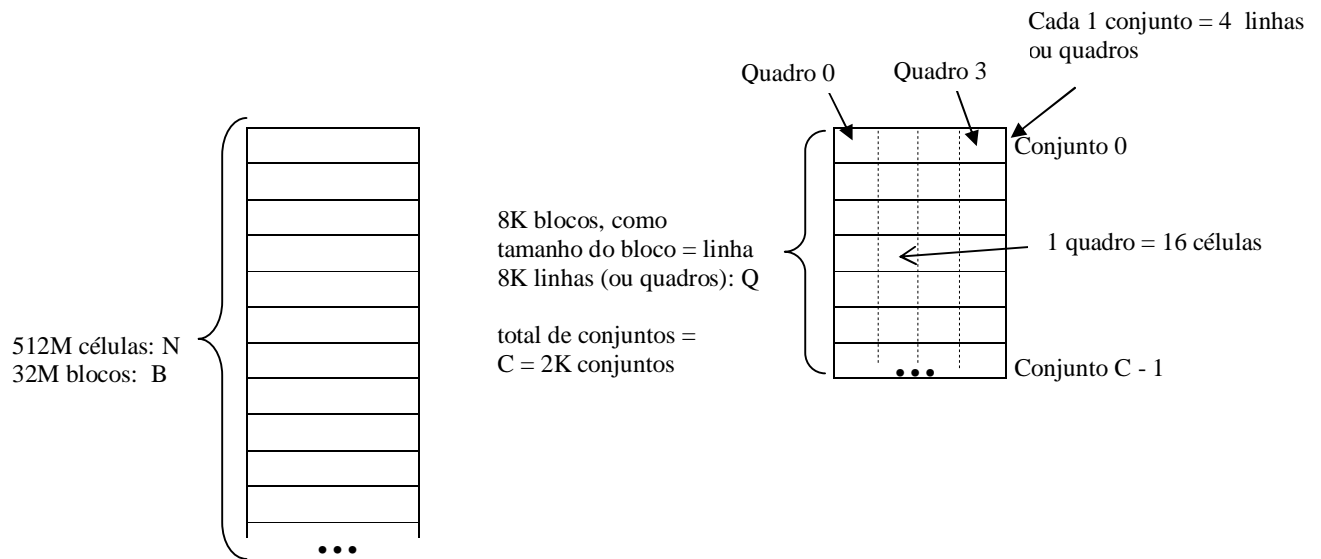
OBS: O K (quantidade de células/bloco) tem de ser igual a MP.

=> $Q = 8K$ blocos

=> Tamanho da memória cache = $128K$ células

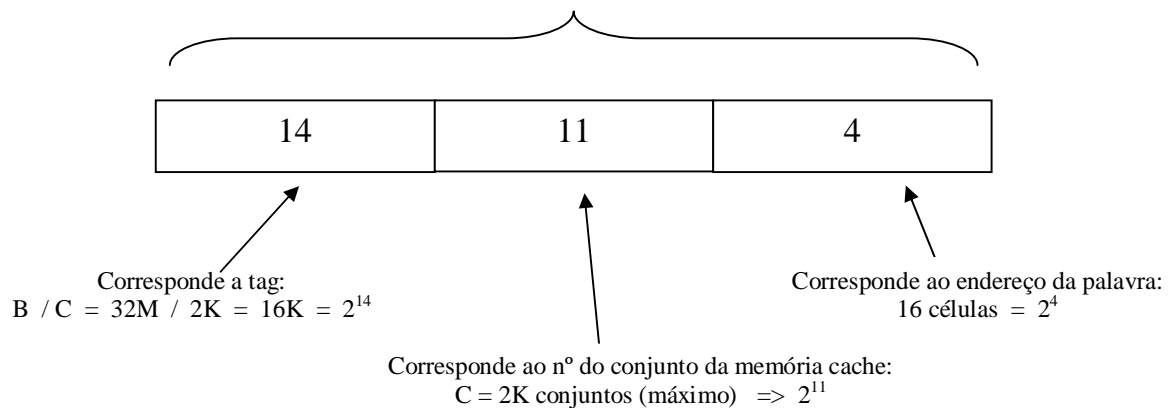
=> 1 conjunto = 4 linhas (ou quadros) =>

Total de conjuntos => $C = 8K \text{ blocos} / 4 \Rightarrow C = 2K \text{ conjuntos}$



Para endereçarmos toda a MP precisamos da seguinte quantidade de bits: $E = 29$ bits

Tamanho do endereço da MP = 29 bits



6. (1,0) Explique em detalhes como funciona a execução da instrução *STR op* na arquitetura mostrada em aula.

Como será realizada a execução desta instrução:

- ⇒ Passo 1: A UCP coloca no REM o valor do operando (Op), e este é disponibilizado no barramento de endereços
- ⇒ Passo 2: A UCP coloca no RDM o valor contido no acumulador, e este é disponibilizado no barramento de dados
- ⇒ Passo 3: A UCP disponibiliza o sinal de escrita de memória no barramento de controle
- ⇒ Passo 3: A memória armazena o conteúdo do barramento de dados na posição que está contida no barramento de endereços

7. (1,0) Considere uma máquina com arquitetura semelhante àquela apresentada em aula. Pode-se endereçar no máximo 512K células de memória onde cada célula armazena uma palavra e cada instrução tem o tamanho de uma palavra. Todas as instruções desta máquina possuem o mesmo formato: um código de operação, que permite a existência de um valor máximo de 64 códigos, e dois operandos, que indicam endereços de memória.

a) Qual o tamanho mínimo do REM?

REM = E = tamanho em bits necessários para acessar toda a memória (N)
 $N = 2^E = 512K \text{ células} = 2^{19} \text{ células} \Rightarrow E = 19 \Rightarrow \text{REM} = 19 \text{ bits}$

b) Qual o tamanho mínimo do CI?

O CI deverá ter o tamanho necessário para acessar toda a memória:
CI = REM = 19 bits

c) Qual o tamanho do barramento de endereços?

Barramento de endereços = REM = 19 bits

d) Qual o tamanho mínimo do RI?

Tamanho mínimo de RI = tamanho da instrução
Tamanho da instrução = código de operação + 2 operandos
Tamanho da instrução = (tamanho para endereçar 64 instruções) + 2 x (endereço de memória)
Tamanho da instrução = 6 bits + 2 x 19 bits = 44bits
Tamanho mínimo de RI = 44bits

e) Qual a capacidade máxima da memória em bits?

Como uma célula = tamanho de uma instrução = tamanho de uma palavra
Tamanho da célula = 44bits
 $T = N \times M$
 $T = 512K \text{ células} \times 44 \text{ bits por célula} = 22.528K \text{ bits ou } 22M \text{ bits}$

f) Se a largura do barramento de dados desta máquina for igual à metade do tamanho de uma instrução, como funcionará o ciclo de busca?

Serão necessários 2 ciclos de busca para obter uma instrução.

8. (1,0) Considere uma máquina cujo relógio possui uma frequência de 500 MHz. Calcule o tempo de UCP utilizado para executar 10 instruções nesta máquina, para cada caso abaixo:

a) Execução em uma máquina que realiza a execução das instruções de forma sequencial, sendo que cada instrução é executada em um ciclo de relógio.

Tempo de um ciclo de relógio = $1/500.000.000 = 0,000\ 000\ 002\ \text{seg}$ ou 2ns (nanossegundos)

Tempo de execução de 1 instrução = tempo de um ciclo de relógio = 2ns

10 instruções executadas sequencialmente = $10 \times 2\text{ns} = \underline{20\text{ns}}$ (para executar 10 instruções)

b) Execução em uma máquina que utiliza um pipeline de 4 estágios, considerando que o tempo de execução de um estágio é 25% do ciclo de relógio da máquina e não há atrasos na execução do pipeline, devido a desvios condicionais.

Tempo para um estágio = 25% do ciclo do relógio = 0,5ns

Para execução da 1ª instrução = 4 estágios $\times 0,5\text{ns} = 2\text{ns}$

Para execução das instruções posteriores = tempo de 1 estágio devido ao pipeline = 0,5ns

Tempo total para execução das 10 instruções = $2\text{ns} + 9 \times 0,5\text{ns} = \underline{6,5\text{ns}}$

c) Execução em uma máquina que utiliza um pipeline de 5 estágios, considerando que o tempo de execução de um estágio é 20% do ciclo de relógio da máquina e não há atrasos na execução do pipeline, devido a desvios condicionais.

Tempo para um estágio = 20% do ciclo do relógio = 0,4ns

Para execução da 1ª instrução = 5 estágios $\times 0,4\text{ns} = 1,6\text{ns}$

Para execução das instruções posteriores = tempo de 1 estágio devido ao pipeline = 0,4ns

Tempo total para execução das 10 instruções = $1,6\text{ns} + 9 \times 0,4\text{ns} = \underline{5,2\text{ns}}$

9. (1,0) O barramento PCI Express é um barramento especificado pela Intel em 2004 para ser um barramento de alto desempenho (fontes de consulta: Guia do Hardware (<http://www.guiadohardware.net/tutoriais/pci-express/>) e Clube do Hardware (<http://www.clubedohardware.com.br/artigos/1060/4>)).

a) Explique o que são as seguintes características deste barramento: Ponto a ponto e serial

O PCI Express se caracteriza com sendo um barramento serial ao contrário do PCI que é paralelo. Antes, os circuitos eletrônicos eram mais lentos e a forma de fazer com que os barramentos ficassem mais rápidos era adicionar mais trilhas e transmitir vários bits de cada vez. Mas o grande número de trilhas, no barramento paralelo, operando em altas frequências criava ruído eletromagnético e problemas de sincronismo, fatores que limitavam a frequência e distâncias destes barramentos.

Com o avanço tecnológico, as comunicações seriais, onde os bits são transmitidos um após o outro em uma única trilha, alcançaram altas taxas de transmissão e permitiram eliminar o problema do ruído e interferência.

Outra característica fundamental do PCI Express é que ele é um barramento ponto a ponto, onde cada periférico possui um canal exclusivo de comunicação com o chipset. No PCI tradicional, o barramento é compartilhado por todos os periféricos ligados a ele, o que pode criar gargalos.

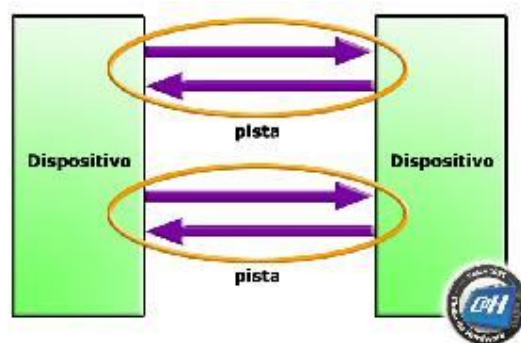
b) Indique a taxa de transmissão (MB/s) de cada uma das versões X1, X4, X8 e X16 e explique como se implementa o aumento da taxa de transmissão de cada versão a partir da versão inicial X1.

O X1 (ou 1x) possui taxa de 250MB/s, o X2 de 500MB/s, o X4 de 1000MB/s, o X16 de 16MB/s e o X32 de 8000 MB/s.

O barramento PCI Express é um barramento serial trabalhando no modo full-duplex. Os dados são transmitidos nesse barramento através de dois pares de fios chamados pista. Cada pista permite obter taxa de transferência máxima de 250 MB/s em cada direção, quase o dobro da do barramento PCI.

O barramento PCI Express pode ser construído combinando várias pistas de modo a obter maior desempenho (vide figura abaixo). Podemos encontrar sistemas PCI Express com 1, 2, 4, 8, 16 e 32 pistas,

equivalendo assim ao x1, x2, x4, x8, x16 e 32x respectivamente. Por exemplo, a taxa de transferência de um sistema PCI Express com 8 pistas (x8) é de 2 GB/s ($250 * 8$).



(imagem retirada do site: www.clubedohardware.com.br em 19/03/08)

10. (1,0) Descreva duas vantagens e duas desvantagens que a arquitetura microprogramada apresenta frente a arquitetura hard-wired.

Vantagens da arquitetura microprogramada sobre a implementada pelo hardware (hardwired)

- ⇒ Simplificação do projeto da unidade de controle
- ⇒ Menor custo e menor possibilidade de ocorrência de erro
- ⇒ Lógica mais simples que a exigida pela arquitetura hardwired

Desvantagens da arquitetura microprogramada sobre a implementada pelo hardware (hardwired)

- ⇒ É Mais lenta que a unidade implementada por hardware
- ⇒ As instruções implementadas pelo hardware são mais simples