

AD1 - Organização de Computadores 2020.1

Data de entrega 7 de março de 2020

1) (1,0) Considere uma máquina com arquitetura semelhante àquela apresentada em aula. Pode-se endereçar no máximo 64K células de memória onde cada célula armazena uma palavra e cada instrução tem o tamanho de uma palavra. Todas as instruções desta máquina possuem o mesmo formato: um código de operação, que permite a existência de um valor máximo de 256 códigos, e dois operandos, que indicam endereços de memória.

- a) Qual o tamanho mínimo do CI ?
- b) Qual a capacidade máxima da memória em bits ?
- c) Qual o tamanho mínimo do REM ?
- d) Qual o tamanho mínimo do RI ?
- e) Qual o tamanho do barramento de endereços ?

Se a largura do barramento de dados desta máquina for igual à metade do tamanho de uma instrução, como funcionará o ciclo de busca ?

2) (0,5) Descreva passo a passo as operações de leitura da memória e de escrita na memória, indicando como os registradores RDM e REM são utilizados e como a unidade de controle gera os sinais necessários.

3) (1,5) Considere uma máquina que possa endereçar 2 Gigabytes de memória física, utilizando endereço referenciando byte, e que tenha a sua memória organizada em blocos de 128 bytes. Ela possui uma memória cache que pode armazenar 32 K blocos, sendo um bloco por linha. Mostre o formato da memória cache, indicando os campos necessários (tag, bloco) o número de bits para cada campo, e o formato de um endereço da memória principal, indicando os bits que referenciam os campos da cache, para os seguintes mapeamentos:

- a) Mapeamento direto.
- b) Mapeamento totalmente associativo.
- c) Mapeamento associativo por conjunto, onde cada conjunto possui quatro linhas, cada uma de um bloco.

4) (2,0) Considere uma máquina cujo relógio possui uma frequência de 1500 MHZ. Calcule o tempo de UCP utilizado para executar 100 instruções nesta máquina, para cada caso abaixo:

$$1.500\text{MHz} = 1.500.000.000 \text{ Hz}$$

$$\text{Tempo de um ciclo de relógio} = 1/1.500.000.000 = 0,000\ 000\ 000\ 6667 \text{ seg} \text{ ou } 0,6667\text{ns (nanosegundos)}$$

- a) Execução em uma máquina que realiza a execução das instruções de forma sequencial, sendo que cada instrução é executada em um ciclo de relógio.

- b) Execução em uma máquina que utiliza um pipeline de 5 estágios, considerando que o tempo de execução de um estágio é 20% do ciclo de relógio da máquina e não há atrasos na execução do pipeline, devido a desvios condicionais.
- c) Execução em uma máquina que utiliza um pipeline de 2 estágios, considerando que o tempo de execução de um estágio é 50% do ciclo de relógio da máquina e não há atrasos na execução do pipeline, devido a desvios condicionais. Comparando a resposta a este item e a resposta ao item anterior, o que é melhor? Uma máquina de 2 estágios ou uma máquina de 5 estágios? Por que?
- d) Considere agora a execução de N instruções. Assuma que quando a máquina utiliza um pipeline, é necessário executar uma instrução extra, de inicialização do pipeline, ou seja, é necessário executar N+1 instruções. Caso as instruções sejam executadas de forma sequencial, bastam N instruções. Quando usando pipeline, a máquina utiliza um pipeline de 2 estágios. O tempo de execução de um estágio é 50% do ciclo de relógio da máquina e não há atrasos na execução do pipeline, devido a desvios condicionais.
- i O que é melhor, executar em pipeline ou em sequencia, quando N=1?
 - ii O que é melhor, executar em pipeline ou em sequencia, quando N=2?
 - iii O que é melhor, executar em pipeline ou em sequencia, quando N=3?

5) (1,5) Escreva um programa que utilize as instruções de linguagem de montagem apresentadas na aula 4 para executar o seguinte procedimento. O conteúdo da memória cujo endereço é 200 é lido e verifica-se se o seu valor é 1. Caso seu valor seja 1, o conteúdo de memória cujo endereço é 100 é somado ao conteúdo de memória cujo endereço é 250 e o resultado é armazenado no endereço 350. Caso contrário, o conteúdo de memória cujo endereço é 100 é subtraído do conteúdo de memória cujo endereço é 250 e o resultado é armazenado no endereço 350. Além de apresentar seu programa escrito em linguagem de montagem, apresente também o programa traduzido para linguagem de máquina.

6) (1,5) Considere a máquina apresentada na aula 4. Descreva detalhadamente (do mesmo modo que é apresentado na aula 4) como é realizada a execução das seguintes instruções:

STR 20
LDA 226
JP 410

A instrução STR de fato existe em algumas arquiteturas modernas (arquitetura X86). Explique a diferença entre a instrução STR conforme detalhada na aula 4 e a instrução STR descrita no seguinte site: <https://www.aldeid.com/wiki/X86-assembly/Instructions/str>
Explique também como a função STR descrita neste site pode ser usada para descobrir se um determinado programa está sendo executado em uma máquina virtual ou não.

7) (2,0) Explique em detalhes a organização hierárquica do subsistema de memória nos computadores atuais. Por que se usa o termo “hierarquia” para se descrever a organização dos subsistemas de memória? Para que serve a memória cache? Se a memória cache é mais rápida que a memória RAM, por que existe a memória RAM?