



Fundação CECIERJ - Vice Presidência de Educação Superior a Distância

**Curso de Tecnologia em Sistemas de Computação**

**Disciplina: Organização de Computadores**

**Gabarito - AP1 1º semestre de 2006.**

1. Um computador possui uma capacidade máxima de memória principal com 64K células, cada uma capaz de armazenar uma palavra de 8 bits.

a) Qual é o maior endereço em decimal desta memória ?

Resposta: Os endereços variam de 0 até  $2^{16} - 1$ , ou seja, de 0 até 65535. O maior endereço é portanto 65535.

b) Qual é o tamanho do barramento de endereços deste sistema ?

Resposta: Como a máquina endereça 64 K células =  $2^{16}$  células, são necessários 16 bits para endereçá-las. Logo o barramento de endereços tem que ter tamanho igual a 16 bits.

c) Quantos bits podem ser armazenados no RDM e no REM ?

Resposta: RDM tem 8 bits, tamanho da palavra da memória principal, REM tem a mesma quantidade de bits do barramento de endereços, 16 bits.

d) Qual é o número máximo de bits que pode existir na memória ?

Resposta: A capacidade da memória é igual ao número de células multiplicado pelo tamanho da célula, ou seja,  $64 K \times 8 = 512 K$  bits

2. Considere uma máquina que possa endereçar 256 Mbytes de memória física, utilizando endereço referenciando byte, e que tenha a sua memória organizada em blocos de 16 bytes. Ela possui uma memória cache que pode armazenar 4K blocos, sendo um bloco por linha (quadro). Mostre o formato da memória cache, indicando os campos necessários (tag, bloco) e o número de bits para cada campo, e o formato de um endereço da memória principal, indicando os bits que referenciam os campos da cache, para os seguintes mapeamentos:

a) Mapeamento direto.

Resposta: Como há 16 M blocos na memória principal e 4 K blocos na cache, então cada linha deverá acomodar 4 K blocos, um de cada vez, é claro.

Formato da memória cache:

A memória cache terá 4 K linhas (ou quadros) em cada linha teremos tag de 12 bits e bloco de 16 bytes.

O endereço da memória principal terá o seguinte formato:

Campo de número do bloco: de 12 bits (para indicar um dos 4 K blocos)

Campo de número da linha: de 12 bits (já que temos 4 K blocos)

Campo de endereço da palavra: 4 bits (já que temos 16 bytes por bloco)

No. do bloco (tag) = 12 bits	No. da linha (ou quadro) = 12 bits	End. da palavra 4 bits
---------------------------------	---------------------------------------	------------------------------

b) Mapeamento totalmente associativo.

Resposta: Como há 16 M blocos na MP e eles podem ficar em quaisquer dos 4 K blocos da Cache, temos:

Formato da memória cache:

A memória cache terá 4 K linhas (ou quadros), em cada linha teremos tag de 24 bits e bloco de 16 bytes.

O endereço da memória principal terá o seguinte formato:

Campo de número do bloco: de 24 bits (para endereçar um dos 16 M blocos)

Campo de endereço da palavra: 4 bits (já que temos 16 bytes por bloco)

No. do bloco (tag) = 24 bits	End. da palavra 4 bits
------------------------------	------------------------------

3. Suponha que você deve projetar uma máquina com as seguintes especificações:

- Capaz de endereçar 512 K células de memória principal.
- Deve possuir um registrador Acumulador, além do RDM (Registrador de Dados da Memória), REM (Registrador de Endereços da Memória), CI (Contador de Instrução) e RI (Registrador de Instrução).
- O conjunto de instruções de linguagem de máquina deve ter 32 instruções.
- Cada instrução deve conter um código de operação e um operando como mostrado abaixo, onde o operando indica um endereço de memória

Cód. Oper.	Operando
------------	----------

- a) Calcule o tamanho mínimo em bits do REM e do barramento de endereços.

Resposta: Como a máquina deve ser capaz de endereçar 512K células =  $2^{19}$  células, o tamanho mínimo do REM e do barramento de endereços deve ser igual a 19 bits.

- b) Calcule o tamanho mínimo em bits que a instrução deve ter.

Resposta: Como o conjunto de instruções deve ter  $2^5$  instruções, necessita-se de 5 bits para o código de operação. Como a instrução é formada pelo código de operação concatenado com o endereço de memória, o tamanho mínimo em bits da instrução deve ser  $5 + 19 = 24$  bits

- c) Para o valor calculado no item b, indique o tamanho em bits de cada célula da memória principal, o tamanho do RDM e o barramento de dados de modo que a Unidade Central de Processamento obtenha uma instrução da memória principal realizando somente um acesso à memória principal.

Resposta: Para obter uma instrução realizando somente um acesso à memória, a célula, RDM e barramento de dados devem ter o tamanho da instrução que é igual a 24 bits

- d) Calcule o tamanho de RI e CI utilizando-se os valores calculados nos itens anteriores.

Resposta: O RI deve ter o tamanho de uma instrução que é igual a 24 bits e o CI deve ter o tamanho do REM que é igual a 19 bits.

- e) Caso se queira expandir o número de instruções desta máquina para 64, indique as alterações que devem ser realizadas no projeto anterior.

Resposta: O código de operação deve ter um bit a mais e portanto o tamanho da célula, do RDM e do barramento de dados deve ser modificado para 25 bits.

4. Explique o funcionamento de um barramento síncrono e de um assíncrono.

Resposta: O barramento síncrono inclui um sinal de relógio (clock) em suas linhas de controle que regula o funcionamento do protocolo de comunicação entre os dispositivos.

Os eventos relacionados a este barramento são realizados com duração fixa relacionados ao ciclo do relógio.

Como os eventos possuem duração fixa e se realizam em relação ao sinal do relógio, a comunicação pode ser muito rápida neste tipo de barramento. A maioria dos barramentos processador-memória utiliza este barramento.

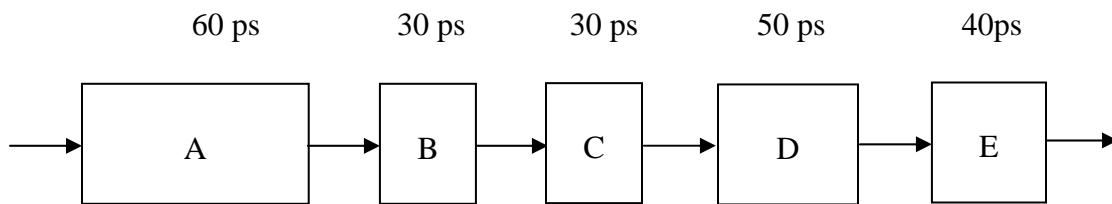
A principal desvantagem deste barramento é que todos os dispositivos ligados ao barramento devem trabalhar na mesma frequência do relógio.

O barramento assíncrono não possui o sinal sincronizador do relógio. Cada evento que corre na comunicação entre os dispositivos depende somente da ocorrência de evento anterior e estes eventos podem ter durações diferentes de tempo. Como não existe o sinal de relógio, necessita-se implementar um protocolo para coordenar as atividades de transmissão de dados entre receptor e transmissor.

A principal vantagem deste barramento é possibilitar interligar dispositivos que trabalhem com diferentes taxas de transmissão de dados.

A desvantagem é que este tipo de barramento pode apresentar taxas mais baixas de transmissão e sua implementação pode ser mais complexa, devido à necessidade de se implementar um protocolo de comunicação mais complexo.

5. Analisando-se uma unidade central de processamento, verificou-se que suas instruções podem ser separadas em uma sequência de 5 blocos (A-E), que apresentam os seguintes tempos de execução: 60, 30, 30, 50, e 40 ps, onde  $p=10^{-12}$ , como mostrado na figura abaixo:

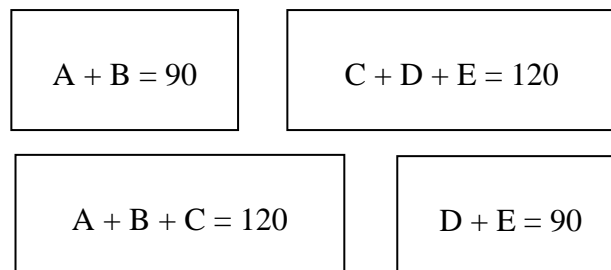


Um programa de 20 instruções deve ser executado nesta máquina.

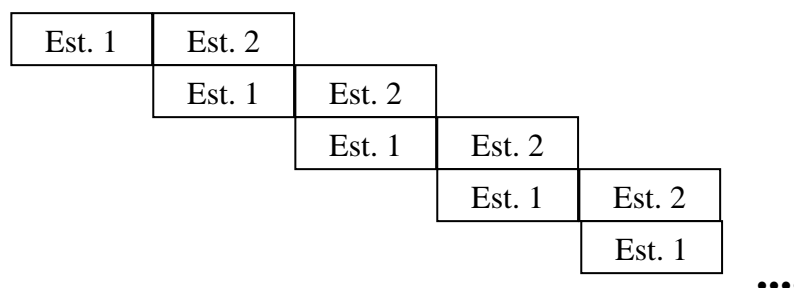
- a) Indique o número **mínimo** de estágios de pipeline que possibilitará a execução deste programa no menor tempo possível.

Resposta: Caso não se utilize pipeline, o tempo total de execução será  $20 \times 210$  ps = 4200 ps.

Com 2 estágios, devem-se agrupar os blocos de tal maneira a se ter o menor tempo possível em cada estágio. Os seguintes agrupamentos fornecem o menor tempo para cada estágio: (A,B) e (C,D,E), ou (A, B, C) e (D, E) em outro estágio.

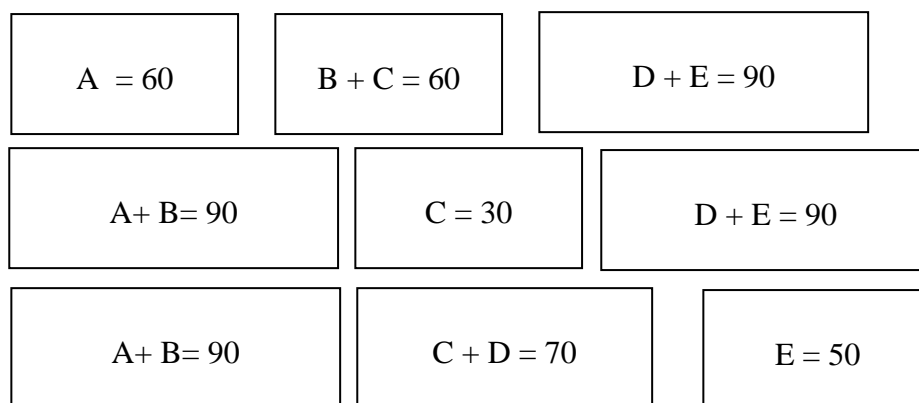


Em ambos os casos, o tempo de cada estágio deve ser igual ao tempo do maior estágio que é igual a 120 ps (soma dos tempos dos blocos C, D e E ou A, B e C).

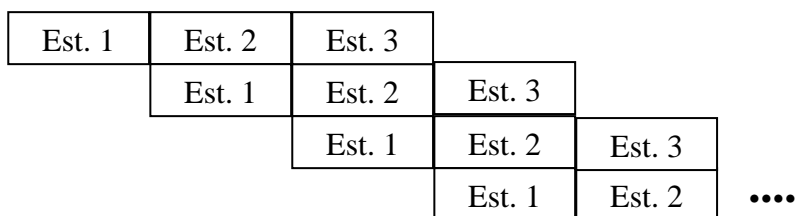


Neste caso o tempo total de execução será igual a  $240 + 19 \times 120 = 2520$  ps.

Com 3 estágios, devem-se agrupar os blocos de tal maneira a se ter o menor tempo possível em cada estágio. Os seguintes agrupamentos fornecem o menor tempo para cada estágio: (A), (B,C) e (D,E), ou (A,B), (C), (D,E) ou (A,B), (C,D), (E).



Em todos os casos, o tempo de cada estágio deve ser igual ao tempo do maior estágio que é igual a 90 ps .



Neste caso o tempo total de execução será igual a  $270 + 19 \times 90 = 1980$  ps.

Com 4 estágios, devem-se agrupar os blocos de tal maneira a se ter o menor tempo possível em cada estágio. O seguinte agrupamento fornece o menor tempo para cada estágio: (A), (B,C), (D) e (E). O tempo de cada estágio deve ser igual ao tempo do maior estágio que é igual a 60 ps . Neste caso o tempo total de execução será igual a  $240 + 19 \times 60 = 1380$  ps.

Com 5 estágios, teremos um bloco em cada estágio e o tempo de cada estágio será 60 ps, e o tempo total de execução será  $300 + 19 \times 60 = 1440$  ps.

Logo para termos o menor tempo de execução deve-se ter um pipeline de 4 estágios.

- b) Indique o tempo de execução deste programa utilizando a arquitetura com pipeline que você escolheu no item a, e sem pipeline.

Resposta: Como calculado no item anterior, o tempo de execução com pipeline de 4 estágios é 1380 ps e sem pipeline é 4200 ps.