

## **AD1 - Organização de Computadores 2017.1**

**Data de entrega 21/03/2017**

1. (1,5) Explique em detalhes como funciona a execução da instrução *STR op* na arquitetura mostrada em aula.
2. (2,0) Considere uma máquina cujo relógio possui uma frequência de 2.4 GHZ e um programa no qual são executadas 1.200 instruções desta máquina.
  - a) Calcule o tempo de UCP utilizado para executar este programa, considerando que cada instrução é executada em dois ciclos de relógio e a execução de uma instrução só se inicia quando a execução da instrução anterior é finalizada. (0,8)
  - b) Considere que essa máquina utilize um pipeline de 5 estágios, todos de igual duração. Calcule o tempo máximo que o estágio deve durar para que o tempo de execução do programa seja menor do que o tempo calculado no item anterior. (1,2)
3. (2,5) Considere uma máquina com arquitetura semelhante àquela apresentada em aula. Pode-se endereçar no máximo 128M células de memória onde cada célula armazena uma palavra e cada instrução tem o tamanho de uma palavra. Todas as instruções desta máquina possuem o mesmo formato: um código de operação, que permite a existência de um valor máximo de 1024 códigos, e dois operandos, que indicam endereços de memória.
  - a) Qual o tamanho mínimo do REM ? (0,3)
  - b) Qual o tamanho mínimo do CI ? (0,3)
  - c) Qual o tamanho do barramento de endereços ? (0,3)
  - d) Qual o tamanho mínimo do RI ? (0,5)
  - e) Qual a capacidade máxima da memória em bits ? (0,5)
  - f) Se a largura do barramento de dados desta máquina for igual à metade do tamanho de uma instrução, como funcionará o ciclo de busca ? (0,6)
4. (1,0) Explique em detalhes as três formas de organização da memória cache e como é realizada a localização dos dados em cada uma delas a partir de um endereço de memória.
5. (1,0) Ao se verificar a organização de um sistema de memória em um computador, observa-se que a memória cache tem uma capacidade de armazenamento muito menor que a memória principal e, ainda assim sabe-se que em 100 acessos do processador a memória cache a taxa de acertos da memória cache é de 95 a 98%. Isso ocorre devido ao princípio da localidade. Explique esse princípio.
6. (1,0) Considere um sistema de armazenamento onde a MP é endereçada por byte, que utiliza o método de mapeamento direto na sua cache e onde o formato dos endereços interpretados pelo sistema de controle é:  
tag: 8bits ; Linha: 12 bits ; Palavra 8 bits;
  - a. Qual a capacidade, em bytes, de armazenamento da MP?
  - b. Quantas linhas possui a memória cache?
  - c. Qual é a capacidade de armazenamento das linhas?
  - d. Qual a quantidade de blocos da MP atribuídos á uma linha da memória cache?
7. (1,0) Supondo que o sistema exposto no exercício anterior utilize o método de mapeamento associativo por conjuntos, onde um conjunto seja formado por 4 linhas, e que o formato de endereços interpretados pelo sistema de controle da cache seja:  
tag: 8 bits ; Conjunto 8 bits; Palavra 8 bits;

- a. Qual a capacidade, em bytes, de armazenamento da MP ?
- b. Quantas linhas possui a memória Cache?
- c. Quantos conjuntos possui a memória Cache?
- d. Qual é a capacidade de armazenamento das linhas?
- e. Qual a quantidade de blocos da MP atribuídos á uma linha da memória cache?