



Fundação CECIERJ - Vice Presidência de Educação Superior a Distância

**Curso de Tecnologia em Sistemas de Computação**

**Disciplina: Organização de Computadores**

**GABARITO - AP3 1º semestre de 2008.**

Nome –

Assinatura –

---

Observações:

1. Prova sem consulta e sem uso de máquina de calcular.
  2. Use caneta para preencher o seu nome e assinar nas folhas de questões e nas folhas de respostas.
  3. Você pode usar lápis para responder as questões.
  4. Ao final da prova devolva as folhas de questões e as de respostas.
  5. Todas as respostas devem ser transcritas nas folhas de respostas. As respostas nas folhas de questões não serão corrigidas.
- 

1. (3,0) Um computador, que apresenta uma arquitetura similar àquela apresentada ao longo do curso, possui uma capacidade máxima de memória principal de 2G células, cada uma capaz de armazenar uma palavra de 8 bits. Em cada acesso à memória, realiza-se a transferência de duas palavras (**você pode deixar as contas indicadas**).

- a) (0,2) Qual é o maior endereço em decimal desta memória?

$$N = 2G \text{ células} = 2 \times 2^{30}$$
$$\text{Último endereço} = N - 1 = 2147483647$$

- b) (0,5) Qual é o tamanho do barramento de endereços deste sistema?

$$\text{Barramento de endereços} = E$$
$$N = 2^E = 2^{31}, \text{ portanto } E = 31, \text{ Barramento de endereços} = 31 \text{ bits}$$

- c) (0,9) Quantos bits podem ser armazenados no RDM (Registrador de Dados da Memória), no REM (Registrador de Endereços da Memória) e no CI (Contador de Instruções)?

$$\text{O REM terá que ter o tamanho do barramento de endereços} = 31 \text{ bits}$$
$$\text{CI terá o tamanho necessário para endereçar toda a memória} = 31 \text{ bits}$$
$$\text{RDM} = \text{barramento de dados} = \text{quantidade de bits transferidos em um ciclo de leitura} = 2 \text{ palavras} = 2 \times 8 \text{ bits} = 16 \text{ bits}$$

- d) (0,4) Qual é o número máximo de bits que pode existir na memória?

$$T = N \times M = 2 \text{ Gcélulas} \times 8 \text{ bits/célula} = 16 \text{ Gbits}$$

- e) (1,0) Esta máquina possui uma instrução denominada **ADD Op**. Esta instrução soma o conteúdo do acumulador com o conteúdo da célula de memória cujo endereço é Op. Descreva detalhadamente como será a execução desta instrução.

*Passo 1: A CPU coloca no REM o valor do operando (  $REM \leftarrow Op$  ), que é disponibilizado no barramento de endereço*

*Passo 2: A CPU aciona pelo barramento de controle a leitura de memória*

*Passo 3: A memória coloca o valor no barramento de dados, e por consequência no RDM da CPU (  $RDM \leftarrow MP(Op)$  )*

*Passo 4: A CPU executa a soma do valor recebido com o valor armazenando no Acumulador (  $ACC \leftarrow ACC + RDM$  )*

2. (2,0) Descreva **detalhadamente** os três possíveis métodos de comunicação entre o controlador de Entrada/Saída com a unidade central de processamento e memória principal: por E/S programada, por interrupção e por acesso direto à memória. Indique uma vantagem e uma desvantagem de cada método.

*OBS: Algumas das respostas abaixo apresentam 2 opções de resposta de vantagem ou desvantagem sobre a técnica comentada.*

a) E/S por programa:

*O processador tem controle direto sobre a operação de E/S, incluindo a detecção do estado do dispositivo, o envio de comandos de leitura ou escrita e transferência de dados. Para realizar uma transferência de dados, o processador envia um comando para o módulo de E/S e fica monitorando o módulo para identificar o momento em que a transferência pode ser realizada. Após detectar que o módulo está pronto, a transferência de dados é realizada através do envio de comandos de leitura ou escrita pelo processador. Se o processador for mais rápido que o módulo de E/S, essa espera representa um desperdício de tempo de processamento.*

*As vantagens deste método são: a) hardware simples, b) todos os procedimentos estão sobre controle da UCP.*

*As desvantagens são: a) utilização do processador para interrogar as interfaces, o que acarreta perda de ciclos de processador que poderiam ser utilizados na execução de outras instruções, b) e utilização do processador para realizar a transferência de dados, o que também acarreta perda de ciclos de processador.*

b) E/S por interrupção:

*Neste caso, o processador envia um comando para o módulo de E/S e continua a executar outras instruções, sendo interrompido pelo módulo quando ele estiver pronto para realizar a transferência de dados, que é executada pelo processador através da*



ii. (0,6) um inteiro utilizando-se a representação em complemento a 2

$$-2^{63} + (2^{62} + 2^{54} + 2^{48} + 2^{47}) = -4.593.249.407.452.839.936$$

4. (2,0) Considere uma máquina que possa endereçar 256 Mbytes de memória física, utilizando endereço referenciando byte, e que tenha a sua memória organizada em blocos de 16 bytes. Ela possui uma memória cache que pode armazenar 4K blocos, sendo um bloco por linha (ou quadro). Mostre o formato da memória cache, indicando os campos necessários (tag, bloco) e o número de bits para cada campo, e o formato de um endereço da memória principal, indicando os bits que referenciam os campos da cache, para os seguintes mapeamentos:

a. Mapeamento direto.

*Memória principal:*

$N = 256 \text{ Mbytes}$ , como endereço referenciado byte, temos 256 Mcélulas

$B = \text{Total de blocos} = 256 \text{ Mbytes} / 16 \text{ bytes/bloco} = 16 \text{ Mblocos}$

$\text{Endereço} = E \Rightarrow N = 2^E \Rightarrow 256 \text{ Mcélulas} = 2^{28} \Rightarrow E = 28 \text{ bits}$

*Memória Cache*

$Q = 4 \text{ K linhas (ou quadros)}$ :

*Campos do endereço:*

$\text{Tag} = B / Q = 16 \text{ Mblocos} / 4 \text{ Klinhas} = 4 \text{ K} = 12 \text{ bits}$

$\text{No. da linha} = Q = 4 \text{ K} = 12 \text{ bits}$

$\text{End da palavra} = 16 = 4 \text{ bits}$

$\text{Tag} = 12 \text{ bits}$	$\text{No. linha} = 12 \text{ bits}$	$\text{End da palavra} = 4 \text{ bits}$
--------------------------------	--------------------------------------	--

b. Mapeamento totalmente associativo.

*Memória principal:*

$N = 256 \text{ Mbytes}$ , como endereço referenciado byte, temos 256 Mcélulas

$B = \text{Total de blocos} = 256 \text{ Mbytes} / 16 \text{ bytes/bloco} = 16 \text{ Mblocos}$

$\text{Endereço} = E \Rightarrow N = 2^E \Rightarrow 256 \text{ Mcélulas} = 2^{28} \Rightarrow E = 28 \text{ bits}$

*Memória Cache*

$Q = 4 \text{ K linhas (ou quadros)}$ :

*Campos do endereço:*

$\text{Tag} = B = 16 \text{ Mblocos} = 24 \text{ bits}$

$\text{End da palavra} = 16 = 4 \text{ bits}$

$\text{tag} = 24 \text{ bits}$	$\text{End da palavra} = 4 \text{ bits}$
--------------------------------	--

- c. Mapeamento associativo por conjunto, onde cada conjunto possui duas linhas, cada uma de um bloco.

*Memória principal:*

$N = 256 \text{ Mbytes}$ , como endereço referenciado byte, temos 256 Mcélulas

$B = \text{Total de blocos} = 256 \text{ Mbytes} / 16 \text{ bytes/bloco} = 16 \text{ Mblocos}$

$\text{Endereço} = E \Rightarrow N = 2^E \Rightarrow 256 \text{ Mcélulas} = 2^{28} \Rightarrow E = 28 \text{ bits}$

*Memória Cache*

$Q = 4 \text{ K linhas (ou quadros):}$

$C = 4 \text{ Klinhas} / 2 \text{ linhas/bloco} \Rightarrow C = 2K$

*Campos do endereço:*

$\text{Tag} = B / C = 16 \text{ Mblocos} / 2 \text{ Klinhas} = 8K = 13 \text{ bits}$

$\text{No. da linha} = C = 2K = 11 \text{ bits}$

$\text{End da palavra} = 16 = 4 \text{ bits}$

$\text{Tag} = 13 \text{ bits}$	$\text{No. conjunto} = 11 \text{ bits}$	$\text{End da palavra} = 4 \text{ bits}$
--------------------------------	---	--

5. (1,5) Considerando os diversos tipos de endereçamentos de instruções, projete um mecanismo de endereçamento que permita que um conjunto arbitrário de 64 endereços, não necessariamente contíguos, em um grande espaço de endereçamento, seja especificável em um campo de 6 bits.

*Uma solução seria usar endereçamento por registrador base mais deslocamento. Por exemplo, teríamos 2 bits para especificar um registrador e 4 bits para especificar um deslocamento. Poderíamos, assim, usar 4 registradores, cada um com até 16 deslocamentos possíveis, fornecendo 64 endereços diferentes.*