

GABARITO – AP1

1. (2,0) Um computador possui uma capacidade máxima de memória principal com 4 Giga células, cada uma capaz de armazenar uma palavra de 32 bits.

a) Qual é o maior endereço em decimal desta memória ?

$$N = 4G \text{ células} \Rightarrow N = 2^{32}$$

$$\text{Maior endereço} = N - 1 = 2^{32} - 1 = 4.294.967.295$$

b) Qual é o tamanho do barramento de endereços deste sistema ?

O Tamanho deste barramento será o suficiente para endereçar todas as células da memória (N).

O tamanho do barramento corresponderá ao valor de e em $2^e = N$

$$2^e = N \Rightarrow 2^e = 2^{32} \Rightarrow e = 32, \text{ portanto,} \\ \text{barramento de endereços} = 32 \text{ bits}$$

c) Quantos bits podem ser armazenados no RDM e no REM ?

*Tamanho do REM = tamanho do barramento de endereço. **REM = 32 bits***

*Tamanho do RDM = tamanho do barramento de dados e terá de ser no mínimo o tamanho de uma célula. **RDM = 32 bits***

d) Qual é o número máximo de bits que pode existir na memória ?

O total de bits da memória será igual a T

$$\text{Tamanho da memória (T)} = N \times M = 4G \text{ células} \times 32 \text{ bits} = 2^{32} \times 2^5 \text{ bits} = 2^{37} \text{ bits} \\ = 137.438.953.472 \text{ bits}$$

2. (2,0) Considere uma máquina que possa endereçar 1 Giga bytes de memória física, sendo que cada endereço referencia uma célula de 4 bytes. Ela possui uma memória cache que pode armazenar 1 Mega blocos, sendo um bloco por linha e cada bloco possui 2 células.

Mostre o formato da memória cache, indicando os campos necessários (tag, bloco) e o número de bits para cada campo, o formato de um endereço da memória principal, indicando os bits que referenciam os campos da cache, e a capacidade em bits que a memória cache deve possuir (pode deixar a conta indicada) para os seguintes mapeamentos:

b) Mapeamento totalmente associativo.

Memória Principal

$\Rightarrow N = 256M$ células

$$\Rightarrow K = 2$$

$\Rightarrow B = 128 \text{ M blocos}$

Memória Cache

OBS: O K (quantidade de células/bloco) tem de ser igual a MP .

$\Rightarrow Q = 1M \text{ blocos}$

=> Tamanho da memória cache = 8Mbytes

Memória principal

256M células: N

128M blocos: B

[illegible]

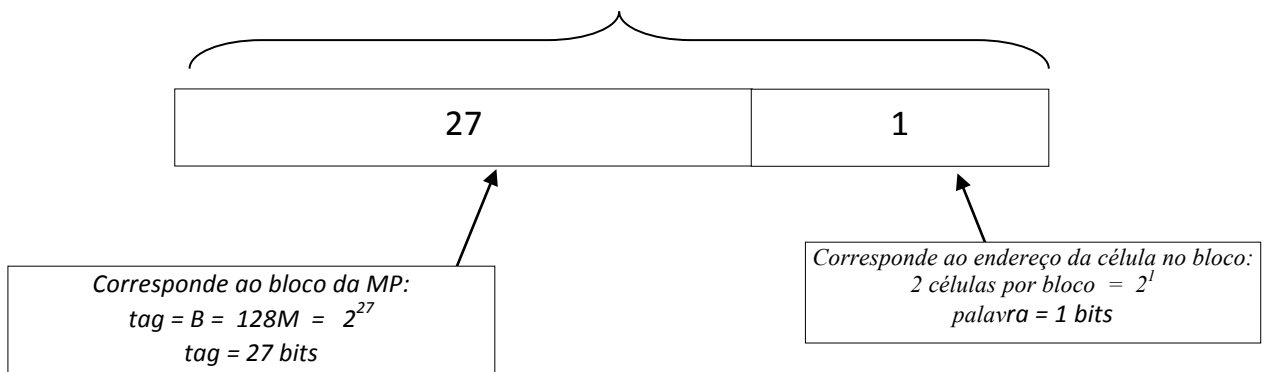
Organização da cache

linha	válido	tag	Conteúdo (bloco)
0	1 bit	27 bits	2 células de 32 bits cada = 64bits
1			
2			
3			
4			
5			
.....			
Q - 2			
Q - 1			

Para endereçarmos toda a MP é necessário a seguinte quantidade de bits: $E = 28 \text{ bits}$

Como o bloco pode ser alocado em qualquer posição da memória cache. A tag indicará qual dos blocos da MP está alocado naquela posição da memória cache

Tamanho do endereço da MP = 28 bits



- c) Mapeamento associativo por conjunto, onde cada conjunto possui duas linhas, cada uma de um bloco.

Memória Principal

$\Rightarrow N = 256M$ células

$$\Rightarrow K = 2$$

$\Rightarrow B = 128 \text{ M blocos}$

Memória Cache

OBS: O K (quantidade de células/bloco) tem de ser igual a MP .

$\Rightarrow Q = 1M \text{ blocos}$

=> Tamanho da memória cache = 8Mbytes

=> 1 conjunto = 2 linhas (ou quadros) => Total de conjuntos (C) = 1M blocos / 2 => C = 512K conjuntos

Memória principal

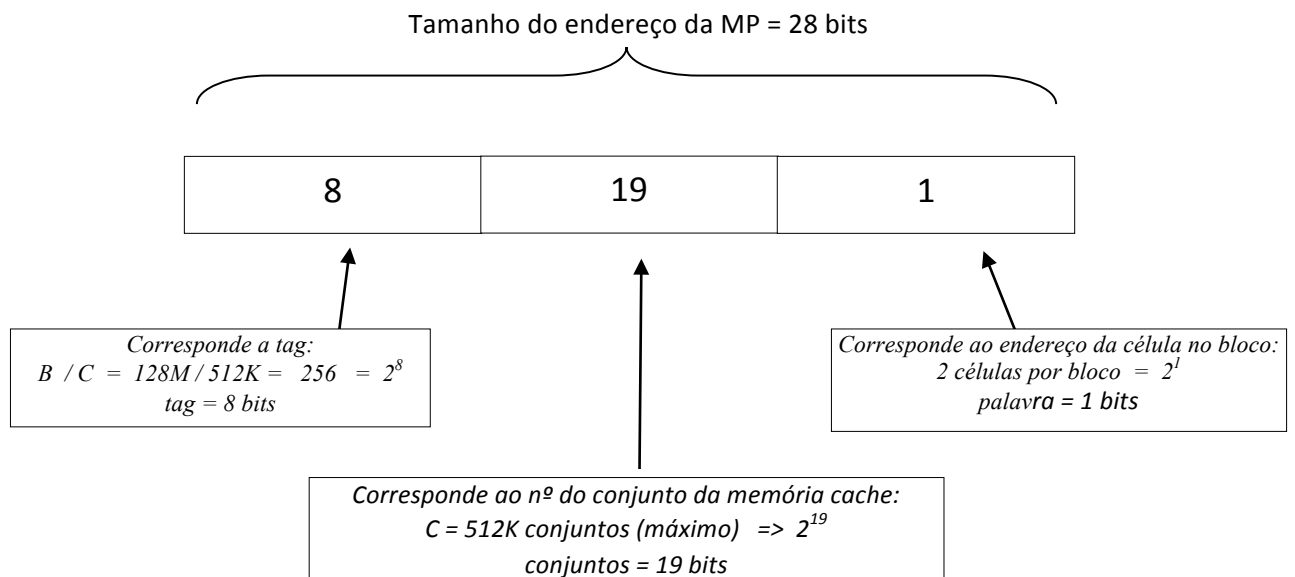
256M células: N

128M blocos: B

Organização da cache				
Conjunto	linha	válido	tag	Conteúdo (bloco)
0	0	1 bit	8 bits	2 células de 32 bits cada = 64bits
	1			
1	2			
	3			
2	4			
	5			
.....				
C - 1	Q - 2			
	Q - 1			

The diagram illustrates a direct-mapped cache system. On the left, a vertical stack of boxes represents main memory, divided into two sections: '256M células: N' (top) and '128M blocos: B' (bottom). To the right, a table titled 'Organização da cache' shows the internal structure of the cache. The table has five columns: 'Conjunto' (Set), 'linha' (Line), 'válido' (Valid), 'tag', and 'Conteúdo (bloco)' (Content/Block). It shows three sets (0, 1, 2) and a general case (C-1). Each set contains multiple lines. Set 0's first line stores a valid entry from memory block 0. Other lines are currently empty. Ellipses indicate intermediate sets between 2 and C-1.

Para endereçarmos toda a MP precisamos da seguinte quantidade de bits: $E = 28$ bits



3. (2,0) Considere as características de 4 barramentos síncronos relativas ao número de bits que são transmitidos em um ciclo de relógio e à frequência do relógio, conforme mostrado na tabela abaixo:

Tipo de barramento	Número de bits/ciclo	Frequência do relógio (MHz)
T1	64	600
T2	32	800
T3	40	1000
T4	48	800

Indique, para cada um dos barramentos, a taxa de transferência em Gbytes/s.

Cálculo da taxa de transferência em cada barramento:

$$T1 = 64 \text{ bits/ciclo} \times 600 \text{ MHz} = 8 \text{ bytes/ciclo} \times 600 \text{ MHz} = 4,8 \text{ Gbytes/s}$$

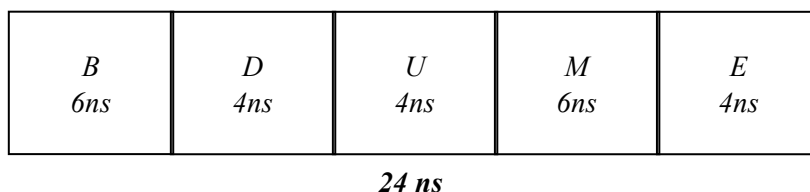
$$T2 = 32 \text{ bits/ciclo} \times 800 \text{ MHz} = 4 \text{ bytes/ciclo} \times 800 \text{ MHz} = 3,2 \text{ Gbytes/s}$$

$$T3 = 40 \text{ bits/ciclo} \times 1000 \text{ MHz} = 5 \text{ bytes/ciclo} \times 1000 \text{ MHz} = 5 \text{ Gbytes/s}$$

$$T4 = 48 \text{ bits/ciclo} \times 800 \text{ MHz} = 6 \text{ bytes/ciclo} \times 800 \text{ MHz} = 4,8 \text{ Gbytes/s}$$

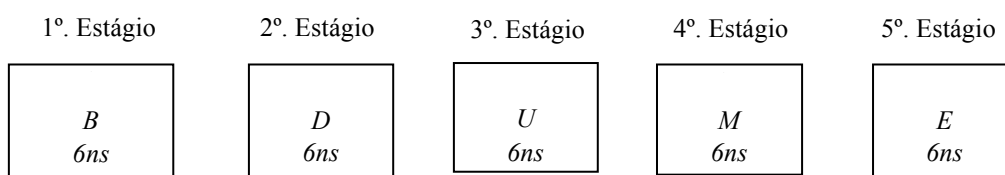
4. (2,0) Considere uma máquina que pode ter seu ciclo de busca e execução de uma instrução dividido em 5 estágios totalmente independentes: Busca (B), Decodificação/Leitura de registradores (D), Operação da ULA (U), Acesso à memória de dados (M) e Escrita nos registradores (E). Cada um dos estágios B e M possui a duração de 6 ns e cada estágio D, U e E tem duração de 4 ns. Cada instrução desta máquina precisa executar os 5 estágios.

a) (0,5) Uma implementação desta máquina foi realizada de modo que cada instrução deve ser completamente realizada em um único ciclo de relógio e uma instrução só começa a ser realizada após o término da anterior. Calcule a duração do ciclo de relógio que esta implementação deve possuir. Lembre-se que todas as instruções necessitam dos 5 estágios.



O ciclo de relógio deverá ter o tempo de 24ns

b) (0,5) Como cada estágio é independente um do outro, implementou-se uma **nova** arquitetura utilizando-se um pipeline de 5 estágios. Calcule a duração do ciclo de relógio que a implementação pipeline deve ter. Considere que qualquer estágio do pipeline deve poder ser realizado em um único ciclo de relógio.



Ciclo de relógio será igual ao tempo para execução do estágio com maior tempo de execução = **6ns**

c) (1,0) Mostre o tempo em que um programa que contenha 200 instruções será executado pela **implementação do item a e do item b.**

Seja T_{ex} = tempo de execução de uma instrução

= número de estágios x ciclo de relógio (determinado nos itens anteriores)

Item a (sem pipeline) :

$T_{ex} = 1 \text{ estágio} \times 24ns \text{ para execução de instrução} = 24ns$

$T_{total} = 10 \text{ instruções} \times T_{ex} = \mathbf{4.800ns}$

Item b (pipeline: 5 estágios)

$T_{ex} \text{ (primeira instrução)} = 5 \text{ estágios} \times 6ns = 30ns$

$T_{total} = T_{ex} + 199 \times (\text{tempo do ciclo do relógio})$

$T_{total} = 24ns + 199 \times 6ns = \mathbf{1.218ns}$

5. (2,0) Suponha que você deve projetar uma máquina com as seguintes especificações:

- Capaz de endereçar 4G células de memória principal, sendo que cada célula armazena 16 bits.
- Deve possuir os registradores RDM (utilizado para enviar e receber dados para/de o barramento de dados), REM (utilizado para enviar endereços no barramento de endereços), CI (utilizado para indicar o endereço da instrução a ser lida da memória) e RI (utilizado para armazenar uma instrução).
- Cada instrução deve conter um código de operação, um operando e um registrador como mostrado abaixo:

Cod. Oper.	Operando	Reg.
------------	----------	------

onde Operando é um endereço da memória principal e Reg. é o identificador de um Registrador, sendo que a máquina possui 36 registradores.

- Deve poder ter um máximo de 600 códigos de operação diferentes.

a) (0,3) Indique qual deve ser o tamanho mínimo em bits do REM

Memória com 4G células => $N = 4G \text{ células}$

tamanho mínimo do REM será o tamanho do barramento de endereços necessário para endereçar toda a memória.

Barramento de endereços (BE) = $\log_2 N = \log_2 4G = 32 \text{ bits}$

REM = tamanho do BE = 32 bits

- b) (0,3) Indique qual deve ser o tamanho mínimo em bits do do barramento de endereços.

tamanho do BE = 32 bits

- c) (0,6) Calcule o número de células que uma instrução necessita para ser armazenada.

Cada instrução = código de operação + 1 operando + 1 registrador

1o. operando = endereço de uma célula = 32 bits

registrador = para atender pelo menos 36 teps. são necessários 6 bits

(total de ⁶ = até 64 registradores)

cod.operação = tamanho necessário para 600 códigos diferentes = 10 bits

tamanho da instrução = 10 + 32 + 6 = 48 bits

- d) (0,6) Indique o **tamanho do RDM e do barramento de dados** de modo que a Unidade Central de Processamento obtenha uma instrução da memória principal realizando somente um acesso à memória principal.

RDM = barramento de dados = tamanho necessário para transferir uma instrução

RDM = barramento de dados = 48 bits (3 células).

- e) (0,6) Calcule a capacidade de armazenamento em bits dos registradores RI e CI, utilizando-se os valores calculados nos itens anteriores.

CI = tamanho necessário para endereçar toda a memória = 32 bits

RI = tamanho necessário para uma instrução = 48 bits