



Fundação CECIERJ - Vice Presidência de Educação Superior a Distância

Curso de Tecnologia em Sistemas de Computação

Disciplina: Organização de Computadores

AP1 2º semestre de 2017.

Nome –

Assinatura –

Observações:

1. Prova sem consulta e sem uso de máquina de calcular.
 2. Use caneta para preencher o seu nome e assinar nas folhas de questões e nas folhas de respostas.
 3. Você pode usar lápis para responder as questões.
 4. Ao final da prova devolva as folhas de questões e as de respostas.
 5. Todas as respostas devem ser transcritas nas folhas de respostas. As respostas nas folhas de questões não serão corrigidas.
-

1. (1,6) Considere as características de 4 barramentos síncronos relativas ao número de bits que são transmitidos em um ciclo de relógio e à frequência do relógio, conforme mostrado na tabela abaixo:

Tipo de barramento	Número de bits/ciclo	Frequência do relógio (MHz)
T1	48	600
T2	32	1200
T3	64	1000
T4	40	800

Indique, para cada um dos barramentos, a taxa de transferência em Gbytes/s.

Cálculo da taxa de transferência em cada barramento:

$T1 = 48 \text{ bits/ciclo} \times 600 \text{ MHz} = 6 \text{ bytes/ciclo} \times 600 \text{ MHz} = \mathbf{3,6 \text{ Gbytes/s}}$

$T2 = 32 \text{ bits/ciclo} \times 1200 \text{ MHz} = 4 \text{ bytes/ciclo} \times 1200 \text{ MHz} = \mathbf{4,8 \text{ Gbytes/s}}$

$T3 = 64 \text{ bits/ciclo} \times 1000 \text{ MHz} = 8 \text{ bytes/ciclo} \times 1000 \text{ MHz} = \mathbf{8 \text{ Gbytes/s}}$

$T4 = 40 \text{ bits/ciclo} \times 800 \text{ MHz} = 5 \text{ bytes/ciclo} \times 800 \text{ MHz} = \mathbf{4 \text{ Gbytes/s}}$

2. (2,0) Considere uma máquina que pode ter seu ciclo de busca e execução de uma instrução dividido em 5 estágios totalmente independentes: Busca (B), Decodificação/Leitura de registradores (D), Operação da ULA (U), Acesso à memória de dados (M) e Escrita nos registradores (E). Cada um dos estágios B e M possui a duração de 5 ns e cada estágio D, U e E tem duração de 2 ns. Cada instrução desta máquina precisa executar os 5 estágios.

- a) (0,5) Uma implementação desta máquina foi realizada de modo que cada instrução deve ser completamente realizada em um único ciclo de relógio e uma instrução só começa a ser realizada após o término da anterior. Calcule a duração do ciclo de relógio que esta implementação deve possuir. Lembre-se que todas as instruções necessitam dos 5 estágios.

<i>B</i>	<i>D</i>	<i>U</i>	<i>M</i>	<i>E</i>
<i>5ns</i>	<i>2ns</i>	<i>2ns</i>	<i>5ns</i>	<i>2ns</i>

16 ns

O ciclo de relógio deverá ter o tempo de 16ns

- b) (0,5) Como cada estágio é independente um do outro, implementou-se uma **nova** arquitetura utilizando-se um pipeline de 5 estágios. Calcule a duração do ciclo de relógio que a implementação pipeline deve ter. Considere que qualquer estágio do pipeline deve poder ser realizado em um único ciclo de relógio.

1°. Estágio	2°. Estágio	3°. Estágio	4°. Estágio	5°. Estágio
<i>B</i>	<i>D</i>	<i>U</i>	<i>M</i>	<i>E</i>
<i>5ns</i>	<i>5ns</i>	<i>5ns</i>	<i>5ns</i>	<i>5ns</i>

Ciclo de relógio será igual ao tempo para execução do estágio com maior tempo de execução = 5ns

- c) (1,0) Mostre o tempo em que um programa que contenha 400 instruções será executado pela **implementação do item a e do item b.**

Seja T_{ex} = tempo de execução de uma instrução = número de estágios \times ciclo de relógio (determinado nos itens anteriores)

Para o item a (sem pipeline) :

$$T_{ex} = 1 \text{ estágio de } 16ns = 16ns$$

$$T_{total} = 400 \text{ instruções} \times T_{ex} = \mathbf{6400 \text{ ns}}$$

Para o item b (pipeline: 5 estágios) :

$$T_{ex} = 5 \text{ estágios de } 5ns \text{ cada} = 25ns$$

$$T_{total} = T_{ex} + 399 \times \text{tempo de 1 estágio}$$

$$T_{total} = 25ns + 399 \times 5ns = \mathbf{2020 \text{ ns}}$$

3. (2,4) Suponha que você deve projetar uma máquina com as seguintes especificações:

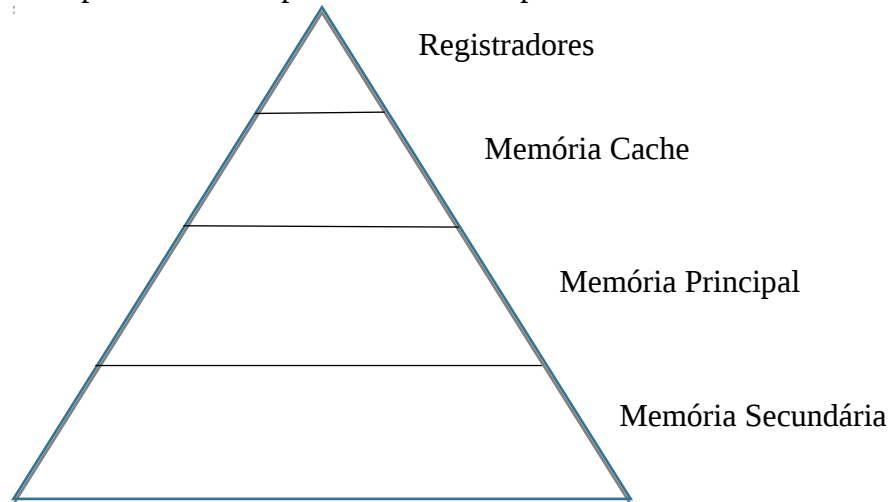
- Capaz de endereçar 4 M células de memória principal, sendo que cada célula armazena 16 bits.
- Deve possuir os registradores RDM (utilizado para enviar e receber dados para/de o barramento de dados), REM (utilizado para enviar endereços no barramento de endereços), CI (utilizado para indicar o endereço da instrução a ser lida da memória) e RI (utilizado para armazenar uma instrução).
- Cada instrução deve conter um código de operação, um operando e um registrador como mostrado abaixo:

Cód. Oper	Operando	Reg.
-----------	----------	------

onde Operando é um endereço da memória principal e Reg. é o identificador de um Registrador, sendo que a máquina possui 12 registradores.

- Deve poder ter um máximo de 56 códigos de operação diferentes.
- a) (0,3) Indique qual deve ser o tamanho mínimo em bits do REM
- Memória com 4M células => $N = 4M$ células*
tamanho mínimo do REM será o tamanho do barramento de endereços necessário para endereçar toda a memória.
Barramento de endereços (BE) = $\log_2 N = \log_2 4M = 22$ bits
REM = tamanho do BE = 22 bits
- b) (0,3) Indique qual deve ser o tamanho mínimo em bits do do barramento de endereços.
- tamanho do BE = 22 bits*
- c) (0,6) Calcule o número de células que uma instrução necessita para ser armazenada.
- Cada instrução = código de operação + 1 operando + 1 registrador*
1o.. operando = endereço de uma célula = 22 bits
registrador = para atender pelo menos 12 regs. são necessários 4 bits
(total de $2^4 =$ até 16 registradores)
cod.operação = tamanho necessário para 56 códigos diferentes = 6 bits
tamanho da instrução = $6 + 22 + 4 = 32$ bits
- d) (0,6) Indique **o tamanho do RDM e do barramento de dados** de modo que a Unidade Central de Processamento obtenha uma instrução da memória principal realizando somente um acesso à memória principal.
- RDM = barramento de dados = tamanho necessário para transferir uma instrução*
RDM = barramento de dados = 32 bits (2 células).
- e) (0,6) Calcule a capacidade de armazenamento em bits dos registradores RI e CI, utilizando-se os valores calculados nos itens anteriores.
- CI = tamanho necessário para endereçar toda a memória = 22 bits*
RI = tamanho necessário para uma instrução = 32 bits

4. (2,0) Faça uma pirâmide com a hierarquia de memória dos computadores atuais, e descreva em detalhes cada tipo de memória pertencente a essa pirâmide.



No topo da pirâmide teríamos os **registradores**, que são pequenas unidades de memória que armazenam dados na UCP. São dispositivos de maior velocidade com tempo de acesso em torno de 1 ciclo de memória, menor capacidade de armazenamento além de armazenar as informações por muito pouco tempo.

Em um nível abaixo teríamos a **memória cache**, cuja função é acelerar a velocidade de transferência das informações entre UCP e MP e, com isso, aumentar o desempenho do sistema. A UCP procura informações primeiro na Cache. Caso não as encontre, as mesmas são transferidas da MP para a Cache. A cache possui tempo de acesso menor que a da Memória principal, porém com capacidade inferior a esta, mas superior ao dos registradores e o suficiente para armazenar uma apreciável quantidade de informações, sendo o tempo de permanência do dado menor do que o tempo de duração do programa a que pertence.

Abaixo da memória cache teríamos a memória básica de um sistema de computação, que é a **memória principal**. Dispositivo onde o programa (e seus dados) que vai ser executado é armazenado para que a UCP busque instrução por instrução para executá-las. A MP são mais lentas que a cache e mais rápidas que a memória secundária, possui capacidade bem superior ao da cache e os dados ou instruções permanecem na MP enquanto durar a execução do programa.

Finalmente, na base da pirâmide teríamos a **memória secundária**, memória auxiliar ou memória de massa, que fornece garantia de armazenamento mais permanente aos dados e programas do usuário. Alguns dispositivos são diretamente ligados: disco rígido, outros são conectados quando necessário: disquetes, fitas de armazenamento, CD-ROM. São os mais lentos em comparação com os outros níveis de memória, mas possuem a maior capacidade de armazenamento e armazenam os dados de forma permanente.

4. (2,0) Descreva o processo de acesso a uma instrução na memória principal, explicando em cada etapa as atualizações dos registradores RI, CI, REM e RDM, quando necessário.

Passos de uma operação de acesso a uma instrução na memória principal

- 1) REM \leftarrow CI, o endereço contido no CI é transferido para o REM
 - 1.1) O endereço contido no REM é colocado no barramento de endereços
- 2) Sinal de leitura é acionado no barramento de controle
 - 2.1) Decodificação do endereço e localização da célula na memória
- 3) RDM \leftarrow (MP(REM)), o RDM recebe a instrução lida da MP através do barramento de dados
- 4) RI \leftarrow RDM, o conteúdo do RDM é transferido para RI,
- 5) CI \leftarrow CI + 1, incrementado o CI para apontar para a próxima posição de memória