

Curso de Tecnologia em Sistemas de Computação
Disciplina: Organização de Computadores
AP1 1º semestre de 2014.

Nome –

Assinatura –

Observações:

1. Prova sem consulta e sem uso de máquina de calcular.
2. Use caneta para preencher o seu nome e assinar nas folhas de questões e nas folhas de respostas.
3. Você pode usar lápis para responder as questões.
4. Ao final da prova devolva as folhas de questões e as de respostas.
5. Todas as respostas devem ser transcritas nas folhas de respostas. As respostas nas folhas de questões não serão corrigidas.

1. (1,5) A tabela abaixo descreve detalhadamente todos os passos para execução da instrução **STR Op.**, indicando como o Registrador de Instrução (RI), Contador de Instrução (CI), Acumulador (ACC), Registrador de Dados da Memória (RDM), Registrador de Endereços da Memória (REM), Unidade Aritmética Lógica (UAL) e Barramento de controle, de dados e de endereços são utilizados na execução desta instrução. Lembre-se que a instrução STR Op., quando executada, carrega o conteúdo do Acumulador na memória cujo endereço é Op..

STR Op

1	<i>CI <- CI + 1</i>
2	<i>RI <- (CI)</i>
3	<i>recebe os bits do código de operação</i>
4	<i>produz sinais para a execução da operação de escrita</i>
5	<i>A UC emite sinais para que o valor do campo operando = Op seja transferido para a REM</i>
6	<i>Conteúdo do Acumulador (ACC) é transferido para RDM (RDM ← ACC)</i>
7	<i>A UC ativa a linha WRITE do barramento de controle</i>
8	<i>O REM passa o conteúdo para o barramento de endereços</i>
9	<i>O RDM passa o conteúdo para o barramento de dados</i>
10	<i>A memória grava o dado recebido no endereço que consta do barramento de endereços</i>

Os números da coluna da esquerda representam a ordem em que são realizados cada um dos passos na execução da instrução STR Op.. No entanto, a ordem dos passos pode não estar correta. Baseado na tabela acima e nas 3 afirmações abaixo, assinale a opção correta:

Afirmações	
I	O passo 2 deveria acontecer antes do passo 1.
II	O passo 4 deveria acontecer antes do passo 3.
III	O passo 9 deveria acontecer antes do passo 8.

- a) As afirmações I e II estão corretas.
b) Apenas a afirmação I está correta
c) Apenas a afirmação II está correta
d) As afirmações I e III estão corretas
e) Nenhuma das afirmações estão corretas

2. (2,5) Suponha que você deve projetar uma máquina com as seguintes especificações:

- Capaz de endereçar 4 M células de memória principal, sendo que cada célula armazena 2 bytes.
- Deve possuir os registradores RDM (utilizado para enviar e receber dados para/de o barramento de dados), REM (utilizado para enviar endereços no barramento de endereços), CI (utilizado para indicar o endereço da instrução a ser lida da memória) e RI (utilizado para armazenar uma instrução).
- Cada instrução deve conter um código de operação, um operando e um registrador como mostrado abaixo:

Cód. Oper	Operando	Reg.
-----------	----------	------

onde Operando é um endereço da memória principal e Reg. é o identificador de um Registrador, sendo que a máquina possui 16 registradores.

- Deve poder ter um máximo de 64 códigos de operação diferentes.
- a) (0,3) Indique qual deve ser o tamanho mínimo em bits do REM
Memória com 4M células => $N = 4M$ células
tamanho mínimo do REM será o tamanho do barramento de endereços necessário para endereçar toda a memória.
Barramento de endereços (BE) = $\log_2 N = \log_2 4M = 22$ bits
REM = tamanho do BE = 22 bits
- b) (0,3) Indique qual deve ser o tamanho mínimo em bits do do barramento de endereços.
tamanho do BE = REM = 22 bits
- c) (0,5) Calcule o número de células que uma instrução necessita para ser armazenada.
Cada instrução = código de operação + 2 operandos
1o. operando = endereço de uma célula = 22 bits
2o. operando = endereço de um registrador = 4 bits (total de $2^4 = 16$ registradores)
cod.operação = tamanho necessário para 64 códigos diferentes = 6 bits
tamanho da instrução = $6 + 22 + 4 = 32$ bits
Número de células = $32 / 16 = 2$ células
- d) (0,7) Indique o tamanho do RDM e do barramento de dados de modo que a Unidade Central de Processamento obtenha uma instrução da memória principal realizando somente um acesso à memória principal.
RDM = barramento de dados = tamanho necessário para transferir uma instrução
RDM = barramento de dados = 32 bits.

- e) (0,7) Calcule a capacidade de armazenamento em bits dos registradores RI e CI, utilizando-se os valores calculados nos itens anteriores.

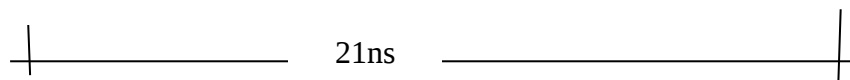
CI = tamanho necessário para endereçar toda a memória = 22 bits

RI = tamanho necessário para uma instrução = 32 bits

3. (2,0) Considere uma máquina que pode ter seu ciclo de busca e execução de uma instrução dividido em 5 estágios totalmente independentes: Busca (BI), Decodificação (DE), Execução (EX), Leitura de Dados (LD) e Escrita de Resultado (ER). Cada um dos estágios BI e ER possui a duração de 6 ns e cada estágio DE, EX e LD tem duração de 3 ns. Cada instrução desta máquina precisa executar os 5 estágios.

- a) (0,5) Uma implementação desta máquina foi realizada de modo que cada instrução deve ser completamente realizada em um único ciclo de relógio e uma instrução só começa a ser realizada após o término da anterior. Calcule a duração do ciclo de relógio que esta implementação deve possuir. Lembre-se que todas as instruções necessitam dos 5 estágios.

<i>BI</i> 6ns	<i>DE</i> 3ns	<i>EX</i> 3ns	<i>LD</i> 3ns	<i>ER</i> 6ns
------------------	------------------	------------------	------------------	------------------



Ciclo de relógio para execução de uma instrução (sem pipeline) =
 $6ns + 3ns + 3ns + 3ns + 6ns = 21ns$

- b) (0,5) Como cada estágio é independente um do outro, implementou-se uma **nova** arquitetura utilizando-se um pipeline de 5 estágios. Calcule a duração do ciclo de relógio que a implementação pipeline deve ter. Considere que qualquer estágio do pipeline deve poder ser realizado em um único ciclo de relógio.

1º. estágio	2º. estágio	3º. estágio	4º. estágio	5º. estágio
<i>BI</i> 6ns	<i>DE</i> 3ns	<i>EX</i> 3ns	<i>LD</i> 3ns	<i>ER</i> 6ns

Ciclo de relógio será igual ao tempo para execução do
estágio de maior tempo de execução = 6ns.

- c) (1,0) Mostre o tempo em que um programa que contenha 10 instruções será executado pela **implementação do item a e do item b**. Considere que estas 10 instruções podem ser executadas em fluxo constante.

Seja Tex = tempo de execução de uma instrução

= número de estágios x ciclo de relógio (determinado nos itens anteriores)

Item a (sem pipeline) :

Tex = 1 estágio x 21ns para execução de instrução = 21ns

*Ttotal = 10 instruções x Tex = **210ns***

Item b (pipeline: 5 estágios)

Tex (primeira instrução) = 5 estágios x 6ns = 30ns

Ttotal = Tex + 9 x (tempo do ciclo do relógio)

*Ttotal = 30ns + 9 x 6ns = **84ns***

b) Mapeamento totalmente associativo.

Memória Principal

=> $N = 256M$ células

=> $K = 16$

=> $B = 16 M$ blocos

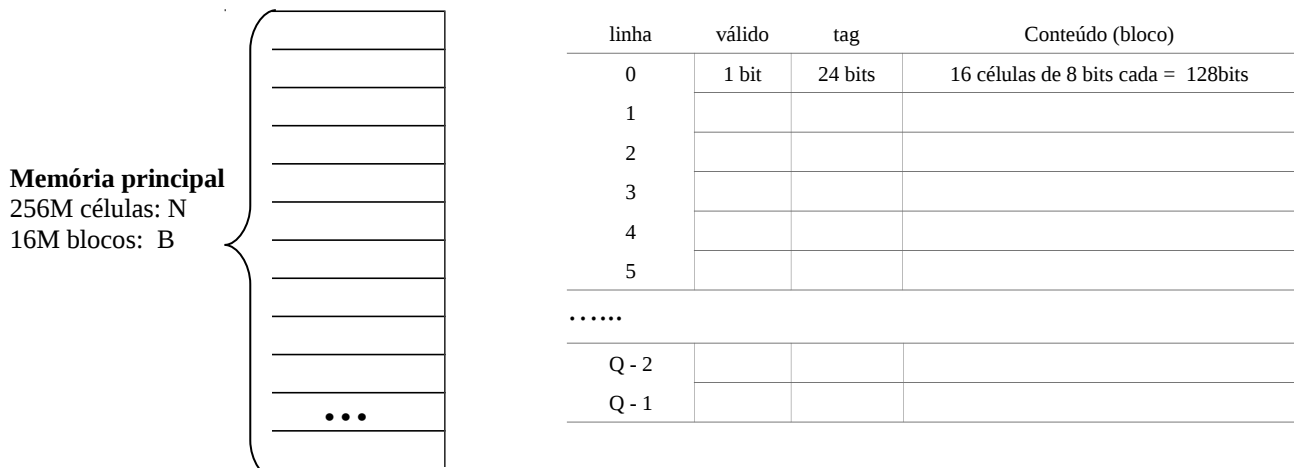
Memória Cache

OBS: O K (quantidade de células/bloco) tem de ser igual a MP.

=> $Q = 64K$ blocos

=> Tamanho da memória cache = 64Kbytes

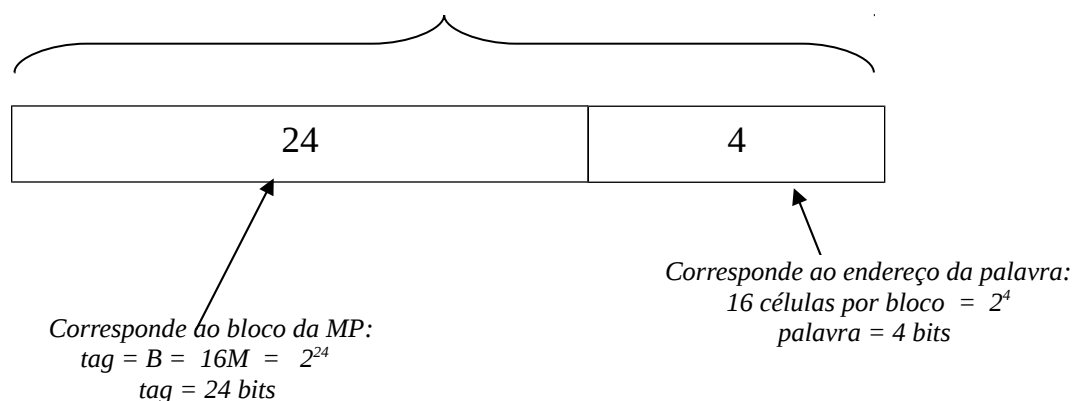
Organização da cache



Para endereçarmos toda a MP precisamos da seguinte quantidade de bits: $E = 28$ bits

Como o bloco pode ser alocado em qualquer posição da memória cache a tag indicará qual dos blocos da MP está alocado naquela posição da memória cache

Tamanho do endereço da MP = 28 bits



5. (2,0) Explique os níveis que compõem a hierarquia de memória dos computadores atuais.

Podemos ilustrar essa hierarquia de memória na forma de uma pirâmide dividida em 4 níveis. No topo da pirâmide teríamos os registradores, que são pequenas unidades de memória que armazenam dados na UCP. São dispositivos de maior velocidade com tempo de acesso em torno de 1

ciclo de memória, menor capacidade de armazenamento além de armazenar as informações por muito pouco tempo.

Em um nível abaixo teríamos a memória cache, cuja função é acelerar a velocidade de transferência das informações entre UCP e MP e, com isso, aumentar o desempenho do sistema. A UCP procura informações primeiro na Cache. Caso não as encontre, as mesmas são transferidas da MP para a Cache. A cache possui tempo de acesso menor que a da Memória principal, porém com capacidade inferior a esta, mas superior ao dos registradores e o suficiente para armazenar uma apreciável quantidade de informações, sendo o tempo de permanência do dado menor do que o tempo de duração do programa a que pertence.

Abaixo da memória cache teríamos a memória básica de um sistema de computação, que é a memória principal. Dispositivo onde o programa (e seus dados) que vai ser executado é armazenado para que a UCP busque instrução por instrução para executá-las. A MP são mais lentas que a cache e mais rápidas que a memória secundária, possui capacidade bem superior ao da cache e os dados ou instruções permanecem na MP enquanto durar a execução do programa.

Finalmente, na base da pirâmide teríamos a memória secundária, memória auxiliar ou memória de massa, que fornece garantia de armazenamento mais permanente aos dados e programas do usuário. Alguns dispositivos são diretamente ligados: disco rígido, outros são conectados quando necessário: disquetes, fitas de armazenamento, CD-ROM. São os mais lentos em comparação com os outros níveis de memória, mas possuem a maior capacidade de armazenamento e armazenam os dados de forma permanente.