



Fundação CECIERJ - Vice Presidência de Educação Superior a Distância

Curso de Tecnologia em Sistemas de Computação

Disciplina: Organização de Computadores

Gabarito - AP1 2º semestre de 2007.

Nome –

Assinatura –

Observações:

1. Prova sem consulta e sem uso de máquina de calcular.
 2. Use caneta para preencher o seu nome e assinar nas folhas de questões e nas folhas de respostas.
 3. Você pode usar lápis para responder as questões.
 4. Ao final da prova devolva as folhas de questões e as de respostas.
 5. Todas as respostas devem ser transcritas nas folhas de respostas. As respostas nas folhas de questões não serão corrigidas.
-

1. (2,0) Suponha que você deve projetar uma máquina com as seguintes especificações:

- Capaz de endereçar 512 M células de memória principal, sendo que cada célula armazena 1 byte.
- Deve possuir os registradores RDM (utilizado para enviar e receber dados para/de o barramento de dados), REM (utilizado para enviar endereços no barramento de endereços), CI (utilizado para indicar o endereço da instrução a ser lida da memória) e RI (utilizado para armazenar uma instrução).
- Cada instrução deve conter um código de operação e dois operandos como mostrado abaixo:

Cód. Oper	Operando 1	Operando 2
-----------	------------	------------

onde Operando1 e Operando 2 são endereços da memória principal.

- Deve poder ter um máximo de 64 códigos de operação diferentes.
- a) (0,4) Indique qual deve ser o tamanho mínimo em bits do REM e do barramento de endereços.

O barramento de endereços deverá endereçar 512M células = N

Barramento de endereços = E, sendo $N = 512M \Rightarrow N = 2^{29} \Rightarrow E = 29$

Barramento de endereços = 29 bits = REM

- b) (0,4) Calcule o número de células que uma instrução necessita para ser armazenada.

Total de 64 códigos diferentes = tamanho do código de operação = 6 bits

Tamanho da instrução = código de operação + 2 operandos (endereços de memória)

Tamanho da instrução = $6 + 2 \times 29 = 64$ bits

Como cada célula = 1 byte (8bits)

Serão necessários 8 células para armazenar uma instrução

- c) (0,6) Indique o tamanho do RDM e o barramento de dados de modo que a Unidade Central de Processamento obtenha uma instrução da memória principal realizando somente um acesso à memória principal.

Para transferir uma instrução em um único acesso à memória principal,

será necessário um barramento de dados com o tamanho da instrução = 64 bits.

- d) (0,6) Calcule a capacidade de armazenamento em bits dos registradores RI e CI, utilizando-se os valores calculados nos itens anteriores.

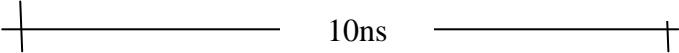
O registrador RI deverá ter no mínimo o tamanho de uma instrução = 64bits

O CI deverá ser capaz de endereçar qualquer posição de memória, portanto terá o tamanho do barramento de endereços = 29 bits.

2. (2,5) Considere uma máquina que pode ter seu ciclo de busca e execução de uma instrução dividido em 4 estágios totalmente independentes: Busca (BI), Decodificação (DE), Execução (EX), e Escrita de Resultado (ER). Cada um dos estágios BI e ER possui a duração de 3 ns e cada estágio DE e EX tem duração de 2 ns. Cada instrução desta máquina precisa executar os 4 estágios.

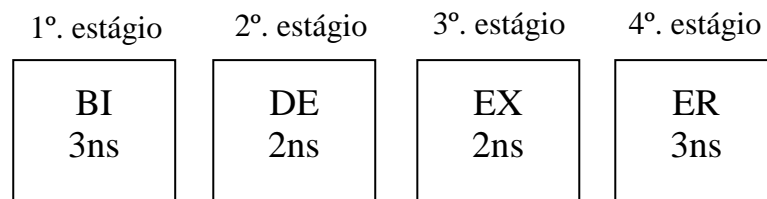
- a) (0,5) Uma implementação desta máquina foi realizada de modo que cada instrução deve ser completamente realizada em um único ciclo de relógio e uma instrução só começa a ser realizada após o término da anterior. Calcule a duração do ciclo de relógio que esta implementação deve possuir. Lembre-se que todas as instruções necessitam dos 4 estágios.

BI 3ns	DE 2ns	EX 2ns	ER 3ns
-----------	-----------	-----------	-----------



 Ciclo de relógio para execução de uma instrução (sem pipeline) = $3ns + 2ns + 2ns + 3ns = 10ns$

- b) (0,5) Como cada estágio é independente um do outro, implementou-se uma nova arquitetura utilizando-se um pipeline de 4 estágios. Calcule a duração do ciclo de relógio que a implementação pipeline deve ter. Considere que qualquer estágio do pipeline deve poder ser realizado em um único ciclo de relógio.



Ciclo de relógio será igual ao tempo para execução do estágio de maior tempo de duração = 3ns.

- c) (1,5) Mostre o tempo em que um programa que contenha 8 instruções será executado pela implementação do item a e do item b. Considere que estas 8 instruções podem ser executadas em fluxo constante.

Seja T_{ex} = tempo de execução de uma instrução
 = número de estágios x ciclo de relógio (determinado nos itens anteriores)

Item a (sem pipeline) :

$$T_{ex} = 1 \text{ estágio} \times 10\text{ns} = 10\text{ns}$$

$$T_{total} = 8 \text{ instruções} \times T_{ex} = \underline{80\text{ns}}$$

Item b (pipeline: 4 estágios)

$$T_{ex} = 4 \text{ estágios} \times 3\text{ns} = 12\text{ns}$$

$$T_{total} = T_{ex} + 7 \times (\text{tempo do ciclo do relógio})$$

$$T_{total} = 12\text{ns} + 7 \times 3\text{ns} = \underline{33\text{ns}}$$

3. (1,5) Explique as 2 maneiras de implementação de uma unidade de controle: por hardware e microprogramada.

A unidade de controle por hardware: constituída de um circuito combinatório. Seus sinais lógicos de entrada são transformados em um conjunto de sinais lógicos de saída, que constituem os sinais de controle.

A unidade de controle microprogramada é aquela em que a lógica da unidade de controle é especificada por um microprograma. O projeto desta unidade visa executar uma seqüência de microinstruções (ou conjunto de microoperações) e gerar sinais de controle para os componentes da UCP para a execução de cada microinstrução.

4. (2,0) Considere um microprocessador hipotético com um tamanho de palavra e barramento de dados de 40 bits e 256 instruções. As instruções são todas do tamanho de uma célula de memória, de mesmo tamanho da palavra e são compostas por dois campos: o primeiro contém o código de operação e o restante contém o endereço do operando. Ele contém somente uma placa de memória com 5 Kbytes.

- a) Qual o tamanho, em bits, do RDM e do REM?

⇒ RDM = tamanho do barramento de dados = 40 bits

⇒ REM = tamanho do campo do operando, corresponderá ao tamanho de endereço de memória.

Como o processador tem 256 instruções, o seu código de operação será de 8bits

Tamanho de instrução = código de operação + operando =

40bits = 8bits + operando. ⇒ Operando = 32 bits, portanto REM = 32 bits

b) Seria possível aumentar a memória desta máquina? Se possível, até quanto (em bytes)?

⇒ Como o barramento de endereços = REM = 32bits

A capacidade de endereçamento será de $2^{32} = 4 \text{ G células}$.

Será possível aumentar a memória até 4 G células

Como cada célula possui 40 bits (1 palavra) = 5 bytes

Total de memória = 4 G células x 5 bytes = 20 Gbytes

c) Se quisesse aumentar o número de instruções para 512, mantendo inalterado o tamanho do barramento de dados e da palavra, quais seriam os tamanhos do RDM e REM?

⇒ RDM = tamanho do barramento de dados = 40 bits

⇒ REM = tamanho do campo do operando, corresponderá ao tamanho de endereço de memória.

Como o processador tem 512 instruções, o seu código de operação será de 9 bits ($2^9 = 512$)

Tamanho de instrução = código de operação + operando ⇒ 40bits = 9bits + operando.

Operando = 31 bits, portanto REM = 31 bits

5. (2,0) Considere uma máquina que possa endereçar 128 Mbytes de memória física, sendo que cada endereço referencia uma célula de 1 byte. Ela possui uma memória cache que pode armazenar 2K blocos, sendo um bloco por linha e cada bloco possui 4 células. Mostre o formato da memória cache, indicando os campos necessários (tag, bloco) e o número de bits para cada campo, o formato de um endereço da memória principal, indicando os bits que referenciam os campos da cache, e a capacidade em bits que a memória cache deve possuir (pode deixar a conta indicada) para os seguintes mapeamentos:

a) Mapeamento direto.

Memória Principal

⇒ Tamanho da memória (em bytes) = 128Mbytes, como 1 célula referencia a 1 byte, temos $N = 128\text{M}$ células

⇒ Será organizada em blocos de 4 bytes, como 1 célula = 1 byte, temos cada bloco = 4 células, $K = 4$

⇒ Sendo N o tamanho endereçável da memória e K que é a quantidade de células por blocos temos:

$N = 128\text{M células}$ e $K = 4 \text{ células / blocos}$ o total de blocos da MP (B) será:

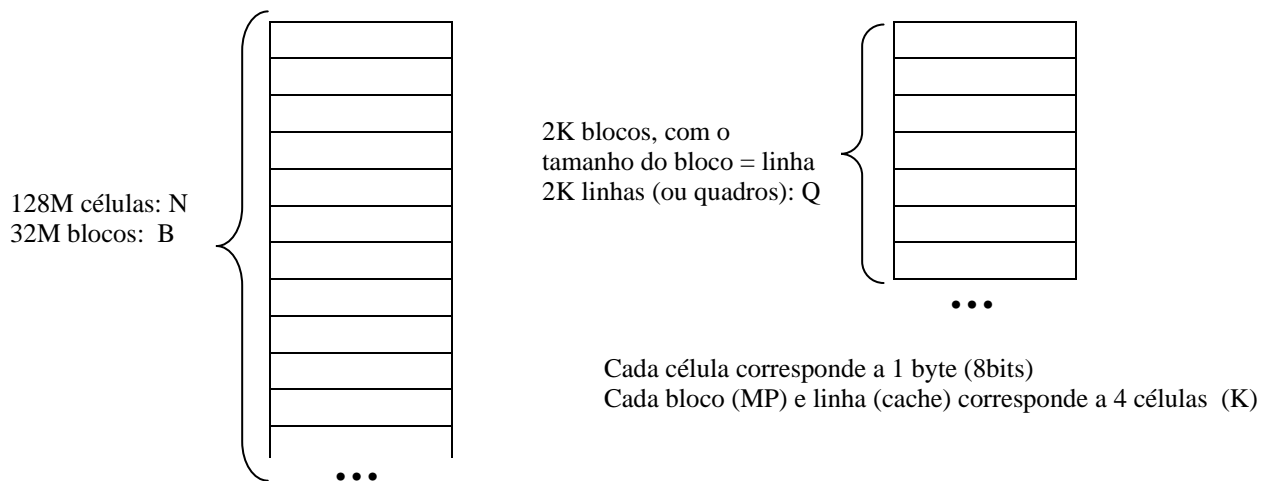
Total de blocos: $B = N / K \Rightarrow B = 128\text{M células} / 4 \text{ células/bloco} \Rightarrow B = 32 \text{ M blocos}$

Memória Cache

OBS: O K (quantidade de células/bloco) tem de ser igual a MP.

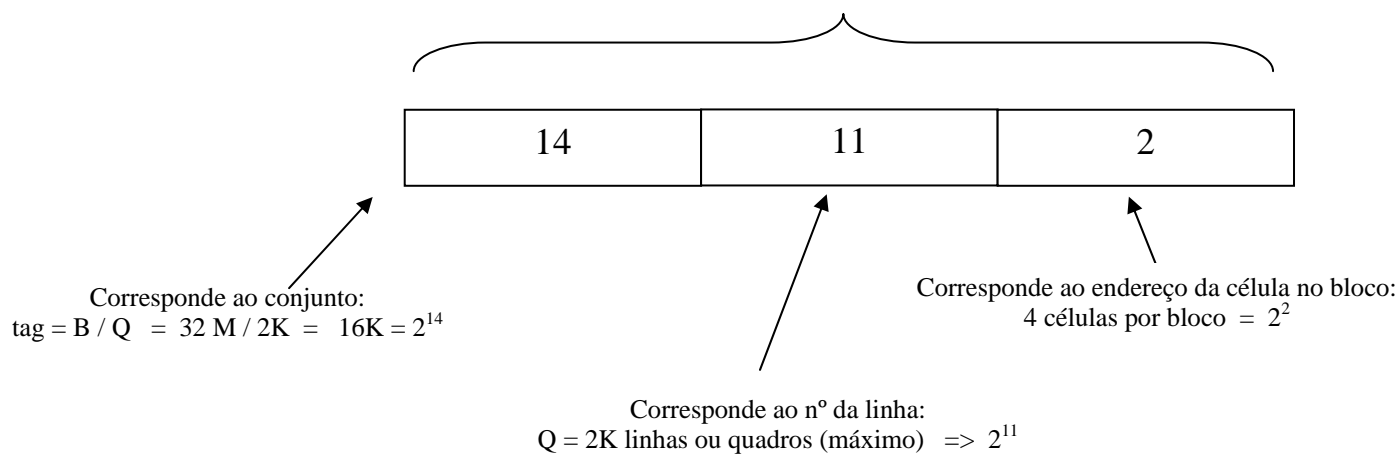
⇒ Tamanho da memória cache (em blocos ou linhas) ⇒ $Q = 2K \text{ blocos}$

⇒ Tamanho da memória cache em células = $Q \times K = 2K \text{ blocos} \times 4 \text{ células/blocos} = 8K \text{ células}$



Para endereçarmos toda a MP precisamos da seguinte quantidade de bits (E)
sendo $N = 2^E \Rightarrow N = 128M \text{ células} \Rightarrow N = 2^{27} \Rightarrow E = 27 \text{ bits}$

Tamanho do endereço da MP = 27 bits

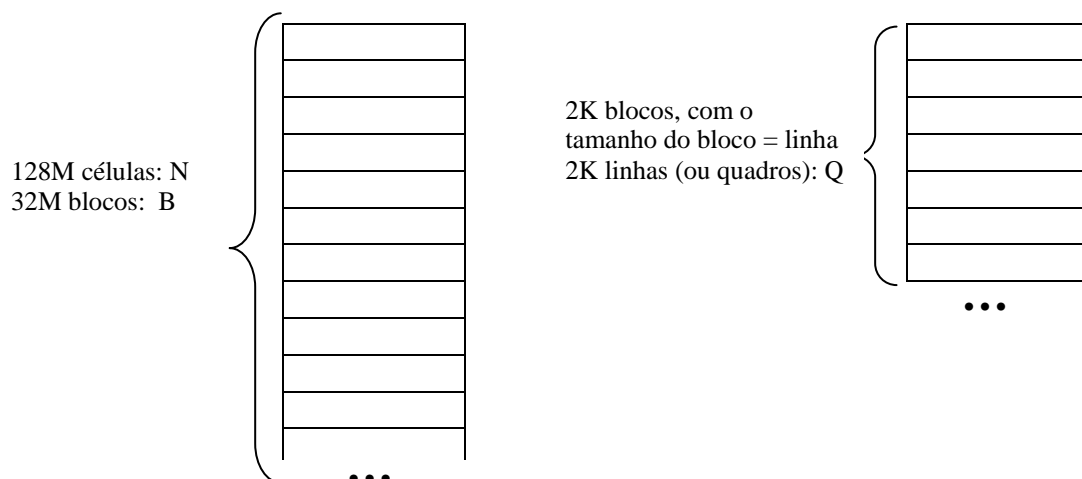


b) Mapeamento totalmente associativo.

Memória Principal
 $\Rightarrow N = 512M \text{ células}$
 $\Rightarrow K = 4$
 $\Rightarrow B = 32 \text{ M blocos}$

Memória Cache
OBS: O K (quantidade de células/bloco) tem de ser igual a MP.

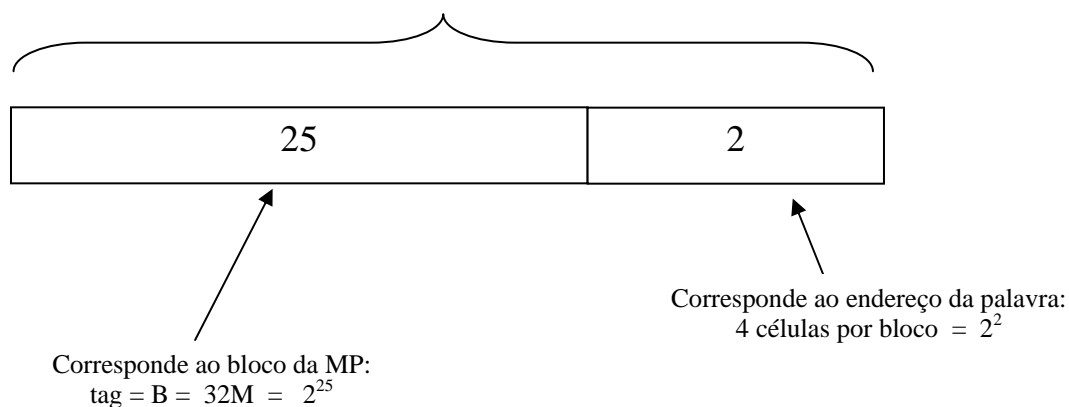
$\Rightarrow Q = 2K \text{ blocos}$
 $\Rightarrow \text{Tamanho da memória} = 128K \text{ células}$



Para endereçarmos toda a MP precisamos da seguinte quantidade de bits: $E = 27$ bits

Como o bloco pode ser alocado em qualquer posição da memória cache a tag indicará qual dos blocos da MP está alocado naquela posição da memória cachê

Tamanho do endereço da MP = 27 bits



c) Mapeamento associativo por conjunto, onde cada conjunto possui duas linhas, cada uma de um bloco.

Memória Principal

=> $N = 128M$ células

=> $K = 4$

=> $B = 32M$ blocos

Memória Cache

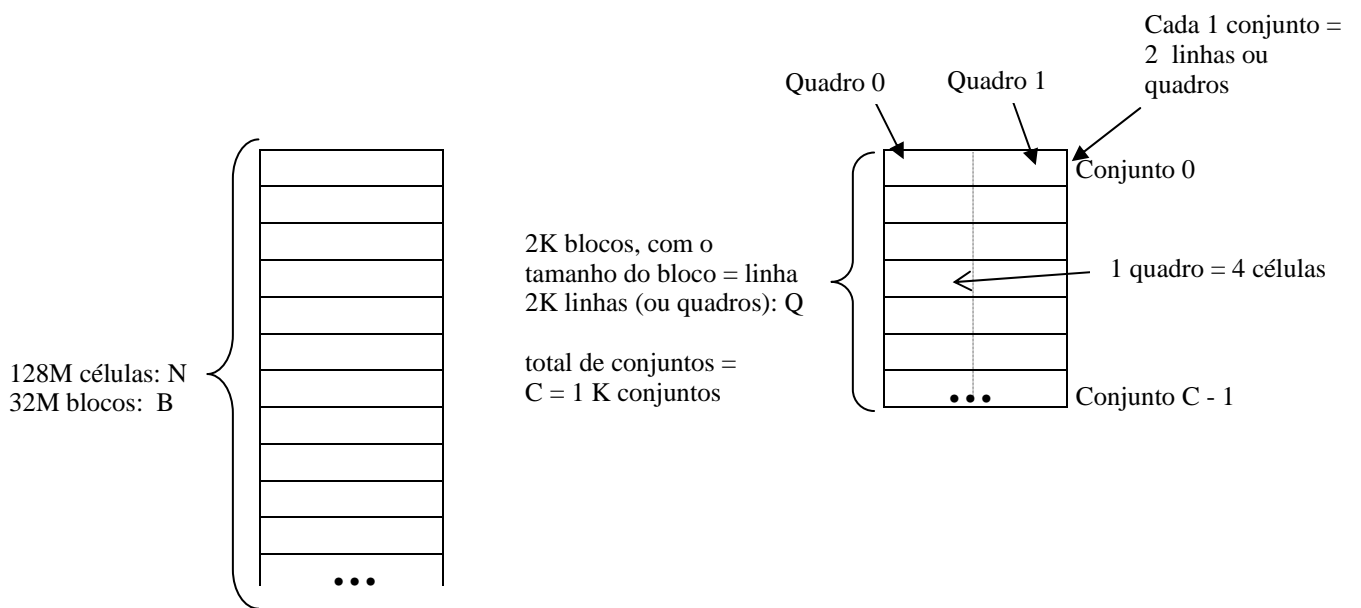
OBS: O K (quantidade de células/bloco) tem de ser igual a MP.

=> $Q = 2K$ blocos

=> Tamanho da memória cache = $8K$ células

=> 1 conjunto = 2 linhas (ou quadros) =>

Total de conjuntos => $C = 2K \text{ blocos} / 2 \Rightarrow C = 1K$ conjuntos



Para endereçarmos toda a MP precisamos da seguinte quantidade de bits: E = 27 bits

Tamanho do endereço da MP = 27 bits

