

AD1 - Organização de Computadores 2017.2

Data de entrega 05/09/2017

1. (2,5) Considere uma máquina com arquitetura semelhante àquela apresentada em aula. Pode-se endereçar no máximo 8 M células de memória onde cada célula armazena uma palavra e cada instrução tem o tamanho de uma palavra. Todas as instruções desta máquina possuem o mesmo formato: um código de operação, que permite a existência de um valor máximo de 32 códigos, e dois operandos, que indicam um endereço de memória e um registrador. Existem 13 registradores.
 - a) Qual o tamanho mínimo do REM ? (0,3)
 - b) Qual o tamanho mínimo do CI ? (0,3)
 - c) Qual o tamanho do barramento de endereços ? (0,3)
 - d) Qual o tamanho mínimo do RI ? (0,5)
 - e) Qual a capacidade máxima da memória em bits ? (0,5)
 - f) Se a largura do barramento de dados desta máquina for igual à metade do tamanho de uma instrução, como funcionará o ciclo de busca ? (0,6)
2. (2,1) Considere a máquina apresentada na aula 4. Descreva detalhadamente (do mesmo modo que é apresentado na aula 4) como é realizada a execução das seguintes instruções:
 - a) STR 20
 - b) LDA 226
 - c) JP 410
3. (1,4) Escreva um programa que utilize as instruções de linguagem de montagem apresentadas na aula 4 para executar o seguinte procedimento. O conteúdo da memória cujo endereço é 300 é lido e verifica-se se o seu valor é 0. Caso seu valor seja 0, o conteúdo de memória cujo endereço é 350 é somado ao conteúdo de memória cujo endereço é 150 e o resultado é armazenado no endereço 200. Caso contrário, o conteúdo de memória cujo endereço é 350 é subtraído do conteúdo de memória cujo endereço é 150 e o resultado é armazenado no endereço 200. Além de apresentar seu programa escrito em linguagem de montagem, apresente também o programa traduzido para linguagem de máquina.
4. (1,0) Descreva e esquematize graficamente passo a passo as operações de leitura da memória e de escrita na memória, indicando como os registradores RDM e REM são utilizados e como a unidade de controle gera os sinais necessários.
5. (2,0) Considere uma máquina que possa endereçar 4 Gbytes de memória física, utilizando endereço referenciando byte, e que tenha a sua memória organizada em blocos de 512bytes. Ela possui uma memória cache que pode armazenar 256K blocos, sendo um bloco por linha. Mostre o formato da memória cache, indicando os campos necessários

(tag, bloco) e o número de bits para cada campo, e o formato de um endereço da memória principal, indicando os bits que referenciam os campos da cache, para os seguintes mapeamentos:

- a) Mapeamento direto.
- b) Mapeamento totalmente associativo.
- c) Mapeamento associativo por conjunto, onde cada conjunto possui quatro linhas, cada uma de um bloco.
- d) Em que linha, para cada um dos mapeamento dos itens anteriores, estaria contido o byte armazenado no seguinte endereço da MP: 01010101
00111001 00111001 01101110.

6. (1,0) Descreva como é organizada a hierarquia de memória, detalhando-a, no processador Intel Core I7