

Curso de Tecnologia em Sistemas de computação
Organização de Computadores
GABARITO DA AP1 - 2º semestre de 2017.

1. (2,0) Considere uma máquina que possa endereçar 1 Giga bytes de memória física, sendo que cada endereço referencia uma célula de 8 bytes. Ela possui uma memória cache que pode armazenar 1 Mega blocos, sendo um bloco por linha e cada bloco possui 1 célula. Mostre o formato da memória cache, indicando os campos necessários (tag, bloco) e o número de bits para cada campo, o formato de um endereço da memória principal, indicando os bits que referenciam os campos da cache, e a capacidade em bits que a memória cache deve possuir (pode deixar a conta indicada) para os seguintes mapeamentos:

a. Mapeamento direto.

Memória principal:

A máquina possui 1 Gbytes, como cada endereço referencia a uma célula de 8 byte, temos $N = 128M$ células

$B = \text{Total de blocos} = 128 \text{ Mcélulas} / 1 \text{ célula} = 128 \text{ M Blocos}$

Tamanho do endereço da MP (E) $\Rightarrow N = 2^E \Rightarrow 128 \text{ Mcélulas} = 2^{27} \Rightarrow E = 27 \text{ bits}$

Memória Cache

$Q = 1M \text{ blocos} (1 \text{ bloco por linha}) = 1M \text{ linhas}$

Campos do endereço:

Tag = $B / Q = 128 \text{ M Blocos} / 1M \text{ Blocos} = 128 \Rightarrow$ necessário 7 bits

Linha = total de linhas = $Q = 1M \text{ Blocos} \Rightarrow$ necessário 20 bits

Palavra = total de 1 \Rightarrow necessário 12 bits

Tag = 7 bits	No.linha = 20bits	Palavra = 0 bits
Endereço da MP = 27 bits		

b. Mapeamento totalmente associativo.

Memória principal:

A máquina possui 1 Gbytes, como cada endereço referencia a uma célula de 8 byte, temos $N = 128M$ células

$B = \text{Total de blocos} = 128 \text{ Mcélulas} / 1 \text{ célula} = 128 \text{ M Blocos}$

Tamanho do endereço da MP (E) $\Rightarrow N = 2^E \Rightarrow 128 \text{ Mcélulas} = 2^{27} \Rightarrow E = 27 \text{ bits}$

Memória Cache

$Q = 1M \text{ blocos} (1 \text{ bloco por linha}) = 1M \text{ linhas}$

Campos do endereço:

Tag = $B = 128 \text{ M Blocos} \Rightarrow$ necessário 27 bits

Palavra = total de 1 \Rightarrow necessário 0 bits

tag = 27 bits	Palavra = 0 bits
Endereço da MP = 27 bits	

2. (2,0) Um computador possui uma capacidade máxima de memória principal com 4 Giga células, cada uma capaz de armazenar uma palavra de 64 bits.

a. Qual é o maior endereço de palavra em decimal desta memória ?

Maior endereço: $N - 1 = 4G - 1 = 4.294.967.296 - 1 = 4.294.967.295$

b. Qual é o tamanho do barramento de endereços deste sistema ?

Tamanho do barramento = e

$e = \log_2 N = \log_2 4G \text{ células} = \log_2 2^{32} = 32 \text{ bits}$

Então, tamanho do barramento de endereços = 32 bits

c. Quantos bits podem ser armazenados no RDM e no REM ?

$REM = \text{barramento de endereços (BE)} = 32 \text{ bits}$

$RDM = \text{tamanho da palavra} = 64 \text{ bits}$

$CI = \text{quantidade de bits para endereçar toda a memória} = BE = 32 \text{ bits}$

d. Qual é o número máximo de bits que pode existir na memória ?

$T = N \times M \Rightarrow T = 4G \text{ células} \times 64 \text{ bits/célula} \Rightarrow T = 256 \text{ Gbits ou } 32 \text{ GBytes}$

3. (1,6) Considere as características de 4 barramentos síncronos relativas ao número de bits que são transmitidos em um ciclo de relógio e à frequência do relógio, conforme mostrado na tabela abaixo:

Tipo de barramento	Número de bits/ciclo	Frequência do relógio (MHz)
T1	48	800
T2	64	1200
T3	32	1000
T4	40	600

Indique, para cada um dos barramentos, a taxa de transferência em Gbytes/s.

Cálculo da taxa de transferência em cada barramento:

$T1 = 48 \text{ bits/ciclo} \times 800 \text{ MHz} = 6 \text{ bytes/ciclo} \times 800 \text{ MHz} = \mathbf{4,8 \text{ Gbytes/s}}$

$T2 = 64 \text{ bits/ciclo} \times 1200 \text{ MHz} = 8 \text{ bytes/ciclo} \times 1200 \text{ MHz} = \mathbf{9,6 \text{ Gbytes/s}}$

$T3 = 32 \text{ bits/ciclo} \times 1000 \text{ MHz} = 4 \text{ bytes/ciclo} \times 1000 \text{ MHz} = \mathbf{4 \text{ Gbytes/s}}$

$T4 = 40 \text{ bits/ciclo} \times 600 \text{ MHz} = 5 \text{ bytes/ciclo} \times 600 \text{ MHz} = \mathbf{3 \text{ Gbytes/s}}$

- 3) (2,0) Considere uma máquina que pode ter seu ciclo de busca e execução de uma instrução dividido em 5 estágios totalmente independentes: Busca (B), Decodificação/ Leitura de registradores (D), Operação da ULA (U), Acesso à memória de dados (M) e Escrita nos registradores (E). Cada um dos estágios B e M possui a duração de 6 ns e cada estágio D, U e E tem duração de 3 ns. Cada instrução desta máquina precisa executar os 5 estágios.

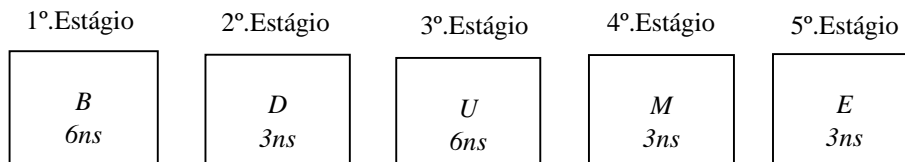
- a) (0,5) Uma implementação desta máquina foi realizada de modo que cada instrução deve ser completamente realizada em um único ciclo de relógio e uma instrução só começa a ser realizada após o término da anterior. Calcule a duração do ciclo de relógio que esta implementação deve possuir. Lembre-se que todas as instruções necessitam dos 5 estágios.

<i>B</i> <i>6ns</i>	<i>D</i> <i>3ns</i>	<i>U</i> <i>3ns</i>	<i>M</i> <i>6ns</i>	<i>E</i> <i>3ns</i>
------------------------	------------------------	------------------------	------------------------	------------------------

21 ns

O ciclo de relógio deverá ter o tempo é 21ns

- b) (0,5) Como cada estágio é independente um do outro, implementou-se uma **nova** arquitetura utilizando-se um pipeline de 5 estágios. Calcule a duração do ciclo de relógio que a implementação pipeline deve ter. Considere que qualquer estágio do pipeline deve poder ser realizado em um único ciclo de relógio.



*Ciclo de relógio será igual ao tempo para execução do estágio
com maior tempo de execução = **6ns***

- c) (1,0) Mostre o tempo em que um programa que contenha 250 instruções será executado pela **implementação do item a e do item b.**

*Seja T_{ex} = tempo de execução de uma instrução = número de estágios \times ciclo de relógio
(determinado nos itens anteriores)*

Para o item a (sem pipeline) :

$$T_{ex} = 1 \text{ estágio de } 21ns = 21ns$$

$$T_{total} = 250 \text{ instruções} \times T_{ex} = \underline{\underline{5250 \text{ ns}}}$$

Para o item b (pipeline: 5 estágios) :

$$T_{ex} = 5 \text{ estágios de } 6ns \text{ cada} = 30ns$$

$$T_{total} = T_{ex} + 249 \times \text{tempo de 1 estágio}$$

$$T_{total} = 30ns + 249 \times 6ns = \underline{\underline{1524 \text{ ns}}}$$

3. (2,4) Suponha que você deve projetar uma máquina com as seguintes especificações:

- Capaz de endereçar 16 G células de memória principal, sendo que cada célula armazena 16 bits.
- Deve possuir os registradores RDM (utilizado para enviar e receber dados para/de o barramento de dados), REM (utilizado para enviar endereços no barramento de endereços), CI (utilizado para indicar o endereço da instrução a ser lida da memória) e RI (utilizado para armazenar uma instrução).
- Cada instrução deve conter um código de operação, um operando e um registrador como mostrado abaixo:

Cód. Oper	Operando	Reg.
-----------	----------	------

onde Operando é um endereço da memória principal e Reg. é o identificador de um Registrador, sendo que a máquina possui 36 registradores.

- Deve poder ter um máximo de 180 códigos de operação diferentes.

- a) (0,3) Indique qual deve ser o tamanho mínimo em bits do REM

Memória com 16G células $\Rightarrow N = 16G \text{ células}$

tamanho mínimo do REM será o tamanho do barramento de endereços necessário

para endereçar toda a memória.

Barramento de endereços (BE) = $\log_2 N = \log_2 16G = 34 \text{ bits}$

REM = tamanho do BE = 34 bits

- b) (0,3) Indique qual deve ser o tamanho mínimo em bits do barramento de endereços.

tamanho do BE = 34 bits

- c) (0,6) Calcule o número de células que uma instrução necessita para ser armazenada.

Cada instrução = código de operação + 1 operando + 1 registrador

1o. operando = endereço de uma célula = 34 bits

registrador = para atender pelo menos 36 regs. são necessários 6 bits

(total de $2^6 =$ até 64 registradores)

cod.operação = tamanho necessário para 180 códigos diferentes = 8 bits

tamanho da instrução = $8 + 34 + 6 = 48 \text{ bits}$

Como cada célula possui 16bits, uma instrução ocupa 3 células.

- d) (0,6) Indique o **tamanho do RDM e do barramento de dados** de modo que a Unidade Central de Processamento obtenha uma instrução da memória principal realizando somente um acesso à memória principal.

RDM = barramento de dados = tamanho necessário para transferir uma instrução

RDM = barramento de dados = 48 bits (3 células).

- e) (0,6) Calcule a capacidade de armazenamento em bits dos registradores RI e CI, utilizando-se os valores calculados nos itens anteriores.

CI = tamanho necessário para endereçar toda a memória = 36 bits

RI = tamanho necessário para uma instrução = 48 bits