

**Disciplina: Organização de Computadores**  
**GABARITO DA AP1 2019-02**

1. (2,0) Suponha que você deve projetar uma máquina com as seguintes especificações:

- Capaz de endereçar 16 M células de memória principal, sendo que cada célula armazena 1 byte.
- Deve possuir os registradores RDM (utilizado para enviar e receber dados para/de o barramento de dados), REM (utilizado para enviar endereços no barramento de endereços), CI (utilizado para indicar o endereço da instrução a ser lida da memória) e RI (utilizado para armazenar uma instrução).
- Cada instrução deve conter um código de operação, um operando e um registrador como mostrado abaixo:

Cód. Oper	Operando	Reg.
-----------	----------	------

onde Operando é um endereço da memória principal e Reg. é o identificador de um Registrador, sendo que a máquina possui 8 registradores.

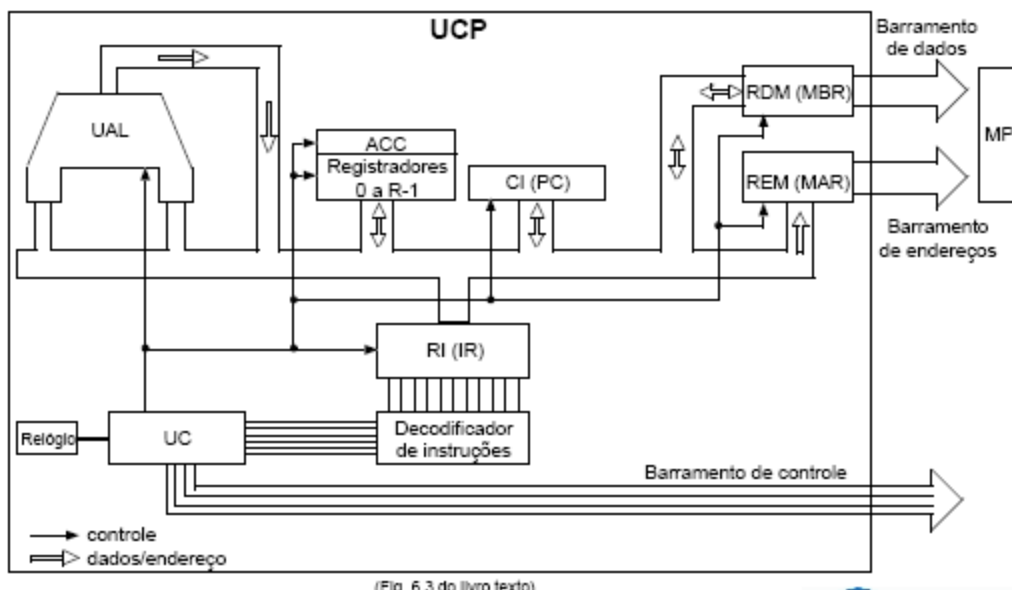
- Deve poder ter um máximo de 32 códigos de operação diferentes.
- a) (0,3) Indique qual deve ser o tamanho mínimo em bits do REM  
 $REM = \text{Barramento de endereços, este terá a capacidade de endereçar } 16M \text{ células} = N$   
 $N = 16M \text{ células} \Rightarrow N = 2^{24} \Rightarrow e = 24 \text{ bits}$   
 $REM = \text{barramento de endereços} = \mathbf{24 \text{ bits}}$
- b) (0,3) Indique qual deve ser o tamanho mínimo em bits do do barramento de endereços.  
 $\text{barramento de endereços} = REM = \mathbf{24 \text{ bits}}$
- c) (0,6) Calcule o número de células que uma instrução necessita para ser armazenada.  
 $\text{Cada instrução} = \text{codOper} + \text{Operando} + \text{Reg}$   
 $\text{CodOper deverá permitir } 32 \text{ códigos diferentes (instruções)} \Rightarrow \text{CodOper} = 5 \text{ bits}$   
 $\text{Operando corresponde a } 1 \text{ endereço de memória} = 24 \text{ bits}$   
 $\text{Reg} = \text{deverá ter o tamanho capaz de endereçar até } 8 \text{ registradores} \Rightarrow \text{Reg} = 3 \text{ bits}$   
 $\text{Instrução} = \text{codOper} + \text{Operando} + \text{Reg} = 5 + 24 + 3 = 32 \text{ bits}$   
 $\text{Como cada célula armazena } 1 \text{ byte, serão necessárias } 4 \text{ células para armazenar uma instrução}$
- d) (0,6) Indique o **tamanho do RDM e do barramento de dados** de modo que a Unidade Central de Processamento obtenha uma instrução da memória principal realizando somente um acesso à memória principal.  
 $RDM = \text{barramento de dados} = \text{tamanho necessário para transferir uma instrução}$   
 $RDM = \text{barramento de dados} = 32 \text{ bits } (4 \text{ células}).$
- e) (0,6) Calcule a capacidade de armazenamento em bits dos registradores RI e CI, utilizando-se os valores calculados nos itens anteriores.  
 $CI = \text{tamanho necessário para endereçar toda a memória} = 24 \text{ bits}$   
 $RI = \text{tamanho necessário para uma instrução} = 32 \text{ bits}$

2. (1,8) Explique como funcionam os barramentos síncronos e assíncronos.

*Nos barramentos que possuem operação síncrona, a ocorrência e duração de todos os eventos que acontecem nas diversas linhas do barramento são guiados por pulsos de um relógio. Existe uma linha no barramento por onde circulam os pulsos gerados pelo relógio e todos os acontecimentos nas linhas de barramento, como, por exemplo, envio de endereço e envio de sinal de leitura, tem sua inicialização e duração de ocorrência determinadas por estes pulsos.*

*Nos barramentos que operam de forma assíncrona, não existe um relógio sincronizador. Os eventos ocorrem no barramento de acordo com um protocolo de aperto de mão (handshaking). Cada evento no barramento não depende dos pulsos do relógio, mas sim de algum evento que deve ocorrer anteriormente a ele e que pode ter qualquer duração de tempo. .*

3. (1,8) Considere o sistema apresentado em aula mostrado na figura abaixo.



Descreva **detalhadamente** a execução do trecho de código abaixo, indicando como o Acumulador (ACC), RDM, REM, Unidade Aritmética Lógica (UAL) e Barramento de controle, de dados e de endereços são utilizados na execução de cada instrução.

Lembre-se que (i) na execução da instrução LDA Op. o conteúdo da memória cujo endereço é Op. deve ser armazenado no acumulador e (ii) na execução de STR Op. o conteúdo do acumulador deve ser armazenado na memória no endereço Op.

a) LDA 20

1.  $RI \leftarrow (CI)$ , ou seja, RI recebe a instrução lida
2.  $CI \leftarrow CI + 1$
3. Decodificação do código de operação
  - recebe os bits do código de operação
  - produz sinais para a execução da operação de leitura em memória
4. Busca do operando na memória
  - A UC emite sinais para que o valor do campo operando = 20 seja transferido para a REM
  - A UC emite sinais para que o valor contido no REM seja transferido para o barramento de endereços
  - A UC ativa a linha READ do barramento de controle
5. Conteúdo da posição da memória, conforme endereço contido no barramento de endereços (20), é transferido através do barramento de dados para o RDM
6. O conteúdo do RDM é transferido para o registrador acumulador ( $ACC \leftarrow RDM$ )

b) STR 10

1.  $RI \leftarrow (CI)$ , ou seja, RI recebe a instrução lida
2.  $CI \leftarrow CI + 1$ 
  - Decodificação do código de operação
  - Recebe os bits do código de operação
3. Produz sinais para a execução da operação de escrita.
4. Execução da operação
  - A UC emite sinais para que o valor do campo operando = 10 seja transferido para o REM
  - Conteúdo do Acumulador (ACC) é transferido para o RDM, ( $RDM \leftarrow ACC$ )
  - A UC ativa a linha WRITE do barramento de controle
  - O REM passa o conteúdo para o barramento de endereços
  - O RDM passa o conteúdo para o barramento de dados
5. A memória grava o dado recebido pelo barramento de dados no endereço enviado através do barramento de endereços

4. (2,0) Considere uma máquina que possa endereçar 256 Mbytes de memória física, utilizando endereço referenciando byte, e que tenha a sua memória organizada em blocos de 16 bytes. Ela possui uma memória cache que pode armazenar 4K blocos, sendo um bloco por linha. Mostre o formato da memória cache, indicando os campos necessários (tag, bloco) e o número de bits para cada campo, e o formato de um endereço da memória principal, indicando os bits que referenciam os campos da cache, para os seguintes mapeamentos:

## Memória Principal

⇒ Será organizada em blocos de 16 bytes. Como 1 célula = 1 byte, cada bloco = 16 células,  $K = 16$

$N = 256$  M células e  $K = 16$  células / blocos, o total de blocos da MP (B) será:

## Memória Cache

$\Rightarrow$  Tamanho da memória cache em blocos = 4K linhas que podem armazenar 4K blocos

## Memória principal

16 M blocos: B

## Organização da cache

*Para endereçarmos toda a MP precisamos de E bits*

Tamanho do endereço da MP = 28 bits

Corresponde a tag:  $\swarrow$   
 $tag = B / Q = 16M / 4K = 4K = 2^{12}$   
 campo tag = 12 bits

Corresponde ao endereço da célula no bloco:  
 $16 \text{ células por bloco} = 2^4$   
 Campo posição no bloco = 4 bits

b) Mapeamento totalmente associativo.

## Memória Principal

$$\Rightarrow N = 256 M \text{ células}$$

$\Rightarrow K = 16$  células por bloco

$$\Rightarrow B = 16 \text{ M blocos}$$

## Memória Cache

*OBS: O  $K$  (quantidade de células/bloco) tem de ser igual a MP.*

$\Rightarrow Q = 4K$  linhas ou  $4K$  blocos

$\Rightarrow$  *Tamanho da memória cache = 64K células*

## Memória principal

256 M células: N

16 M blocos: B

[illegible]

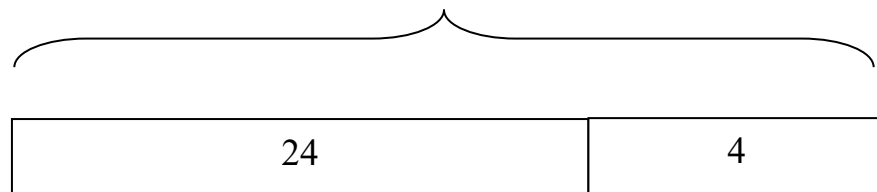
## Organização da cache

linha	tag	Conteúdo (bloco)
0	24 bits	16 células de 8 bits cada = 128bits
1		
2		
3		
4		
5		
.....		
Q - 2		
Q - 1		

Para endereçarmos toda a MP precisamos da seguinte quantidade de bits:  $E = 28$  bits

*Como o bloco pode ser alocado em qualquer posição da memória cache a tag indicará qual dos blocos da MP está alocado naquela posição da memória cachê*

*Tamanho do endereço da MP = 28 bits*



Corresponde ao bloco da MP:  
 $tag = B = 16M = 2^{24}$   
 campo tag = 24 bits

Corresponde ao endereço da célula no bloco:  
 $16 \text{ células por bloco} = 2^4$   
 Campo posição no bloco = 4 bits

5. (2,0) Explique os níveis que compõem a hierarquia de memória dos computadores atuais.

*O subsistema de memória é interligado de forma bem estruturada seguindo uma organização hierárquica. Podemos representar essa organização, conforme as características das memórias, na forma de uma pirâmide cujos níveis são descritos a seguir.*

*No topo da pirâmide temos os registradores, que são pequenas unidades de memória que armazenam dados dentro do núcleo da UCP. Os registradores são dispositivos de maior velocidade com tempo de acesso em torno de 1 ciclo de memória, possui a menor capacidade de armazenamento e também o menor tempo de armazenamento.*

*Em um nível abaixo temos a memória cache, cuja função é acelerar a velocidade de transferência das informações entre UCP e a memória principal (MP), aumentando, assim, o desempenho do sistema. A UCP procura informações primeiro na cache e caso não as encontre, estas serão transferidas da MP para a cache. A cache possui tempo de acesso menor que a da MP, embora seja superior aos dos registradores. A capacidade da cache é bem inferior à da MP, mas possui um tamanho capaz de armazenar uma apreciável quantidade de informações. O tempo de permanência do dado é menor do que o tempo de duração do programa a que pertence.*

*Abaixo da memória cache temos a memória básica de um sistema de computação, que é a memória principal (MP). A MP armazena e disponibiliza o programa (e seus dados) à UCP para que este, durante a execução, busque instrução a instrução. A MP é mais lenta que a cache e mais rápida que a memória secundária, possui capacidade bem superior à da cache e os dados ou instruções permanecem na MP enquanto durar a execução do programa.*

*Finalmente, na base da pirâmide temos a memória secundária (MS), memória auxiliar ou memória de massa, que fornece garantia de armazenamento permanente aos dados e programas dos usuários, mesmo com a perda de energia. Alguns dispositivos são ligados ao barramento de caráter permanente, como o disco rígido, e outros são conectados conforme a necessidade do usuário, como os cartões de memória, CD-ROMs e pen-drives. A MS é a memória mais lenta quando comparada às dos demais níveis, mas possui a maior capacidade de armazenamento.*