

AD1 - Organização de Computadores 2009.1

Data de entrega 28/03/2009 - GABARITO

1. (1,0) Considere a máquina apresentada na aula 4. Descreva detalhadamente (do mesmo modo que é apresentado na aula 4) como é realizada a execução das seguintes instruções:

a) STR 142

Passo 1: A CPU coloca no REM o valor do operando (Op), Sendo $Op = 142$

Passo 1.1: O conteúdo do REM é disponibilizado no barramento de endereço

Passo 2: A CPU coloca no RDM o conteúdo do registrador ACC

Passo 2.1: A CPU disponibiliza no barramento de dados o conteúdo do RDM

Passo 3: A CPU disponibiliza o sinal de escrita de memória no barramento de controle

Passo 4: A memória armazena o conteúdo do barramento de dados na posição que está contida no barramento de endereços $MP(Op) <- RDM$ ou $MP(142) <- RDM$

b) SUB 23

Passo 1: A CPU coloca no REM o valor do operando. Sendo $Op = 23$

Passo 1.1: O conteúdo do REM é disponibilizado no barramento de endereço

Passo 2: A CPU aciona pelo barramento de controle o sinal de leitura de memória

Passo 3: A memória coloca o valor no barramento de dados, e por consequência no RDM da CPU ($RDM <- MP(23)$)

Passo 4: A CPU subtrai o valor recebido do acumulador armazenando o resultado no acumulador; $ACC <- ACC - RDM$

c) JZ 254

Passo 1: A CPU compara o valor contido no ACC com 0(zero)

Passo 1.1: Caso seja verdadeiro a comparação: $CI <- Op$. Sendo $Op = 254$.

Será executada a instrução do endereço 254.

Passo 1.2: Caso seja falso a comparação: $CI <- CI + 1$.

Será executada a instrução do endereço seguinte

2. (1,0) Considere uma máquina com arquitetura semelhante àquela apresentada em aula. Pode-se endereçar no máximo 16 M células de memória, sendo que cada célula armazena uma instrução que tem tamanho fixo igual a 32 bits. Todas as instruções desta máquina possuem o mesmo formato: um código de operação e um operando que indica um endereço de célula de memória.

$$N = 16M \text{ células}$$

$$M = 32\text{bits}$$

- a) Calcule a capacidade mínima de endereçamento em bits do REM, considerando que os bits armazenados no REM são utilizados para endereçar uma célula de memória.

REM = E = tamanho em bits necessários para acessar toda a memória (N)

$$N = 2^E = 16M \text{ células} = 2^{24} \text{ células} \Rightarrow E = 24 \Rightarrow \text{REM} = 24 \text{ bits}$$

- b) Calcule a capacidade mínima de endereçamento em bits do CI (Contador de Instrução), considerando que os bits armazenados no CI são utilizados para endereçar uma instrução armazenada na memória.

O CI deverá ter o tamanho necessário para acessar toda a memória:

$$CI = REM = 24 \text{ bits}$$

- c) Calcule o número de bits que o barramento de endereços deve transmitir de uma vez.

$$\text{Barramento de endereços} = REM = 24 \text{ bits}$$

- d) Calcule o tamanho do RI (Registrador de Instruções).

$$\begin{aligned} \text{Tamanho mínimo de RI} &= \text{tamanho da instrução} = \text{tamanho da palavra} = \text{tamanho da célula} \\ \text{Tamanho mínimo de RI} &= 32 \text{ bits} \end{aligned}$$

- e) Calcule o número máximo de diferentes códigos de operação.

$$\begin{aligned} \text{Tamanho da instrução} &= 32 \text{ bits} \\ \text{Tamanho da instrução} &= \text{código de operação} + \text{operando (endereço de memória)} \\ \text{Código de operação} &= \text{Tamanho da instrução} - \text{operando} = 32 \text{ bits} - 24 \text{ bits} = 8 \text{ bits} \\ \text{Quantidade máxima de instruções} &= 2^8 = 256 \text{ instruções} \end{aligned}$$

- f) Calcule a capacidade máxima de armazenamento da memória deste sistema em bits.

$$\begin{aligned} T &= \text{capacidade em bits} \\ T &= N \times M = 16 \text{ Mcélulas} \times 32 \text{ bits/célula} = 512 \text{ Mbits} \end{aligned}$$

3. (1,0) Considere uma máquina cujo relógio possui uma frequência de 2 GHz e um programa no qual são executadas 1000 instruções desta máquina.

- a) Calcule o tempo de UCP utilizado para executar este programa, considerando que cada instrução é executada em dois ciclos de relógio e a execução de uma instrução só se inicia quando a execução da instrução anterior é finalizada.

$$\begin{aligned} 2 \text{ GHz} &= 2.000.000.000 \text{ Hz} \\ \text{Tempo de um ciclo de relógio} &= 1/2.000.000.000 = 0,000\ 000\ 000\ 5 \text{ seg ou } 0,5 \text{ ns} \\ &(\text{nanossegundos}) \\ \text{Tempo de execução de 1 instrução} &= 2 \text{ tempos de um ciclo de relógio} = 1 \text{ ns} \\ 1000 \text{ instruções } \underline{\text{executadas sequencialmente}} &= 1000 \times 1 \text{ ns} = 1000 \text{ ns ou } 1 \mu\text{s (para executar 1000 instruções)} \end{aligned}$$

- b) Considere que essa máquina utilize um pipeline de 6 estágios, todos de igual duração. Calcule o tempo máximo que o estágio deve durar para que o tempo de execução do programa seja menor do que o tempo calculado no item anterior.

$$\begin{aligned} \text{Tempo total para execução das 1000 instruções} &\text{deverá neste caso menor que } 1000 \text{ ns que foi o tempo do 1º caso} \\ \text{Consideremos } t &\text{ como sendo o tempo para execução de um estágio} \\ \text{Tempo para execução de uma instrução} &= 6 \text{ estágios} \times t = 6t \\ \text{Tempo para execução das demais em } \underline{\text{pipeline}} &= 999 \times t = 999t \\ \text{Tempo para execução das 1000 instruções} &= 6t (\text{primeira instrução}) + 999t (\text{para as demais}) = 1005t \end{aligned}$$

$$\begin{aligned} \text{O tempo total para execução do 2º Caso} &< \text{tempo total execução do 1º Caso} \Rightarrow \\ 1005t &< 1000 \text{ ns} \Rightarrow t < 1000/1005 \Rightarrow t < 0,995 \text{ ns ou } t_{\max} = 0,99499... \text{ ns (tempo para um estágio)} \end{aligned}$$

4. (1,0) IA-32 é uma arquitetura de processador especificada pela Intel que é a base de várias Unidades Centrais de Processamento (UCP) muito conhecidas atualmente, tal como o Pentium, por exemplo. Esta arquitetura especifica que a UCP deve possuir 8 registradores com capacidade de armazenamento de 32 bits. Os nomes dos registradores são: %eax, %ecx, %edx,

%ebx, %esi, %edi, %esp e %ebp. Esta arquitetura também especifica o conjunto de instruções de linguagem de montagem que a UCP deve processar. Na tabela abaixo, encontram-se algumas destas instruções:

| Instrução | Descrição |
|-----------|--|
| incl D | Incrementa de 1 o conteúdo do registrador D e armazena o resultado no registrador D |
| decl D | Decrementa de 1 o conteúdo do registrador D e armazena o resultado no registrador D |
| addl S,D | Soma o conteúdo do registrador D com o conteúdo do registrador S e armazena resultado no registrador D |
| subl S,D | Subtrai o conteúdo do registrador S do conteúdo do registrador D e armazena resultado no registrador D |

Considere que os registradores %eax, %ecx e %edx armazenem os seguintes conteúdos:

| Registrador | Conteúdo |
|-------------|----------|
| %eax | 5 |
| %ecx | -2 |
| %edx | 1 |

Considere que a seguinte sequência de instruções seja executada. Na tabela abaixo, identifique o registrador que será modificado no campo Destino e o seu novo valor no campo Valor após a execução de cada instrução.

| Instrução | Destino | Valor |
|----------------|-------------|-----------|
| addl %eax,%eax | %eax | 10 |
| incl %ecx | %ecx | -1 |
| decl %edx | %edx | 0 |
| subl %ecx,%edx | %edx | 1 |

5. (1,0) Explique o que é e como funciona o barramento WUSB (Wireless USB) (fonte de consulta recomendada: Clube do Hardware (<http://www.clubedohardware.com.br>)).

Texto e fotos retirados do site www.clubedohardware.com.br no dia 10/03/2009

O Wireless USB é a tecnologia que permite conectar periféricos tais como impressoras, discos rígidos externos, placas de som, tocadores de mídia e até mesmo monitores de vídeo ao micro sem a utilização de fios. Isto pode ser feito de duas formas. Se o micro e/ou o dispositivo não tiver suporte ao WUSB, você precisará instalar um adaptador para converter uma porta USB convencional em uma porta WUSB (conforme figura 1 abaixo). Se o micro e/ou o dispositivo já tiver suporte ao WUSB – ou seja, se eles já vierem com uma antena WUSB – nenhum dispositivo extra será necessário. Até 127 periféricos podem ser conectados usando uma única antena no micro.

A taxa de transferência máxima teórica do WUSB é a mesma do barramento USB 2.0: 480 Mbps (60 MB/s) se o dispositivo estiver em um raio de 3 metros de distância do micro ou 110 Mbps (13,75 MB/s) se o dispositivo estiver em um raio de 10 metros de distância do micro. Como você pode ver, quanto mais distante o dispositivo estiver do micro, menor será a sua taxa de transferência.

O Bluetooth é outra tecnologia que permite a conexão entre o micro e periféricos sem a necessidade da utilização de fios. Atualmente, no entanto, a tecnologia Bluetooth é voltada apenas para dispositivos de baixa velocidade, já que sua taxa de transferência máxima é de 1 Mbps (128 KB/s) ou 3 Mbps (384 MB/s), dependendo na geração do Bluetooth (1 e 2 com EDR, Enhanced Data Rate ou Taxa de Transferência de Dados Aprimorada, respectivamente). A próxima geração da tecnologia Bluetooth terá a mesma taxa de transferência do barramento WUSB, mas ela ainda não está disponível.

A rede sem fio USB funciona na faixa de frequência UWB (Ultra Wide Band ou Banda Ultra-Larga, que vai de 3,1 GHz a 10,6 GHz), enquanto que a tecnologia Bluetooth funciona na frequência de 2,4 GHz, a mesma usada pelas redes sem fio IEEE 802.11 (Wi-Fi).



Figura 1: Adaptador WUSB instalado em um notebook.

A mesma coisa vale para os periféricos USB; você precisa “transformá-los” em dispositivos WUSB usando um hub WUSB, igual ao da Figura 2 fabricado pela IOGEAR. O interessante do hub é que você pode conectar vários periféricos USB à mesma antena, dispensando assim a necessidade de comprar antenas adicionais para cada produto..



Figura 2: Hub WUSB.

O WUSB permite a você conectar seu micro ao monitor de vídeo sem o uso de fios. A ASUS anunciou um monitor LCD com suporte nativo à conectividade WUSB, como mostrado na Figura 3. Você pode conectar qualquer tipo de monitor usando um adaptador WUSB, mostrado na Figura 4.



Figura 3: Monitor LCD da ASUS com suporte nativo ao WUSB.



Figura 4: Adaptador permite que monitores de vídeo sejam conectados ao micro usando WUSB.

6. **(1,0) Descreva passo a passo as operações de leitura da memória e de escrita na memória, indicando como os registradores RDM e REM são utilizados e como a unidade de controle gera os sinais necessários.**

Passos de uma operação de escrita

- 1) (REM) <- (outro registrador)
 - 1.1) O endereço é colocado no barramento de endereços
- 2) (RDM) <- (outro registrador)
 - 2.1) O dado é colocado no barramento de dados
- 3) Sinal de escrita é colocado no barramento de controle
- 4) (MP(REM)) <- (RDM)

Passos de uma operação de leitura

- 1) (REM) <- (outro registrador da UCP)
 - 1.1) O endereço é colocado no barramento de endereços
- 2) Sinal de leitura é colocado no barramento de controle
 - 2.1) Decodificação do endereço e localização da célula na memória
- 3) (RDM) <- (MP(REM)) pelo barramento de dados
- 4) (outro registrador da UCP) <- (RDM)

7. **(1,0) Um computador possui uma capacidade máxima de memória principal com 64K células, cada uma capaz de armazenar uma palavra de 8 bits.**

1. Qual é o maior endereço em decimal desta memória ?

$$N = 64K \text{ células} = 2^{16}$$

$$\text{Último endereço} = N - 1 = 65536 - 1 = \mathbf{65535}$$

2. Qual é o tamanho do barramento de endereços deste sistema ?

$$\text{Barramento de endereços} = E$$

$$N = 2^E = 2^{16}, \text{ portanto } E = 16, \text{ Barramento de endereços} = \mathbf{16 \text{ bits}}$$

3. Quantos bits podem ser armazenados no RDM e no REM ?

$$\text{O REM terá que ter o tamanho do barramento de endereços} = 16 \text{ bits}$$

$$\text{CI terá o tamanho necessário para endereçar toda a memória} = 16 \text{ bits}$$

$$\text{RDM} = \text{tamanho da palavra} = 8 \text{ bits}$$

4. Qual é o número máximo de bits que pode existir na memória ?

$$T = \text{capacidade em bits}$$

$$T = N \times M = 64K \text{ células} \times 8 \text{ bits/célula} = \mathbf{512K \text{ bits}}$$

8) (1,0) Considere uma máquina que possa endereçar 512 Mbytes de memória física, utilizando endereço referenciando byte, e que tenha a sua memória organizada em blocos de 16 bytes. Ela possui uma memória cache que pode armazenar 8K blocos, sendo um bloco por linha. Mostre o formato da memória cache, indicando os campos necessários (válido, tag, bloco) e o número de bits para cada campo, e o formato de um endereço da memória principal, indicando os bits que referenciam os campos da cache, para os seguintes mapeamentos:

- Mapeamento direto.
- Mapeamento totalmente associativo.
- Mapeamento associativo por conjunto, onde cada conjunto possui quatro linhas, cada uma de um bloco.

a) Mapeamento direto.

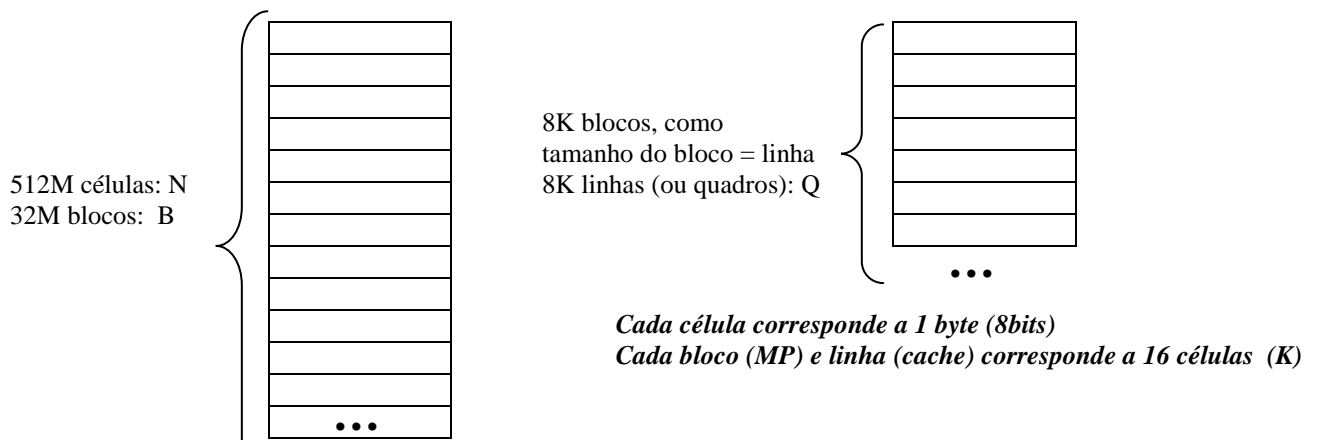
Memória Principal

- ⇒ Tamanho da memória (em bytes) = 512Mbytes, como 1 célula referencia a 1 byte, temos $N = 512M$ células
- ⇒ Será organizada em blocos de 16 bytes, como 1 célula = 1 byte, temos cada bloco = 16 células, $K = 16$
- ⇒ Sendo N o tamanho endereçável da memória e K que é a quantidade de células por blocos temos:
 $N = 512M$ células e $K = 16$ células / blocos o total de blocos da MP (B) será:
 Total de blocos: $B = N / K \Rightarrow B = 512M \text{ células} / 16 \text{ células/bloco} \Rightarrow B = 32 M \text{ blocos}$

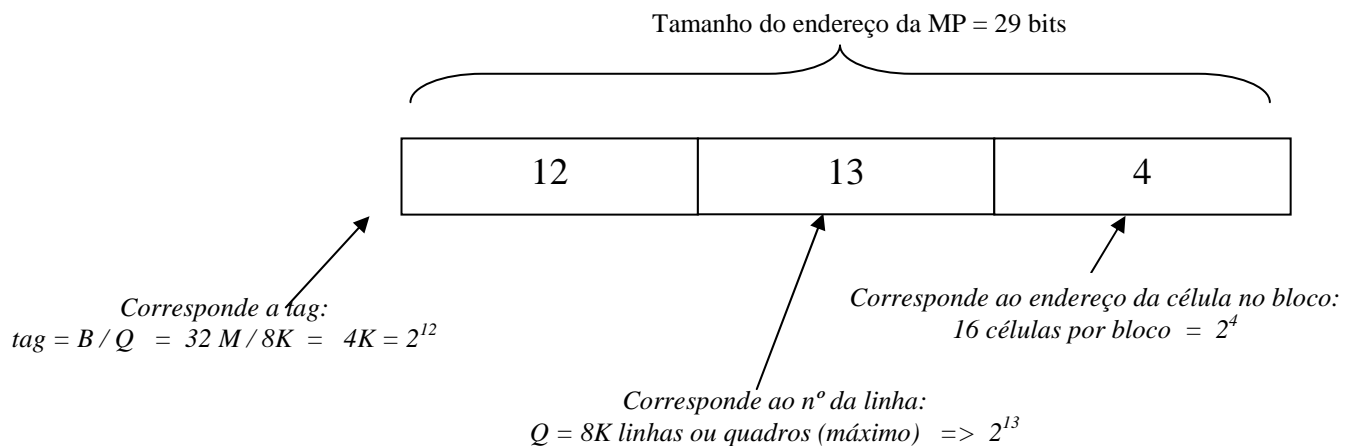
Memória Cache

OBS: O K (quantidade de células/bloco) tem de ser igual a MP.

- ⇒ Tamanho da memória cache (em blocos ou linhas) $\Rightarrow Q = 8K$ blocos
- ⇒ Tamanho da memória cachê em células = $Q \times K = 8K \text{ blocos} \times 16 \text{ células/blocos} = 128K$ células



Para endereçarmos toda a MP precisamos da seguinte quantidade de bits (E)
 sendo $N = 2^E \Rightarrow N = 512M \text{ células} \Rightarrow N = 2^{29} \Rightarrow E = 29 \text{ bits}$



b) Mapeamento totalmente associativo.

Memória Principal

=> $N = 512M$ células

=> $K = 16$ bytes por bloco

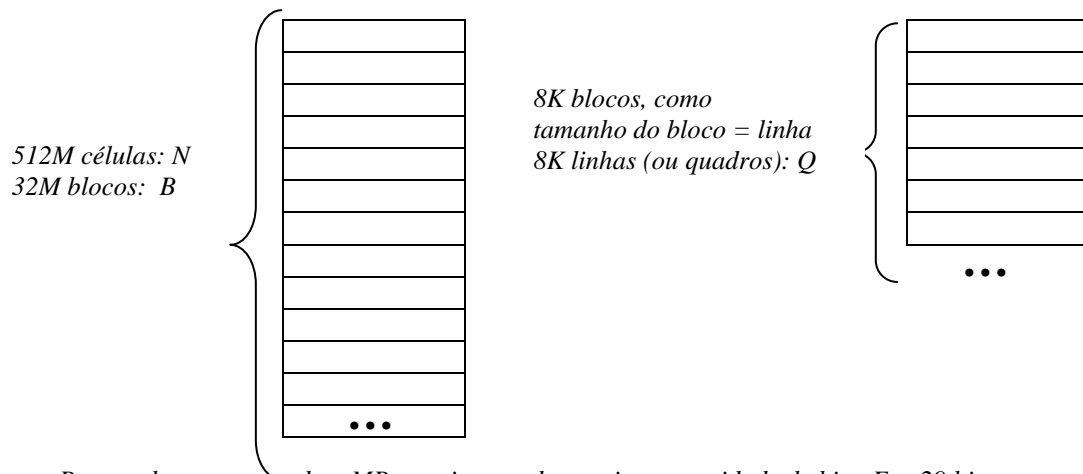
=> $B = 32M$ blocos

Memória Cache

OBS: O K (quantidade de células/bloco) tem de ser igual a MP.

=> $Q = 8K$ blocos

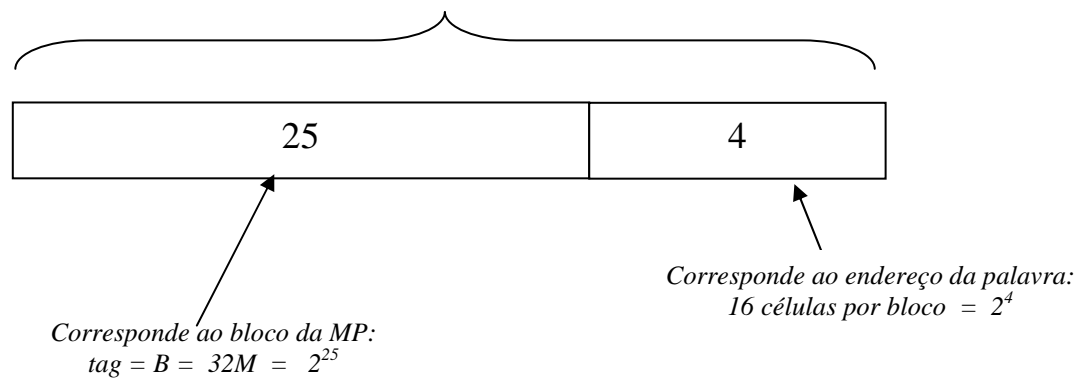
=> Tamanho da memória cache = $128K$ células



Para endereçarmos toda a MP precisamos da seguinte quantidade de bits: $E = 29$ bits

Como o bloco pode ser alocado em qualquer posição da memória cache a tag indicará qual dos blocos da MP está alocado naquela posição da memória cache

Tamanho do endereço da MP = 29 bits



c) **Mapeamento associativo por conjunto**, onde cada conjunto possui quatro linhas, cada uma de um bloco.

Memória Principal

=> $N = 512M$ células

=> $K = 16$

=> $B = 32M$ blocos

Memória Cache

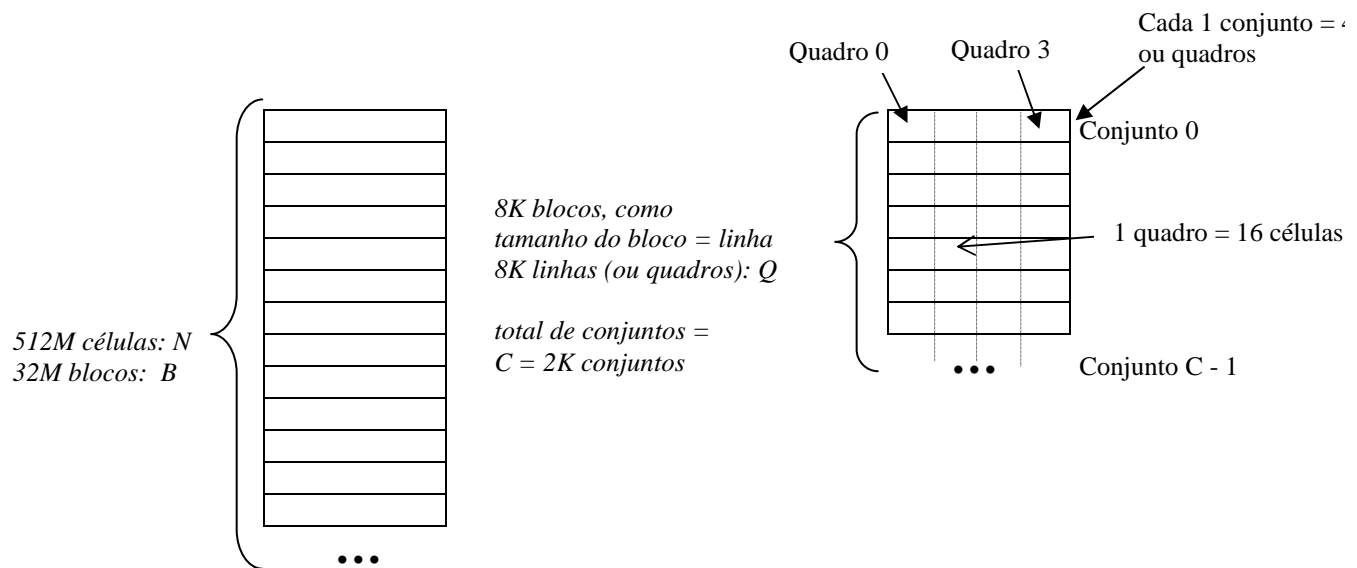
OBS: O K (quantidade de células/bloco) tem de ser igual a MP.

=> $Q = 8K$ blocos

=> Tamanho da memória cache = $128K$ células

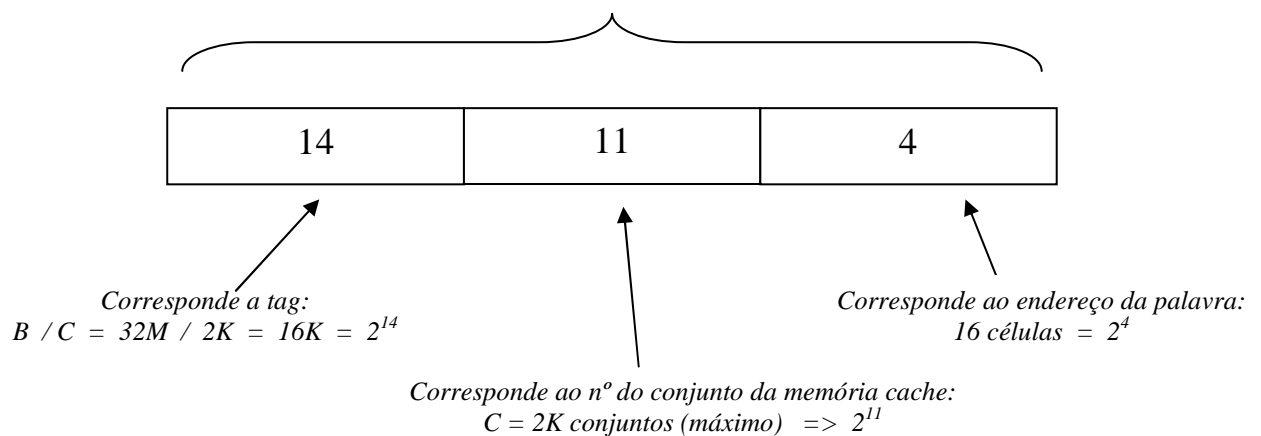
=> 1 conjunto = 4 linhas (ou quadros) =>

Total de conjuntos => $C = 8K \text{ blocos} / 4 \Rightarrow C = 2K \text{ conjuntos}$



Para endereçarmos toda a MP precisamos da seguinte quantidade de bits: $E = 29$ bits

Tamanho do endereço da MP = 29 bits



8. **(1,0) Faça uma pesquisa sobre o uso das memórias caches multiníveis em processadores multicore.**

O termo “Xeon” (pronuncia-se “zión”) foi incluído pela Intel aos seus processadores que são voltados para o mercado de servidores e estações de trabalho. Esses processadores reconhecem mais memória RAM, permitem trabalhar em ambiente multiprocessado (isto é, com placas-mãe com vários processadores instalados sobre ela) e possui um desempenho maior que os processadores voltados para o mercado doméstico.

ARQUITETURAS MULTICORE XEON COMERCIAIS:

=> **Xeon de 2 núcleos**

A tecnologia de dois núcleos traz dois processadores inteiros dentro de um mesmo invólucro. Como os processadores Xeon de núcleo duplo modelos 50xx, 70xx e 71xx têm a tecnologia HyperThreading – que simula a existência de dois processadores em cada núcleo – o sistema operacional reconhece cada processador Xeon de núcleo duplo como sendo quatro processadores. Assim, em um servidor com dois processadores Xeon de núcleo duplo, o sistema operacional reconhecerá oito processadores (quatro núcleos, dois por processador, e dois processadores lógicos por núcleo).

Os processadores Xeon de dois núcleos das séries 50xx, 70xx e 71xx são baseados na microarquitetura do Pentium 4 (NetBurst) e por isso possuem a tecnologia HyperThreading, que não está presente na microarquitetura Core.

Os processadores Xeon 31xx e 52xx, assim como os modelos 30xx, 51xx e 72xx, são baseados na microarquitetura Core. A principal diferença entre esses modelos é a tecnologia de fabricação. Enquanto os modelos 30xx, 51xx e 72xx usam o processo de fabricação de 65 nm, as séries 31xx e 52xx usam o novo processo de 45 nm.

Principais características dos Xeon das séries 50xx, 70xx e 71xx:

- Tecnologia de dois núcleos
- Mesma arquitetura interna no Pentium 4 (NetBurst)
- **Cache L1 de dados de 16 KB e cache de execução de 150 KB.**
- **Cache L2 de 2 ou 4 MB compartilhado**
- **Cache L3 interna de 4 MB, 8 MB ou 16 MB (somente nos modelos 71xx).**
- Suporte a multiprocessamento simétrico com até dois processadores por placa-mãe.

Principais características dos Xeon 30xx, 51xx e 72xx Microarquitetura Core

- Tecnologia de dois núcleos
- Microarquitetura Core
- Tecnologia de fabricação de 65 nm
- **Cache L1 dividido, sendo 32 KB para dados e 32 KB para instruções por núcleo**
- **Cache L2 de 4 MB compartilhado entre os núcleos**

Principais características dos Xeon 31xx e 52xx

- Tecnologia de dois núcleos
- Microarquitetura Core
- Tecnologia de fabricação de 45 nm
- **Cache L1 dividido, sendo 32 KB para dados e 32 KB para instruções por núcleo**
- **Cache L2 de 6 MB compartilhado**

=> **Xeon de 4 núcleos**

Os processadores Xeon Séries 33xx e 54xx, assim como os modelos 32xx, 53xx e 73xx, são baseados na microarquitetura Core, a mesma usada pelos processadores Core 2 Duo Enquanto os modelos 32xx,

53xx e 73xx usam o processo de fabricação de 65 nm, as séries 33xx e 54xx usam o novo processo de 45 nm..

Os quatro núcleos dos processadores Xeon 32xx, 53xx e 73xx bem como as séries 33xx e 54xx são obtidos a partir de duas pastilhas de dois núcleos cada, assim como ocorre com os modelos descritos na página anterior. Com isso, o cache L2 desses processadores não é compartilhado entre todos os seus núcleos: os núcleos 1 e 2 compartilham um mesmo cache L2, enquanto que os núcleos 3 e 4 compartilham um outro cache L2. O valor divulgado é o valor total (soma dos dois caches). Leia o nosso artigo *Visão Geral dos Futuros Processadores de Quatro Núcleos da Intel* para uma explicação mais detalhada sobre a arquitetura usada por estes processadores.

Principais características dos processadores Xeon das séries 32xx, 53xx e 73xx:

- *Microarquitetura Core*
- *Tecnologia de quatro núcleos*
- ***Tecnologia de fabricação de 65 nm***
- ***Cache L1 dividido, sendo 32 KB para dados e 32 KB para instruções por núcleo***
- ***Cache L2 de 4 MB, 6 MB ou 8 MB, dependendo do modelo, dividido em dois***

Principais características dos processadores Xeon 33xx e 54xx:

- *Microarquitetura Core*
- *Tecnologia de quatro núcleos*
- ***Tecnologia de fabricação de 45 nm***
- ***Cache L1 dividido, sendo 32 KB para dados e 32 KB para instruções por núcleo.***
- ***Cache L2 de 6 MB ou 12 MB dividido em dois***

9. (1,0) Explique em detalhes a organização hierárquica do subsistema de memória nos computadores atuais.

O subsistema de memória é interligado de forma bem estruturada e organizado hierarquicamente em uma pirâmide com os níveis descritos a seguir.

No topo da pirâmide teríamos os registradores, que são pequenas unidades de memória que armazenam dados na UCP. São dispositivos de maior velocidade com tempo de acesso em torno de 1 ciclo de memória, menor capacidade de armazenamento além de armazenar as informações por muito pouco tempo.

Em um nível abaixo teríamos a memória cache, cuja função é acelerar a velocidade de transferência das informações entre UCP e MP e, com isso, aumentar o desempenho do sistema. A UCP procura informações primeiro na Cache. Caso não as encontre, as mesmas são transferidas da MP para a Cache. A cache possui tempo de acesso menor que a da Memória principal, porém com capacidade inferior a esta, mas superior ao dos registradores e o suficiente para armazenar uma apreciável quantidade de informações, sendo o tempo de permanência do dado menor do que o tempo de duração do programa a que pertence.

Abaixo da memória cache teríamos a memória básica de um sistema de computação, que é a memória principal. Dispositivo onde o programa (e seus dados) que vai ser executado é armazenado para que a UCP busque instrução por instrução para executá-las. A MP são mais lentas que a cache e mais rápidas que a memória secundária, possui capacidade bem superior ao da cache e os dados ou instruções permanecem na MP enquanto durar a execução do programa.

Finalmente, na base da pirâmide teríamos a memória secundária, memória auxiliar ou memória de massa, que fornece garantia de armazenamento mais permanente aos dados e programas do usuário. Alguns dispositivos são diretamente ligados: disco rígido, outros são conectados quando necessário: disquetes, fitas de armazenamento, CD-ROM. São os mais lentos em comparação com os outros níveis de memória, mas possuem a maior capacidade de armazenamento e armazenam os dados de forma permanente.