Fundação CECIERJ - Vice Presidência de Educação Superior a Distância

Curso de Tecnologia em Sistemas de Computação
Disciplina: Organização de Computadores
Gabarito da AP3 1° semestre de 2014.

1. (3,5) Considere uma máquina com arquitetura semelhante à arquitetura vista no curso, que apresente as seguintes especificações:

   - Capaz de endereçar 16 M células de memória principal.
   - Deve possuir um registrador Acumulador, além do RDM (Registrador de Dados da Memória), REM (Registrador de Endereços da Memória), CI (Contador de Instrução) e RI (Registrador de Instrução).
   - O conjunto de instruções de linguagem de máquina deve ter 198 instruções.
   - Cada instrução deve conter um código de operação e um operando como mostrado abaixo, onde o operando indica um endereço de memória

Cód. Oper.	Operando

   a) (0,3) Calcule o tamanho mínimo em bits do REM e do barramento de endereços.

   Memória com 16Mcélulas => N = 16M células
   tamanho mínimo do REM será o tamanho do barramento de endereços necessário para endereçar toda a memória.
   Barramento de endereços (BE) = $\log_2 N = \log_2 16M = 24$ bits
   REM = tamanho do BE = 24 bits

   b) (0,3) Calcule o tamanho mínimo em bits que a instrução deve ter.

   Cada instrução = código de operação + 1 operando
   operando = endereço de uma célula = 24 bits
   cod.operação = tamanho mínimo para 198 códigos diferentes
   cod.operação = 8 bits (permite até 256 códigos diferentes)
   tamanho da instrução = 8 + 24 = 32bits

   c) (0,8) Para o valor calculado no item b, indique o tamanho em bits de cada célula da memória principal, o tamanho do RDM e o barramento de dados de modo que a Unidade Central de Processamento obtenha uma instrução da memória principal realizando somente um acesso à memória principal.

   Para transferir uma instrução em apenas um acesso à memória principal, o tamanho do barramento de dados deverá ter o tamanho da instrução = 32 bits
   RDM = barramento de dados = 32 bits.
   Transferindo uma célula a cada a acesso à MP, esta deverá ter o tamanho da instrução = 32bits

d) (0,6) Calcule o tamanho de RI e CI utilizando-se os valores calculados nos itens anteriores.

CI = tamanho necessário para endereçar toda a memória = 24 bits
RI = tamanho necessário para uma instrução = 32 bits

e) (0.3) Calcule a capacidade de armazenamento, em bits, da memória desta máquina.

Total de bits = T
T = N x M => T = 16Mcélulas x 32 bits/célula => T = 512 Mbits ou 64Mbytes

f) (0,6) Descreva detalhadamente a execução da instrução **LDA Op.** nesta máquina. A instrução **LDA Op.** carrega o acumulador com o conteúdo da célula de memória cujo endereço é Op.

Passo 1: A CPU coloca no REM o valor do operando (REM ← Op) , e é disponibilizado no barramento de endereço
Passo 2: A CPU aciona pelo barramento de controle o sinal de leitura de memória
Passo 3: A memória coloca o valor no barramento de dados, correspondente ao endereço contido no barramento de endereços, a seguir chega no RDM da CPU (RDM ← MP(Op))
Passo 4: O valor armazenado no RDM é transferido para o Acumulador ACC ← RDM (ou ACC ← MP(Op))
Passo 5: CI é incrementado (CI← CI+1) para apontar para a próxima instrução a ser lida.

g) (0,6) Descreva detalhadamente a execução da instrução **STR Op.** nesta máquina. A instrução **STR Op.** armazena o conteúdo do acumulador na célula de memória cujo endereço é Op.

Passo 1: A CPU coloca no REM o valor do operando (REM ← Op) , e é disponibilizado no barramento de endereço
Passo 2: A CPU coloca no RDM o conteúdo do acumulador (RDM ← ACM) , e é disponibilizado no barramento de dados
Passo 3: A CPU aciona pelo barramento de controle o sinal de escrita em memória
Passo 4: A memória armazena o conteúdo do barramento de dados no endereço contido no barramento de endereços (MP(Op) ← RDM)
Passo 5: CI é incrementado (CI← CI+1) para apontar para a próxima instrução a ser lida.

2. (1,5) Considere uma máquina que utiliza 32 bits para representar números em ponto fixo e em ponto flutuante.

a) (0,8) Mostre a representação de -53,125 utilizando-se a representação ponto flutuante precisão simples IEEE 754 (1 bit de sinal, 8 bits para expoente em excesso de 127, 23 bits para mantissa)

$(-53,125)_{10} = (-110101,001)_2 = (-1,10101001 \times 2^{+2})_2$
Sinal = 1 = negativo
Expoente = +2 (excesso de 127) = +2 + 127 = 129 $(10000001)_2$
Mantissa = , 10101001

Na representação: 1 10000001 10101001000000000000000
ou : 11000000 11010100 10000000 00000000

b) (0,7) Para o conjunto de bits obtido no item anterior, indique o que ele representa na base 10, considerando-se as seguintes representações: **(Não precisa fazer as contas, deixe-as indicadas)**:

$(11000000\ 11010100\ 10000000\ 00000000)_2$

i. (0,3) um inteiro sem signal

$2^{31} + 2^{30} + 2^{23} + 2^{22} + 2^{20} + 2^{18} + 2^{15} = 3.235.151.872$

ii. (0,4) um inteiro utilizando-se a representação em complemento a 2

$- 2^{31} + (2^{30} + 2^{23} + 2^{22} + 2^{20} + 2^{18} + 2^{15}) = -1.059.815.424$

3.(2,5) Considere uma máquina que possa endereçar 256 Mbytes de memória física, utilizando endereço referenciando byte, e que tenha a sua memória organizada em blocos de 16 bytes. Ela possui uma memória cache que pode armazenar 4K blocos, sendo um bloco por linha. Mostre o formato da memória cache, indicando os campos necessários (tag, bloco) e o número de bits para cada campo, e o formato de um endereço da memória principal, indicando os bits que referenciam os campos da cache, para os seguintes mapeamentos:

a) Mapeamento direto.

Memória principal:
A máquina permite endereçar 256 Mbytes, como endereço referenciado a byte, temos N = 256 Mcélulas
B = Total de blocos = 256 Mbytes / 16 bytes/bloco = 16 Mblocos
Tamanho do endereço da MP (E) => $N = 2^E$ => *256 Mcélulas =* 2^{28} => *E = 28 bits*
Memória Cache
Q = 4K blocos (1 bloco por linha) = 4 K linhas

Campos do endereço:
***Tag** = B / Q = 16 Mblocos / 4 Klinhas = 4K => necessário 12 bits*
***Linha** = total de linhas = Q = 4K => necessário 12 bits*
***Palavra** = total de 16 => necessário 4 bits*

Tag = 12 bits	*No.linha = 12bits*	*Palavra = 4 bits*

Endereço da MP = 28 bits

b) Mapeamento totalmente associativo.

Memória principal:
A máquina permite endereçar 256 Mbytes, como endereço referenciado a byte, temos N = 256 Mcélulas
B = Total de blocos = 256 Mbytes / 16bytes/bloco = 16 Mblocos
Tamanho do endereço da MP (E) => $N = 2^E$ => *256 Mcélulas =* 2^{28} => *E = 28 bits*
Memória Cache
Q = 4 K blocos (1 bloco por linha) = 4 K linhas

Campos do endereço:
Tag = B = 16 Mblocos => necessário 24 bits
Palavra = total de 16 => necessário 4 bits

tag = 24 bits	*Palavra = 4 bits*

Endereço da MP = 28 bits

4.(2,5) Considerando os diversos tipos de endereçamentos de instruções:

a) Projete um mecanismo de endereçamento que permita que um conjunto arbitrário de 64 endereços, não necessariamente contíguos, em um grande espaço de endereçamento, seja especificável em um campo de 6 bits.

A solução será a utilização do endereçamento por registrador base mais deslocamento. Por exemplo, teríamos 2 bits para especificar um registrador e 4 bits para especificar um deslocamento. Poderíamos, assim, usar 4 registradores, cada um com até 16 deslocamentos possíveis, fornecendo 64 endereços diferentes.

b) Analise os modos de endereçamento direto e indireto, estabelecendo diferenças de desempenho, vantagens e desvantagens de cada um.

Direto: O campo operando contém o endereço do dado / Vantagem: Flexibilidade no acesso a variáveis de valor diferente em cada execução do programa / Desvantagem: Perda de tempo, se o dado é uma constante / Requer apenas um acesso à memória principal. Mais rápido que o modo indireto

Indireto: O campo de operando contém o endereço do dado / Vantagem: Manuseio de vetores (quando o modo indexado não está disponível). Usar como "ponteiro" / Desvantagem: Muitos acesso à MP para execução / Requer 2 acessos à memória principal.