



Fundação CECIERJ - Vice Presidência de Educação Superior a Distância

Curso de Tecnologia em Sistemas de Computação

Disciplina: Organização de Computadores

AP1 1º semestre de 2008.

Nome –

Assinatura –

Observações:

1. Prova sem consulta e sem uso de máquina de calcular.
 2. Use caneta para preencher o seu nome e assinar nas folhas de questões e nas folhas de respostas.
 3. Você pode usar lápis para responder as questões.
 4. Ao final da prova devolva as folhas de questões e as de respostas.
 5. Todas as respostas devem ser transcritas nas folhas de respostas. As respostas nas folhas de questões não serão corrigidas.
-

1. (1,0) Explique a função de cada um dos seguintes barramentos vistos em aula: barramento de dados, barramento de endereços e barramento de controle.

Barramento de dados: constitui-se de um conjunto de linhas que permite o transporte de um grupo de bits que correspondem a uma informação a ser transferida entre CPU, memória e/ou interfaces de E/S;

Barramento de endereços: Conjunto de linhas que transporta a partir da CPU um conjunto de bits para identificação da posição de memória a ser lida/escrita ou endereço de dispositivo de E/S

Barramento de controle: transporta sinais específicos da programação do sistema, sinais estes como: Leitura/Escrita em memória, Leitura/Escrita em E/S, Pedido de interrupção, Clock, entre outros..

2. (2,0) Suponha que você deve projetar uma máquina com as seguintes especificações:

- Capaz de endereçar 256 M células de memória principal, sendo que cada célula armazena 2 bytes.
- Deve possuir os registradores RDM (utilizado para enviar e receber dados para/de o barramento de dados), REM (utilizado para enviar endereços no barramento de endereços), CI (utilizado para indicar o endereço da instrução a ser lida da memória) e RI (utilizado para armazenar uma instrução).

- Cada instrução deve conter um código de operação e um operando como mostrado abaixo:

Cód. Oper	Operando
-----------	----------

onde Operando é um endereço da memória principal.

- Deve poder ter um máximo de 16 códigos de operação diferentes.

a) (0,2) Indique qual deve ser o tamanho mínimo em bits do REM

O barramento de endereços deverá endereçar 256M células = N

REM = Barramento de endereços = E, sendo $N = 256M \Rightarrow N = 2^{28} \Rightarrow E = 28$

REM = 28 bits

b) (0,2) Indique qual deve ser o tamanho mínimo em bits do barramento de endereços.

Barramento de endereços = REM = 28 bits

c) (0,4) Calcule o número de células que uma instrução necessita para ser armazenada.

Tendo 16 código de operações (2^4 instruções), temos o código de operação = 4bits

Tamanho da instrução: cód. Operação + operando (endereço) = tamanho necessário

Tamanho da instrução = 4bits + 28bits = tamanho necessário para armazenamento

Tamanho de instrução = 32 bits.

Como cada célula = 2 bytes = 16 bits, portanto precisaremos de 2 células para armazenamento de 1 instrução.

d) (0,6) Indique o **tamanho do RDM e do barramento de dados** de modo que a Unidade Central de Processamento obtenha uma instrução da memória principal realizando somente um acesso à memória principal.

Para que seja transmitida uma instrução (32 bits) apenas em um acesso a memória principal será necessário um barramento de 32 bits. Como o RDM = barramento de dados, teremos então RDM= 32 bits.

e) (0,6) Calcule a capacidade de armazenamento em bits dos registradores RI e CI, utilizando-se os valores calculados nos itens anteriores.

RI terá que ter o tamanho necessário para armazenamento de uma instrução = 32bits

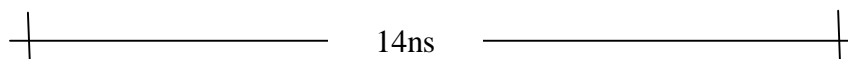
CI = tamanho necessário para endereçar o tamanho da memória = 28bits

3. (2,0) Considere uma máquina que pode ter seu ciclo de busca e execução de uma instrução dividido em 5 estágios totalmente independentes: Busca (BI), Decodificação (DE), Execução (EX), Leitura de Dados (LD) e Escrita de Resultado (ER). Cada um dos estágios BI e ER possui a duração de 4 ns e cada estágio DE, EX e LD tem duração de 2 ns. Cada instrução desta máquina precisa executar os 5 estágios.

a) (0,5) Uma implementação desta máquina foi realizada de modo que cada instrução deve ser completamente realizada em um único ciclo de relógio e uma instrução só começa a ser

realizada após o término da anterior. Calcule a duração do ciclo de relógio que esta implementação deve possuir. Lembre-se que todas as instruções necessitam dos 5 estágios.

BI 4ns	DE 2ns	EX 2ns	LD 2ns	ER 4ns
-----------	-----------	-----------	-----------	-----------



Ciclo de relógio para execução de uma instrução (sem pipeline) =
 $4ns + 2ns + 2ns + 2ns + 4ns = 14ns$

- b) (0,5) Como cada estágio é independente um do outro, implementou-se uma **nova** arquitetura utilizando-se um pipeline de 5 estágios. Calcule a duração do ciclo de relógio que a implementação pipeline deve ter. Considere que qualquer estágio do pipeline deve poder ser realizado em um único ciclo de relógio.

1º. estágio	2º. estágio	3º. estágio	4º. estágio	5º. estágio
BI 4ns	DE 2ns	EX 2ns	LD 2ns	ER 4ns

Ciclo de relógio será igual ao tempo para execução do estágio de maior tempo de execução = 4ns.

- c) (1,0) Mostre o tempo em que um programa que contenha 10 instruções será executado pela **implementação do item a e do item b**. Considere que estas 10 instruções podem ser executadas em fluxo constante.

Seja T_{ex} = tempo de execução de uma instrução = número de estágios x ciclo de relógio
 (determinado nos itens anteriores)

Para o item a (sem pipeline) :

$$T_{ex} = 1 \text{ estágio} \times 14ns = 14ns$$

$$T_{total} = 10 \text{ instruções} \times T_{ex} = \underline{140ns}$$

Para o item b (pipeline: 5 estágios) :

$$T_{ex} = 5 \text{ estágios} \times 4ns = 20ns$$

$$T_{total} = T_{ex} + 9 \times (\text{tempo de 1 estágio})$$

$$T_{total} = 20ns + 9 \times 4ns = \underline{56ns}$$

4. (1,0) Explique as 2 maneiras de implementação de uma unidade de controle: por hardware e microprogramada.

A unidade de controle por hardware: constituída de um circuito combinatório. Seus sinais lógicos de entrada são transformados em um conjunto de sinais lógicos de saída, que constituem os sinais de controle.

A unidade de controle microprogramada é aquela em que a lógica da unidade de controle é especificada por um microprograma. O projeto desta unidade visa executar uma sequência de microinstruções (ou conjunto de microoperações) e gerar sinais de controle para os componentes da UCP para a execução de cada microinstrução.

5. (2,0) Considere uma máquina que possa endereçar 512 Mbytes de memória física, utilizando endereço referenciando byte, e que tenha a sua memória organizada em blocos de 16 bytes. Ela possui uma memória cache que pode armazenar 4K blocos, sendo um bloco por linha (ou quadro). Mostre o formato da memória cache, indicando os campos necessários (tag, bloco) e o número de bits para cada campo, e o formato de um endereço da memória principal, indicando os bits que referenciam os campos da cache, para os seguintes mapeamentos:

a) Mapeamento direto.

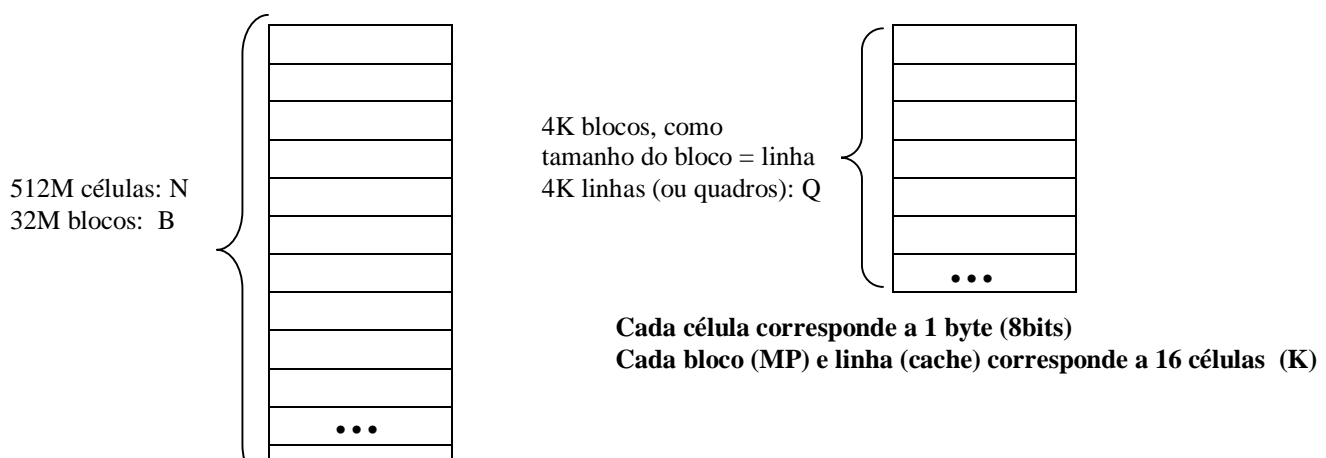
Memória Principal

- ⇒ Tamanho da memória (em bytes) = 512Mbytes, como 1 célula referencia a 1 byte, temos $N = 512M$ células
- ⇒ Será organizada em blocos de 16 bytes, como 1 célula = 1 byte, temos cada bloco = 16 células, $K = 16$
- ⇒ Sendo N o tamanho endereçável da memória e K que é a quantidade de células por blocos temos:
 $N = 512M$ células e $K = 16$ células / blocos o total de blocos da MP (B) será:
Total de blocos: $B = N / K \Rightarrow B = 512M \text{ células} / 16 \text{ células/bloco} \Rightarrow B = 32 M \text{ blocos}$

Memória Cache

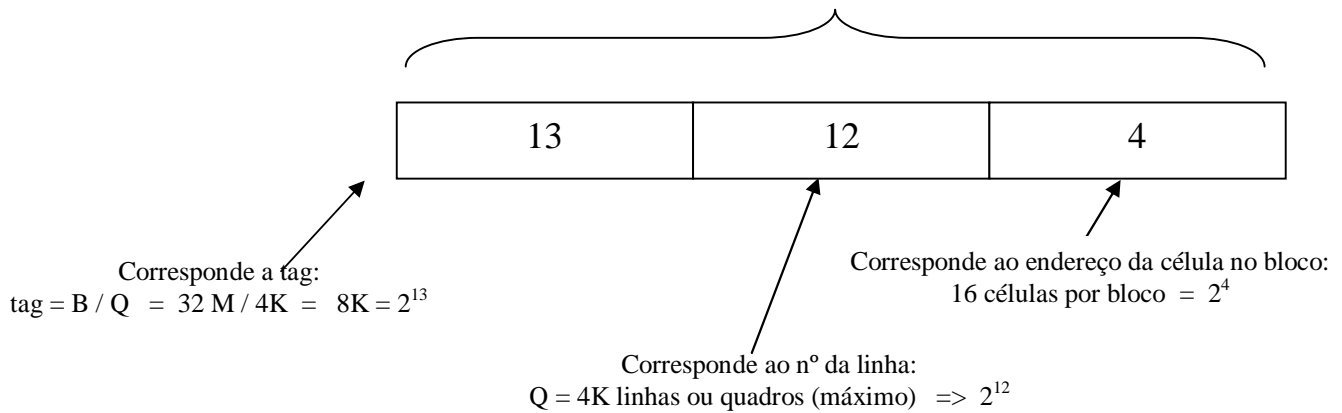
OBS: O K (quantidade de células/bloco) tem de ser igual a MP.

- ⇒ Tamanho da memória cache (em blocos ou linhas) $\Rightarrow Q = 4K$ blocos
- ⇒ Tamanho da memória cachê em células = $Q \times K = 4K \text{ blocos} \times 16 \text{ células/blocos} = 64K \text{ células}$



Para endereçarmos toda a MP precisamos da seguinte quantidade de bits (E)
sendo $N = 2^E \Rightarrow N = 512M \text{ células} \Rightarrow N = 2^{29} \Rightarrow E = 29 \text{ bits}$

Tamanho do endereço da MP = 29 bits



b) Mapeamento totalmente associativo.

Memória Principal

$\Rightarrow N = 512\text{M}$ células

$\Rightarrow K = 16$

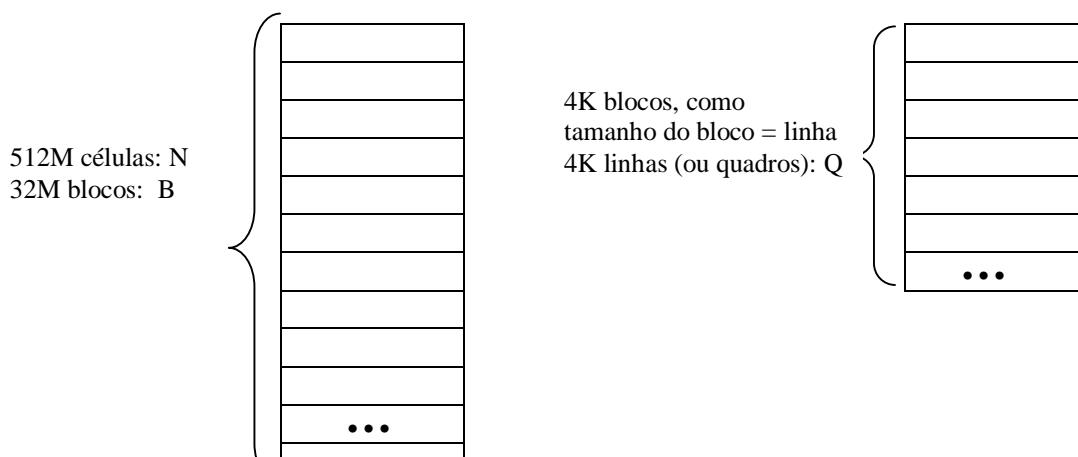
$\Rightarrow B = 32 \text{ M}$ blocos

Memória Cache

OBS: O K (quantidade de células/bloco) tem de ser igual a MP.

$\Rightarrow Q = 4\text{K}$ blocos

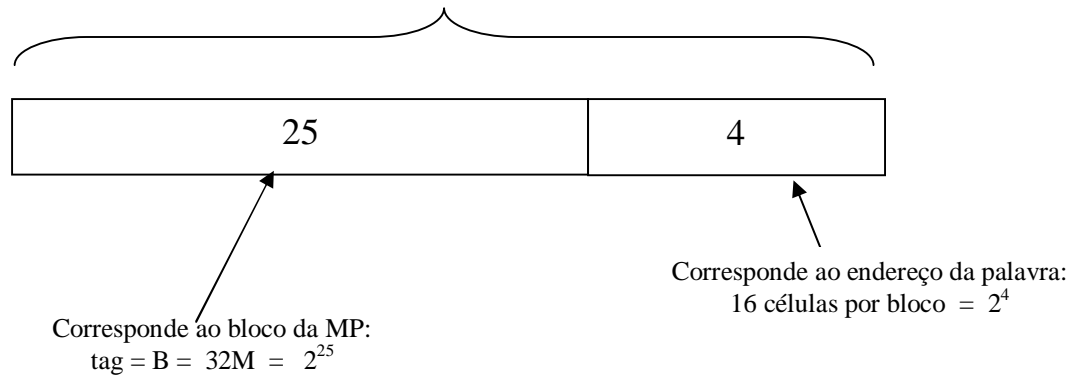
\Rightarrow Tamanho da memória cache $= 64\text{K}$ células



Para endereçarmos toda a MP precisamos da seguinte quantidade de bits: $E = 29$ bits

Como o bloco pode ser alocado em qualquer posição da memória cache a tag indicará qual dos blocos da MP está alocado naquela posição da memória cache:

Tamanho do endereço da MP = 29 bits



c) Mapeamento associativo por conjunto, onde cada conjunto possui duas linhas, cada uma de um bloco.

Memória Principal

=> $N = 512\text{M}$ células

=> $K = 16$

=> $B = 32\text{M}$ blocos

Memória Cache

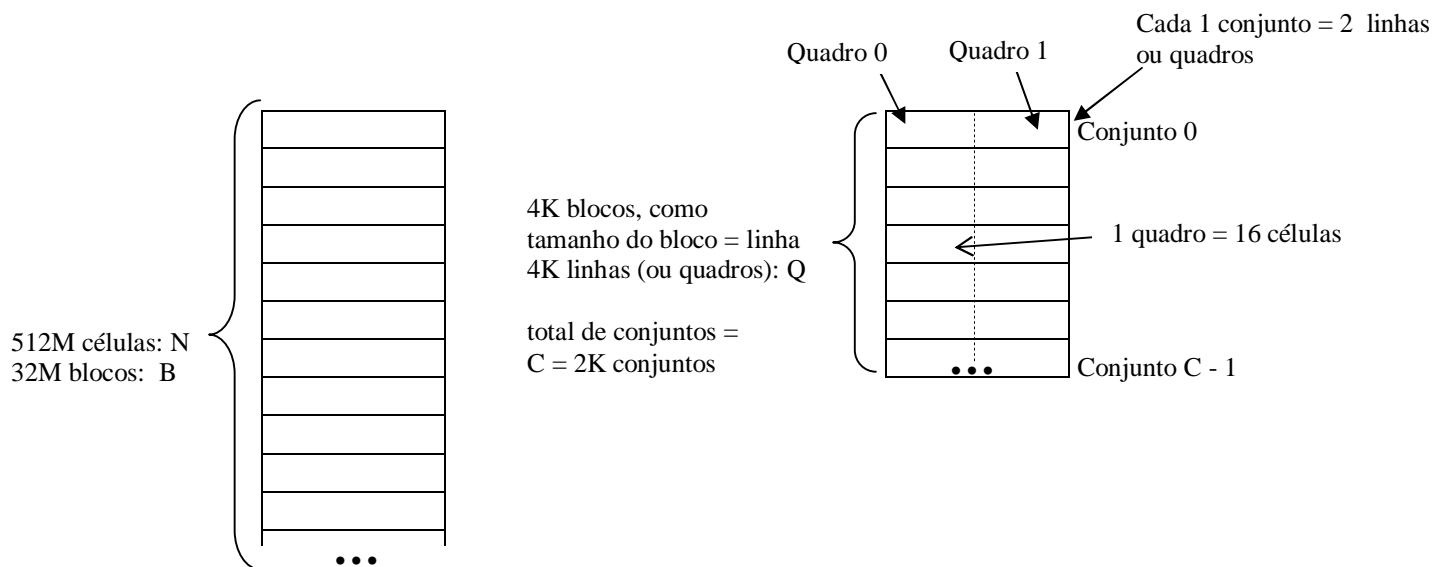
OBS: O K (quantidade de células/bloco) tem de ser igual a MP.

=> $Q = 4\text{K}$ blocos

=> Tamanho da memória cache = 64K células

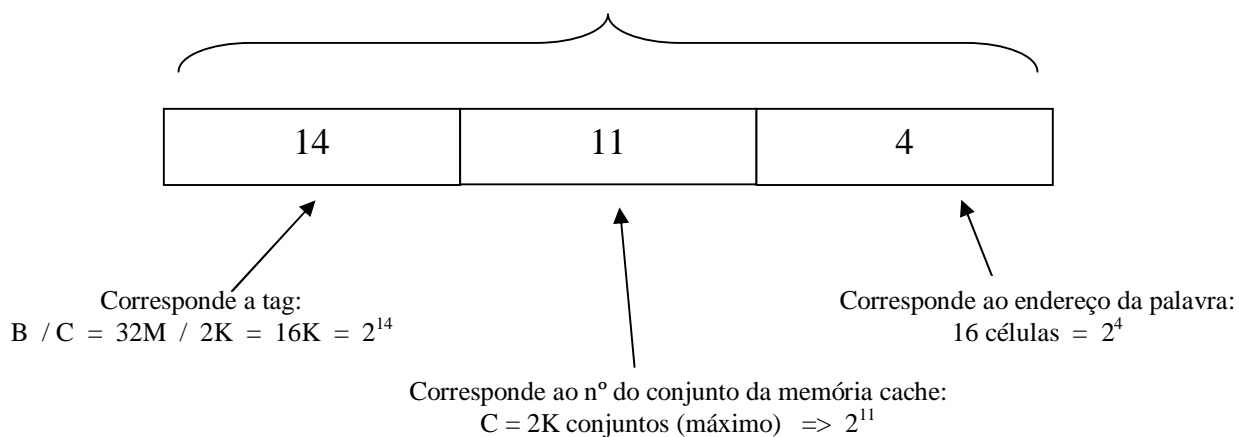
=> 1 conjunto = 4 linhas (ou quadros) =>

Total de conjuntos => $C = 4\text{K} \text{ blocos} / 2 \Rightarrow C = 2\text{K} \text{ conjuntos}$



Para endereçarmos toda a MP precisamos da seguinte quantidade de bits: $E = 29$ bits

Tamanho do endereço da MP = 29 bits



6. (2,0) Descreva os diversos tipos de memória que compõem a hierarquia de memória.

As diversas memórias são descritas a seguir:.

No topo da hierarquia, temos os registradores, que são pequenas unidades de memória que armazenam dados na UCP. São dispositivos de maior velocidade e com a menor capacidade.

Em um nível abaixo teríamos a memória cache, cuja função é acelerar a velocidade de transferência das informações entre UCP e MP e, com isso, aumentar o desempenho do sistema. A UCP procura informações primeiro na Cache. Caso não as encontre, as mesmas são transferidas da MP para a Cache. Possuem menor velocidade que os registradores mas com capacidade superior a estes.

Abaixo da memória cache teríamos a memória básica de um sistema de computação, que é a memória principal. Dispositivo onde o programa (e seus dados) que vai ser executado é armazenado para que a UCP busque instrução por instrução para executá-las.

Finalmente, na base da hierarquia da memória teríamos a memória secundária, memória auxiliar ou memória de massa, que fornece garantia de armazenamento mais permanente aos dados e programas do usuário. Alguns dispositivos são diretamente ligados: disco rígido, outros são conectados quando necessário: disquetes, fitas de armazenamento, CD-ROM.