



Fundação CECIERJ - Vice Presidência de Educação Superior a Distância

Curso de Tecnologia em Sistemas de Computação

Disciplina: Organização de Computadores AP1

1º semestre de 2017.

Nome –

Assinatura –

Observações:

1. Prova sem consulta e sem uso de máquina de calcular.
 2. Use caneta para preencher o seu nome e assinar nas folhas de questões e nas folhas de respostas.
 3. Você pode usar lápis para responder as questões.
 4. Ao final da prova devolva as folhas de questões e as de respostas.
 5. Todas as respostas devem ser transcritas nas folhas de respostas. As respostas nas folhas de questões não serão corrigidas.
 6. Respostas sem desenvolvimento ou justificativas não serão consideradas
-

1. (3,5) Suponha que você deve projetar uma máquina com as seguintes especificações:

- Capaz de endereçar 16 M células de memória principal, sendo que cada célula armazena 4 bytes.
- Deve possuir os registradores RDM (utilizado para enviar e receber dados para/de o barramento de dados), REM (utilizado para enviar endereços no barramento de endereços), CI (utilizado para indicar o endereço da instrução a ser lida da memória) e RI (utilizado para armazenar uma instrução).
- Cada instrução deve conter um código de operação, dois operandos e um registrador como mostrado abaixo:

Cód. Oper	Operando 1	Operando 2	Reg.
-----------	------------	------------	------

onde o Operando 1 e o Operando 2 são endereços da memória principal e Reg. é o identificador de um Registrador, sendo que a máquina possui 80 registradores.

- Deve poder ter um máximo de 320 códigos de operação diferentes.

a) (0,5) Indique qual deve ser o tamanho mínimo em bits do REM

Memória com 16M células => $N = 16M$ células
tamanho mínimo do REM será o tamanho do barramento de endereços
necessário

para endereçar toda a memória.

Barramento de endereços (BE) = $\log_2 N = \log_2 16M = 24$ bits

REM = tamanho do BE = 24 bits

- b) (0,4) Indique qual deve ser o tamanho mínimo em bits do barramento de endereços.

tamanho do BE = 24 bits

- c) (0,6) Calcule o número de células que uma instrução necessita para ser armazenada.

Cada instrução = código de operação + 2 operandos + 1 endereço registrador

operando = endereço de uma célula = 24 bits

registrador = tamanho necessário para 80 registradores diferentes = 7 bits

cod.operação = tamanho necessário para 320 diferentes = 9 bits

tamanho da instrução = $9 + 2 \times 24 + 7 = 64$ bits

- d) (0,6) Indique o tamanho do RDM e do barramento de dados.

O RDM deverá ter no mínimo o tamanho suficiente para transferir 1 célula

RDM = barramento de dados = 4bytes ou 32 bits

- e) (0,6) Quantos acessos a memória são necessários para que Unidade Central de Processamento obtenha uma instrução da memória, dado que cada acesso é lida uma célula da memória principal.

Como cada instrução possui 64 bits, serão necessários 2 acessos

- f) (0,8) Calcule a capacidade de armazenamento em bits dos registradores RI e CI, utilizando-se os valores calculados nos itens anteriores.

CI = tamanho necessário para endereçar toda a memória = 24 bits

RI = tamanho necessário para uma instrução = 64 bits

2. (2,5) Considere uma máquina que pode ter seu ciclo de busca e execução de uma instrução dividido em 5 estágios totalmente independentes: Busca de Instrução (BI), Decodificação (DI), Cálculo de Endereços de Operandos (CO), Execução (EX) e Escrita de Operandos (EO). Cada um dos estágios BI, EX e EO possui a duração de 8 ns e cada estágio DI e CO tem duração de 4 ns. Cada instrução desta máquina precisa executar os 5 estágios que serão sempre executados na sequência BI, DI, CO, EX e EO.

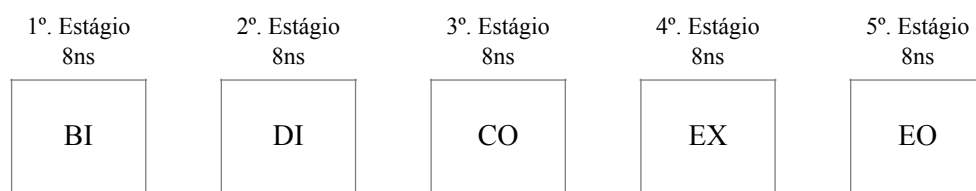
- a) (0,2) Uma implementação desta máquina foi realizada de modo que cada instrução deve ser completamente realizada em um único ciclo de relógio. Calcule a duração do ciclo de relógio que esta implementação deve possuir. Lembre-se que todas as instruções necessitam dos 5 estágios.

1º. Estágio	2º. Estágio	3º. Estágio	4º. Estágio	5º. Estágio
----------------	----------------	----------------	----------------	----------------

BI 8ns	DI 4ns	CO 4ns	EX 8ns	EO 8ns
-----------	-----------	-----------	-----------	-----------

O ciclo de relógio deverá ter o tempo de 32ns (8ns + 4ns + 4ns + 8ns + 8ns)

- b) (0,5) Como cada estágio é independente um do outro, deseja-se implementar uma nova arquitetura utilizando-se um pipeline de 5 estágios. Nesta nova implementação cada estágio do pipeline deve ser executado em um ciclo de relógio. Calcule a duração do ciclo de relógio que esta implementação pipeline deve possuir.



*Ciclo de relógio será igual ao tempo do estágio
com maior tempo de execução = 8ns*

- c) (0,5) Considere um programa que necessita executar 1.000 instruções. Calcule o tempo de execução deste programa na máquina do item a e na máquina do item b.

Seja T_{ex} = tempo de execução de uma instrução = número de estágios \times ciclo de relógio (determinado nos itens anteriores)

Para o item a (sem pipeline) :

$$T_{ex} = 1 \text{ estágio de } 32ns = 32ns$$

$$T_{total} = 1000 \text{ instruções} \times T_{ex} = \mathbf{32.000 \text{ ns}}$$

Para o item b (pipeline: 5 estágios) :

$$T_{ex} = 5 \text{ estágios de } 8ns \text{ cada} = 40ns$$

$$T_{total} = T_{ex} + 999 \times \text{tempo de 1 estágio}$$

$$T_{total} = 40ns + 999 \times 8ns = \mathbf{8.032 \text{ ns}}$$

- d) (0,5) Considere um programa que necessita executar 100.000 instruções. Calcule o tempo de execução deste programa na máquina do item a e na máquina do item b.

Seja T_{ex} = tempo de execução de uma instrução = número de estágios \times ciclo de relógio (determinado nos itens anteriores)

Para o item a (sem pipeline) :

$$T_{ex} = 1 \text{ estágio de } 32ns = 32ns$$

$$T_{total} = 100.000 \text{ instruções} \times T_{ex} = \mathbf{3.200.000 \text{ ns}}$$

Para o item b (pipeline: 5 estágios) :

$$T_{ex} = 5 \text{ estágios de } 8ns \text{ cada} = 40ns$$

$$T_{total} = T_{ex} + 99.999 \times \text{tempo de 1 estágio}$$

$$T_{total} = 40ns + 99.999 \times 8ns = \mathbf{800.032 \text{ ns}}$$

- e) (0,8) Compare as diferenças dos tempos de execução obtidos pela máquina do item a e a do item b para os programas dos itens c e d.

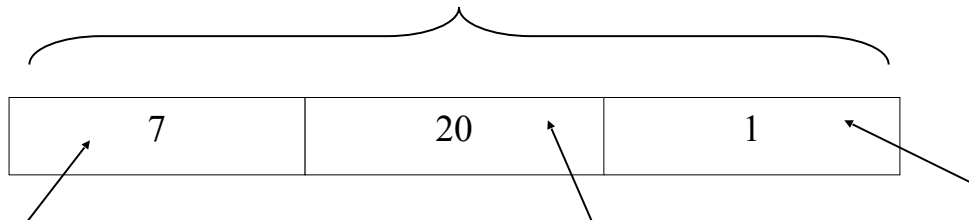
3. (2,0) Considere uma máquina que possa endereçar 1 Giga bytes de memória física, sendo que cada endereço referencia uma célula de 4 bytes. Ela possui uma memória cache que pode armazenar 1 Mega blocos, sendo um bloco por linha e cada bloco possui 2 células. Mostre o formato da memória cache, indicando os campos necessários (tag, bloco) e o número de bits para cada campo, o formato de um endereço da memória principal, indicando os bits que referenciam os campos da cache, e a capacidade em bits que a memória cache deve possuir (pode deixar a conta indicada) para os seguintes mapeamentos:

- *Tamanho da memória cache (em blocos ou linhas) $\Rightarrow Q = 1M \text{ blocos}$*
- *Tamanho da memória cache em células $= Q \times K = 1M \text{ blocos} \times 2 \text{ células/blocos} = 2M \text{ células (8Mbytes)}$*

[illegible]

Para endereçarmos toda a MP precisamos da seguinte quantidade de bits (E)
 sendo $N = 2^E \Rightarrow N = 256M \text{ células} \Rightarrow N = 2^{28} \Rightarrow E = 28 \text{ bits}$

Tamanho do endereço da MP = 28 bits



Corresponde a tag:
 $tag = B / Q = 128M / 1M = 128 = 2^7$
 tag = 7 bits

Corresponde ao endereço da célula no bloco:
 $2 \text{ células por bloco} = 2^1$
 palavra = 1 bits

Corresponde ao n° da linha:
 $Q = 1M \text{ linhas ou quadros (máximo)} \Rightarrow 2^{20}$
 linha = 20 bits

b) Mapeamento totalmen

Memória Principal

$\Rightarrow N = 256M \text{ células}$
 $\Rightarrow K = 2$
 $\Rightarrow B = 128 M \text{ blocos}$

Memória Cache

OBS: O K (quantidade de células/bloco) tem de ser igual a MP.

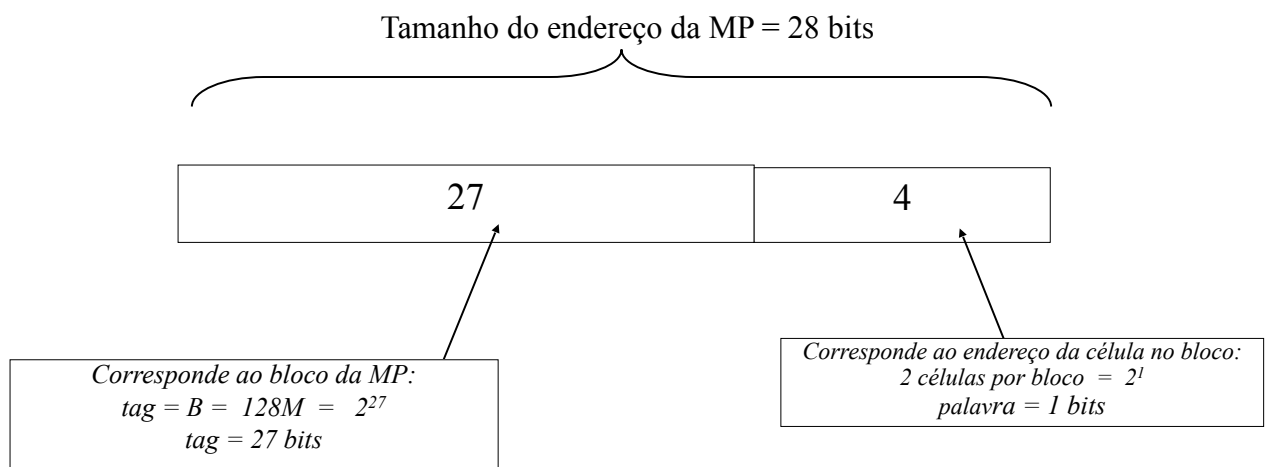
$\Rightarrow Q = 1M \text{ blocos}$
 $\Rightarrow \text{Tamanho da memória cache} = 1M \text{ blocos} = 2M \text{ células} = 8 \text{ MBytes}$

Memória principal

256M células: N
 128M blocos: B

Organização da cache

	linha	válido	tag	Conteúdo (bloco)
0	1 bit	27 bits	2 células de 32 bits cada = 64bits	
1				
2				
3				
4				
5				
			
Q - 2				
Q - 1				



- c) Mapeamento associativo por conjunto, onde cada conjunto possui duas linhas, cada uma de um bloco.

Memória Principal

=> $N = 256M \text{ células}$

=> $K = 2$

=> $B = 128M \text{ blocos}$

Memória Cache

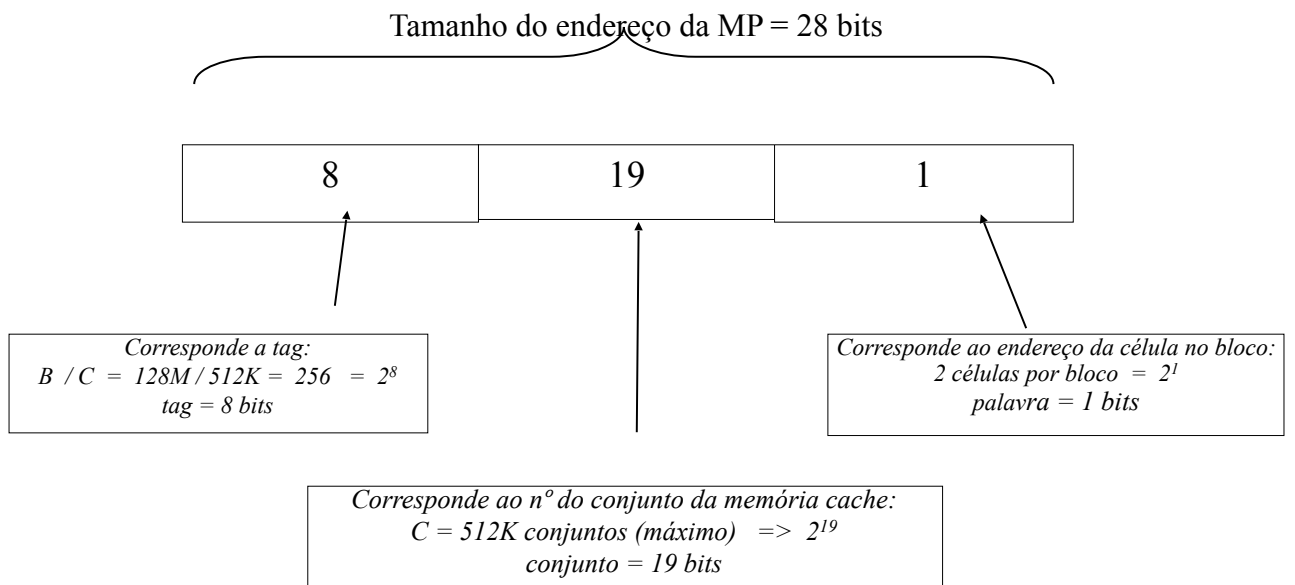
OBS: O K (quantidade de células/bloco) tem de ser igual a MP.

=> $Q = 1M \text{ blocos}$

$$\Rightarrow 1 \text{ conjunto} = 2 \text{ linhas (ou quadros)} \Rightarrow \text{Total de conjuntos (C)} = 1M \text{ blocos} / 2 \Rightarrow C = 512K \text{ conjuntos}$$

128M blocos: B

Conjunto linha	válido	tag	Conteúdo (bloco)
0 1 bit	8 bits	2	células de 32 bits cada = 64bits

[illegible]

4. (2,0) Um computador possui uma capacidade máxima de memória principal com 4 Giga células, cada uma capaz de armazenar uma palavra de 32 bits.

a) Qual é o maior endereço em decimal desta memória ?

$$N = 4G \text{ células} \Rightarrow N = 2^{32}$$

$$\text{Maior endereço} = N - 1 = 2^{32} - 1 = 4.294.967.295$$

b) Qual é o tamanho do barramento de endereços deste sistema ?

O Tamanho deste barramento será o suficiente para endereçar todas as células da memória (N).

O tamanho do barramento corresponderá ao valor de e em $2^e = N$

$$2^e = N \Rightarrow 2^e = 2^{32} \Rightarrow e = 32, \text{ portanto,}$$

barramento de endereços = 32 bits

c) Quantos bits podem ser armazenados no RDM e no REM ?

*Tamanho do REM = tamanho do barramento de endereço. **REM = 32 bits***

*Tamanho do RDM = tamanho do barramento de dados e terá de ser no mínimo o tamanho de uma célula. **RDM = 32 bits***

d) Qual é o número máximo de bits que pode existir na memória ?

O total de bits da memória será igual a T

$$\text{Tamanho da memória (T)} = N \times M = 4G \text{ células} \times 32\text{bits} = 2^{32} \times 2^5 \text{ bits} = 2^{37} \text{ bits}$$

$$= 137.438.953.472 \text{ bits}$$