

AD1 - Organização de Computadores 2013.2 - Questões, Gabarito e Errata da Questão 3

Data de entrega 03/09/2013

- (1,0) Explique em detalhes como funciona a execução da instrução *STR op* na arquitetura mostrada em aula.
- (1,0) Considere uma máquina com arquitetura semelhante àquela apresentada em aula. Pode-se endereçar no máximo 64k células de memória onde cada célula armazena uma palavra e cada instrução tem o tamanho de uma palavra. Todas as instruções desta máquina possuem o mesmo formato: um código de operação, que permite a existência de um valor máximo de 128 códigos, e dois operandos, que indicam endereços de memória.
 - Qual o tamanho mínimo do REM ?
 - Qual o tamanho mínimo do CI ?
 - Qual o tamanho do barramento de endereços ?
 - Qual o tamanho mínimo do RI ?
 - Qual a capacidade máxima da memória em bits ?
 - Se a largura do barramento de dados desta máquina for igual à metade do tamanho de uma instrução, como funcionará o ciclo de busca ?
- (1,0) IA-32 é uma arquitetura de processador especificada pela Intel que é a base de várias Unidades Centrais de Processamento (UCP) muito conhecidas atualmente, tal como o Pentium, por exemplo. Esta arquitetura especifica que a UCP deve possuir 8 registradores com capacidade de armazenamento de 32 bits. Os nomes dos registradores são: %eax, %ecx, %edx, %ebx, %esi, %edi, %esp e %ebp. Esta arquitetura também especifica o conjunto de instruções de linguagem de montagem que a UCP deve processar. Na tabela abaixo, encontram-se algumas destas instruções:

Instrução	Descrição
incl D	Incrementa de 1 o conteúdo do registrador D e armazena o resultado no registrador D
decl D	Decrementa de 1 o conteúdo do registrador D e armazena o resultado no registrador D
addl S, D	Soma o conteúdo do registrador D com o conteúdo do registrador S e armazena resultado no registrador D
subl S, D	Subtrai o conteúdo do registrador S do conteúdo do registrador D e armazena resultado no registrador D

Considere que os registradores %eax, %ecx e %edx armazenem os seguintes conteúdos:

Registrador	Conteúdo
%eax	3
%ecx	-1
%edx	1

Considere que a seguinte sequência de instruções seja executada. Na tabela abaixo, identifique o registrador que será modificado no campo Destino e o seu novo valor no campo Valor após a execução de cada instrução.

Instrução	Destino	Valor
addl %eax, %eax		
incl %ecx		
decl %edx		
subl %ecx, %edx		

4. (1,0) O barramento PCI Express é um barramento especificado pela Intel em 2004 para ser um barramento de alto desempenho (fontes de consulta: Guia do Hardware (<http://www.guiadohardware.net/tutoriais/pci-express/>) e Clube do Hardware (<http://www.clubedohardware.com.br/artigos/1060/4>)).
 - a) Explique o que são as seguintes características deste barramento: Multiponto e serial
 - b) Indique a taxa de transmissão (MB/s) de cada uma das versões X1, X4, X8 e X16 e explique como se implementa o aumento da taxa de transmissão de cada versão a partir da versão inicial X1.
5. (1,0) Algumas placas mãe de computadores atuais utilizam os chipsets. Explique o que são e como funcionam os chipsets (fontes de consulta: Guia do Hardware (<http://www.guiadohardware.net/>) e Clube do Hardware (<http://www.clubedohardware.com.br/>)).
6. (1,0) Faça uma pesquisa sobre um processador multicore da INTEL e descreva em detalhes sua hierarquia de memória (registradores, memória cache de diversos níveis e memória principal).
7. (1,0) Um computador possui um RDM com 16 bits de tamanho e um REM com capacidade para armazenar números com 20 bits. Sabe-se que a célula deste computador armazena dados com 8 bits de tamanho e que ele possui uma quantidade N de células, igual à sua capacidade máxima de armazenamento. Pergunta-se:
 - a) Qual é o tamanho do barramento de endereços?
 - b) Quantas células de memória são lidas em uma única operação de leitura?
 - c) Quantos bits têm a memória principal?
8. (1,0) Uma memória associativa por conjunto consiste em 64 quadros divididos em conjuntos de 4 quadros cada. A memória principal contém 4K blocos de 128 palavras cada um. Mostre o formato de um endereço de MP.
9. (1,0) Considere um sistema de computação que possui uma memória principal (RAM) com capacidade máxima de endereçamento de 64K células, sendo que cada célula armazena um byte de informação. Para criar um sistema de controle e funcionamento da sua memória cache, a memória RAM é constituída de blocos de 8 bytes cada. A memória cache do sistema é do tipo mapeamento direto, contendo 32 linhas. Pergunta-se:
 - a) Como seria organizado o endereço da MP (RAM) em termos de etiqueta (tag), número de linha e do byte dentro da linha?
 - b) Em que linha estaria contido o byte armazenado no seguinte endereço da MP: 0001 0001 0001 1011?
 - c) Qual é capacidade da memória cache em bytes?
10. (1,0) Explique as diversas memórias que constituem a hierarquia de memória comparando-as em termos de tempo de acesso, capacidade, e temporariedade de armazenamento de dados.

AD1 - Organização de Computadores 2013.2

Data de entrega 03/09/2013

1. (1,0) Explique em detalhes como funciona a execução da instrução STR Op na arquitetura mostrada em aula.

Como será realizada a execução desta instrução:

- ⇒ Passo 1: A CPU coloca no REM o valor do operando (Op), e este é disponibilizado no barramento de endereços
- ⇒ Passo 2: A CPU coloca no RDM o valor contido no acumulador, e este é disponibilizado no barramento de dados
- ⇒ Passo 3: A CPU disponibiliza o sinal de escrita de memória no barramento de controle
- ⇒ Passo 3: A memória armazena o conteúdo do barramento de dados na posição que está contida no barramento de endereços

2. (1,0) Considere uma máquina com arquitetura semelhante àquela apresentada em aula. Pode-se endereçar no máximo 64k células de memória onde cada célula armazena uma palavra e cada instrução tem o tamanho de uma palavra. Todas as instruções desta máquina possuem o mesmo formato: um código de operação, que permite a existência de um valor máximo de 128 códigos, e dois operandos, que indicam endereços de memória.

- a) Qual o tamanho mínimo do REM ?

REM = Barramento de endereços, este terá a capacidade de endereçar 64Kcélulas = N

$$N = 64Kcélulas \Rightarrow N = 2^{16} \Rightarrow e = 16 \text{ bits}$$

*REM = barramento de endereços = **16 bits***

- b) Qual o tamanho mínimo do CI ?

*CI terá o tamanho necessário para endereçar toda a memória = REM = **16 bits***

- c) Qual o tamanho do barramento de endereços ?

*REM = barramento de endereços = **16 bits***

- d) Qual o tamanho mínimo do RI ?

O tamanho mínimo para RI deverá ser o tamanho de uma instrução

Cada instrução tem o tamanho de uma palavra = tamanho de célula

CódOper deverá permitir 128 códigos diferentes (instruções). CódOper = 7 bits

Operando corresponde a 1 endereço de memória = 16 bits

Instrução = CódOper + 2 Operandos \Rightarrow Instrução = 7 + 2 x 16 \Rightarrow Instrução = 39 bits

*O tamanho mínimo para RI deverá ser **39 bits***

- e) Qual a capacidade máxima da memória em bits ?

$T = M \times N \Rightarrow T = \text{tamanho da célula} \times \text{memória principal} \Rightarrow$

tamanho da célula (M) = 39 bits

total de endereços da memória (N) = 2^{16} células

$T = 39 \text{ bits/célula} \times 2^{16} \text{ células} \Rightarrow T = 2.555.904 \text{ bits}$

- f) Se a largura do barramento de dados desta máquina for igual à metade do tamanho de uma instrução, como funcionará o ciclo de busca ?

Seriam necessários 2 ciclos de busca para transferir uma instrução completa.

3. (1,0) IA-32 é uma arquitetura de processador especificada pela Intel que é a base de várias Unidades Centrais de Processamento (UCP) muito conhecidas atualmente, tal como o Pentium, por exemplo. Esta arquitetura especifica que a UCP deve possuir 8 registradores com capacidade de armazenamento de 32 bits. Os nomes dos registradores são: %eax, %ecx, %edx, %ebx, %esi, %edi, %esp e %ebp. Esta arquitetura também especifica o conjunto de instruções de linguagem de montagem que a UCP deve processar. Na tabela abaixo, encontram-se algumas destas instruções

Instrução	Descrição
incl D	Incrementa de 1 o conteúdo do registrador D e armazena o resultado no registrador D
decl D	Decrementa de 1 o conteúdo do registrador D e armazena o resultado no registrador D
addl S, D	Soma o conteúdo do registrador D com o conteúdo do registrador S e armazena resultado no registrador D
subl S, D	Subtrai o conteúdo do registrador S do conteúdo do registrador D e armazena resultado no registrador D

Considere que os registradores %eax, %ecx e %edx armazenem os seguintes conteúdos:

Registrador	Conteúdo
%eax	5
%ecx	-2
%edx	1

Considere que a seguinte sequência de instruções seja executada. Na tabela abaixo, identifique o registrador que será modificado no campo Destino e o seu novo valor no campo Valor após a execução de cada instrução.

Instrução	Destino	Valor
addl %eax, %eax	%eax	10
incl %ecx	%ecx	-1
decl %edx	%edx	0
subl %ecx, %edx	%edx	1

4. (1,0) O barramento PCI Express é um barramento especificado pela Intel em 2004 para ser um barramento de alto desempenho (fontes de consulta: Guia do Hardware (<http://www.guiadohardware.net/tutoriais/pci-express/>) e Clube do Hardware (<http://www.clubedohardware.com.br/artigos/1060/4>)).

a) Explique o que são as seguintes características deste barramento: Multiponto e serial

O PCI Express se caracteriza com sendo um barramento serial ao contrário do PCI que é paralelo. Antes, os circuitos eletrônicos eram mais lentos e a forma de fazer com que os barramentos ficassem mais rápidos era adicionar mais trilhas e transmitir vários bits de cada vez. Mas o grande número de trilhas, no

barramento paralelo, operando em altas frequências criava ruído eletromagnético e problemas de sincronismo, fatores que limitavam a frequência e distâncias destes barramentos.

Com o avanço tecnológico, as comunicações seriais alcançaram altas taxas de transmissão devido a atuarem com menos trilhas de forma a eliminar o problema do ruído e interferência e os dados podiam ser transmitidos na frequência permitida pelos circuitos, sem problemas de sincronismo.

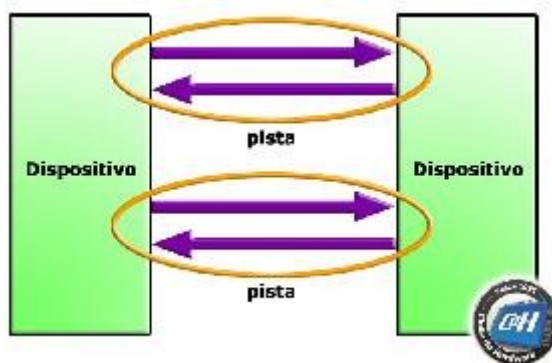
Outra característica fundamental do PCI Express é que ele é um barramento ponto a ponto, onde cada periférico possui um canal exclusivo de comunicação com o chipset. No PCI tradicional, o barramento é compartilhado por todos os periféricos ligados a ele, o que pode criar gargalos.

b) Indique a taxa de transmissão (MB/s) de cada uma das versões X1, X4, X8 e X16 e explique como se implementa o aumento da taxa de transmissão de cada versão a partir da versão inicial X1.

O X1 (ou 1x) possui taxa de 250MB/s, o X2 de 500MB/s, o X4 de 1000MB/s, o X16 de 16GB/s e o X32 de 32GB/s.

O barramento PCI Express é um barramento serial trabalhando no modo full-duplex. Os dados são transmitidos nesse barramento através de dois pares de fios chamados pista. Cada pista permite obter taxa de transferência máxima de 250 MB/s em cada direção, quase o dobro da do barramento PCI.

*O barramento PCI Express pode ser construído combinando várias pistas de modo a obter maior desempenho (vide figura abaixo). Podemos encontrar sistemas PCI Express com 1, 2, 4, 8, 16 e 32 pistas, equivalendo assim ao x1, x2, x4, x8, x16 e x32 respectivamente. Por exemplo, a taxa de transferência de um sistema PCI Express com 8 pistas (x8) é de 2 GB/s (250 * 8).*



(imagem retirada do site: www.clubedohardware.com.br em 19/03/08)

5. (1,0) Algumas placas mãe de computadores atuais utilizam os chipsets. Explique o que são e como funcionam os chipsets (fontes de consulta: Guia do Hardware (<http://www.guiadohardware.net/>) e Clube do Hardware (<http://www.clubedohardware.com.br/>)).

(texto e fotos retirados do site www.clubedohardware.com.br)

Chipset é o nome dado ao conjunto de chips (set significa “conjunto”, daí o seu nome) usado na placa-mãe.

Nos primeiros PCs, a placa-mãe usava circuitos integrados discretos. Com isso, vários chips eram necessários para criar todos os circuitos necessários para fazer um computador funcionar.

Após algum tempo os fabricantes de chips começaram a integrar vários chips dentro de chips maiores. Como isso, em vez de usar uma dúzia de pequenos chips, uma placa-mãe poderia ser construída usando apenas meia dúzia de chips maiores.

O processo de integração continuou e em meados dos anos 90 as placas-mãe eram construídas usando apenas dois ou até mesmo um único chip grande.

Com o lançamento do barramento PCI, um novo conceito, que ainda hoje em dia é utilizado, pôde ser empregado pela primeira vez: a utilização de pontes. Geralmente as placas-mãe possuem dois chips grandes: um chamado ponte norte e outro chamado ponte sul. Às vezes, alguns fabricantes de chip podiam integrar a ponte norte e a ponte sul em um único chip; neste caso a placa-mãe terá apenas um circuito integrado grande. Com o uso da arquitetura em pontes os chipsets puderam ser padronizados.

Os fabricantes de placas-mãe compram dos fabricantes de chipsets os chipsets para serem integrados em suas placas. Na verdade, existe um aspecto muito interessante nessa relação. Para construir uma placa-mãe, o fabricante da placa pode seguir o projeto padrão do fabricante do chipset, também conhecido como

“modelo de referência”, ou pode criar seu próprio projeto, fazendo modificações no circuito para oferecer maior desempenho e mais funcionalidades.

Ponte Norte

O chip ponte norte, também chamado de MCH (Memory Controller Hub, Hub Controlador de Memória) é conectado diretamente ao [processador](#) e possui basicamente as seguintes funções:

- Controlador de Memória (*)
- Controlador do barramento AGP (se disponível)
- Controlador do barramento PCI Express x16 (se disponível)
- Interface para transferência de dados com a ponte sul

(*) Exceto para [processadores](#) soquete 754, soquete 939 e soquete 940 (processadores da AMD, como é o caso do [Athlon 64](#)), já que nesses processadores o controlador de memória está localizado no próprio processador, e não na ponte norte.

Alguns chips ponte norte também controlam o barramento PCI Express x1. Em alguns outros é a ponte sul quem controla o barramento PCI Express x1. Em nossas explicações assumiremos que a ponte sul é o responsável por controlar as pistas PCI Express x1, mas tenha em mente que isso pode variar de acordo com o modelo do chipset.

Na Figura 1 você pode ver um diagrama que mostra a função da ponte norte no computador:

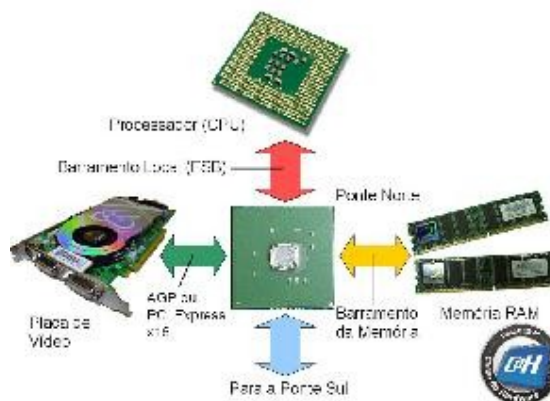


Figura 1: Ponte norte.

Como você pode ver, o processador não acessa diretamente a memória RAM ou a [placa de vídeo](#). É a ponte norte que funciona como intermediário no acesso do processador a estes dispositivos. Por causa disso, a ponte norte tem influência direta no desempenho do micro. Se um chip de ponte norte tem um controlador de memória melhor do que outro, o desempenho geral do micro será melhor. Isto explica o motivo pelo qual você pode ter duas [placas-mãe](#) voltadas para a mesma classe de processadores e que obtêm desempenhos diferentes.

Como comentamos anteriormente, nos processadores Athlon 64 o controlador de memória está integrado no próprio processador e é por isso que praticamente não existe diferença de desempenho entre placas-mãe para esta plataforma.

Como o controlador de memória está na ponte norte, é este chip que limita o tipo e a quantidade máxima de memória que você pode instalar no micro (no caso do Athlon 64, quem é o responsável por tais limites é o próprio processador, já que o controlador de memória está embutido nele).

A conexão entre a ponte norte e a ponte sul é feita através de um barramento. No início, o barramento utilizado para conectar a ponte norte à ponte sul era o barramento PCI. Atualmente, o barramento PCI não é mais usado para esse tipo de conexão e foi substituído por um barramento dedicado. Falaremos mais sobre isso adiante, já que o tipo de barramento utilizado nesta conexão pode afetar o desempenho do micro.

Ponte Sul

O chip ponte sul, também chamado ICH (I/O Controller Hub, Hub Controlador de Entrada e Saída) é conectado à ponte norte e sua função é basicamente controlar os dispositivos on-board e de entrada e saída tais como:

- Discos Rígidos (Paralelo e Serial ATA)
- Portas USB
- Som on-board (*)

- Rede on-board (**)
- Barramento PCI
- Barramento PCI Express (se disponível)
- Barramento ISA (se disponível)
- Relógio de Tempo Real (RTC)
- Memória de configuração (CMOS)
- Dispositivos antigos, como controladores de interrupção e de DMA

(*) Se a ponte sul tiver controlador de som on-board, será necessário a utilização de um chip externo chamado de codec (abreviação de codificador/decodificador) para funcionar.

(**) Se a ponte sul tiver controlador de rede on-board, será necessário a utilização de um chip chamado phy (pronuncia-se “fâi”, abreviação de physical, camada física, em português) para funcionar.

A ponte sul é também conectada a dois outros chips disponíveis na placa-mãe: o chip de memória ROM, mais conhecido como BIOS, e o chip Super I/O, que é o responsável por controlar dispositivos antigos como portas seriais, porta paralela e unidade de disquete.

Na Figura 2 você pode ver um diagrama que mostra a função da ponte sul no computador.

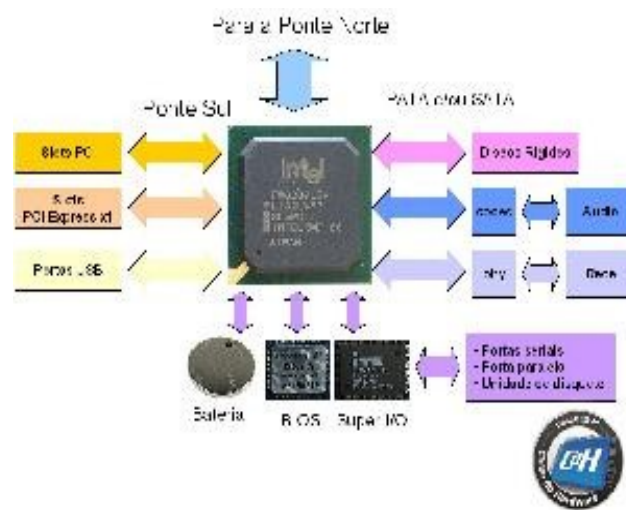


Figura 2: Ponte sul.

Como você pode ver, enquanto que a ponte sul pode ter alguma influência no desempenho do disco rígido, este componente não é tão crucial no que se refere ao desempenho geral do micro quanto à ponte norte. Na verdade, a ponte sul tem mais a ver com as funcionalidades da sua placa-mãe do que com o desempenho. É a ponte sul que determina a quantidade (e velocidade) das portas USB e a quantidade e tipo (ATA ou Serial ATA) das portas do disco rígido que sua placa-mãe possui, por exemplo

6) (1,0) Faça uma pesquisa sobre um processador multicore da INTEL e descreva em detalhes sua hierarquia de memória (registradores, memória cache de diversos níveis e memória principal).

1) Registradores:

=> registradores da arquitetura 32 bits

- Os registradores de uso geral (16 bits) são AX, BX, CX, DX
- O Intel x86 possui ainda registradores de 16 bits para segmentos de memória CS, DS, SS, ES, FS, GS.
- Os registradores de uso geral (32 bits) são EAX, EBX, ECX, EDX
- Os registradores apontadores de memória (32 bits) são ESI, EDI, EBP e ESP (este ponteiro de pilha)
- IPR - (Instruction Pointer Register) é o registrador de 32 bits como apontador de posição de memória (CI)

- *RFLAGS* (32 bits) flags
- Registradores para ponto flutuante *ST0–ST7* (32 bits),
- vetores *SIMD* (Single Instruction, Multiple Data) *MM0–MM7* (64 bits) e *XMM0–XMM7* (128 bits).
- Registradores *MMX0-7* de 64 bits

=> registradores da arquitetura 64 bits

Além dos registradores dos 32 bits (manter compatibilidade), são acrescentados:

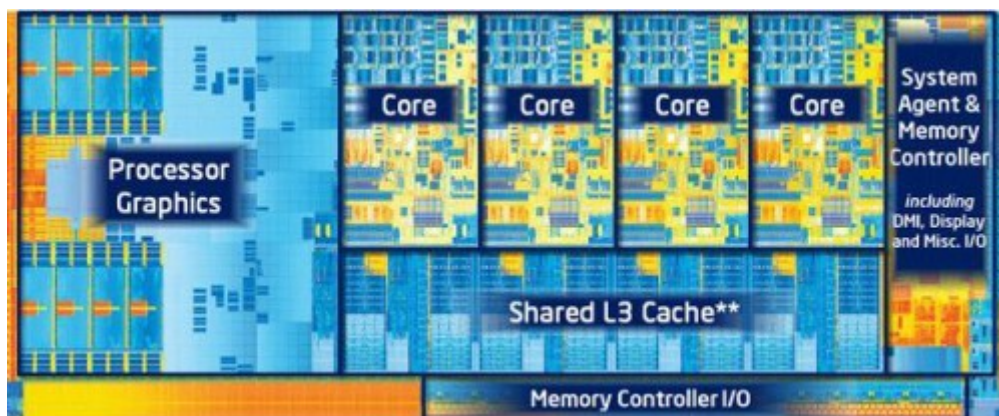
- Instruções *AVX*, implementadas a partir da arquitetura Sandy Bridge, utilizam registradores *XMM* de 256 bits com o objetivo de armazenar vários dados menores e processá-los em uma única instrução (conceito *SIMD*)
- Registradores de 64 bits (*RAX, RBX, RCX, RDX, RSI, RDI, RBP* e *RSP*)
- Registradores de 80 bits de ponto flutuante (*FPR0-7*)
 - *IPR* (Instruction Pointer Register) passa a ser de 64 bits (apontador de posição de memória)
 - *RFLAGS* (64 bits) flags

2) Organização da memória cache:

=> Série *Ix* (*I3, I5, I7*)

A tecnologia Intel de processadores Intel Sandy Bridge foi chamada de segunda geração da família Intel Core, tem como característica a espessura de 32nm. A cache dessa arquitetura segue a seguinte organização:

- Cache de microinstruções decodificadas (cache *L0*, capaz de armazenar 1.536 microinstruções, o que equivale a mais ou menos 6 kB);
- Cache *L1* de instruções de 32 kB e cache *L1* de dados de 32 kB por núcleo (nenhuma mudança em relação à arquitetura Nehalem – arquitetura anterior);
- O cache de memória *L2* - cache intermediário com 256 kB por núcleo;
- O cache *L3* é chamado é compartilhado entre os núcleos do processador e o processador gráfico, e variam a capacidade conforme de acordo com o processador:
 - Os processadores *I3* são disponíveis em modelos de dois núcleos, possuem até 4 MB de memória cache (nível *L3*) compartilhada,
 - Os processadores *I5* são disponíveis em modelos de dois ou quatro núcleos, possuem até 8 MB de memória cache (nível *L3*) compartilhada,
 - Os processadores *I7* são disponíveis em modelos de quatro ou seis núcleos, memória cache *L3* de até 12 MB,



(fonte: www.clubedohardawre.com.br)

A tecnologia Intel de processadores Ivy Bridge, lançada no último trimestre de 2011, substituiu a Sandy Bridge, e possui como diferencial a espessura de 22nm. A distribuição da cache segue o

modelo da arquitetura anterior

A arquitetura Haswell, lançada em junho de 2013, substitui a Ivy Bridge. Possui um desempenho de 6% a 20% superior a anterior. A cache também segue a organização das arquiteturas anteriores.

A arquitetura Broadwell, a ser lançada em 2014/2015 tem como diferencial a espessura de 14nm.

=> Série Xeon:

***Xeon** (pronuncia-se "zion") consiste numa série de processadores da Intel para servidores. Os mais recentes lançamentos são versões mais eficientes das arquiteturas citadas para os processadores I3, I5 e I7. Na arquitetura Sandy Bridge, os Xeons alcançam 8 núcleos com a L3 compartilhada de até 15MB. Na arquitetura Ivy Bridge, a L3 compartilhada chega a 30MB.*

3) Memória principal:

O tamanho máximo da memória principal depende do registrador apontador de endereço de memória (IPR - Instruction Pointer Register).

==> arquitetura 32 bits, o IPR é de 32 bits, máximo de memória acessível é de 2^{32} endereços

==> arquitetura 64 bits, o registrador IPR é de 64 bits, máximo de memória acessível é de 2^{64} endereços.

7. (1,0) Um computador possui um RDM com 16 bits de tamanho e um REM com capacidade para armazenar números com 20 bits. Sabe-se que a célula deste computador armazena dados com 8 bits de tamanho e que ele possui uma quantidade N de células, igual à sua capacidade máxima de armazenamento. Pergunta-se:

a) Qual é o tamanho do barramento de endereços?

*REM = 20 bits => $N = 2^{20}$ células (capacidade máxima de armazenamento)
barramento de endereços = REM = 20 bits*

b) Quantas células de memória são lidas em uma única operação de leitura?

*RDM = 16 bits, e barramento de dados = RDM = 16 bits
Como cada célula possui 8 bits, conclui-se que em cada operação de leitura
2 células são transferidas pelo barramento de dados*

c) Quantos bits têm a memória principal?

*Tamanho da célula (M) = 8 bits
tamanho da memória (N) = 2^{20} células
 $T = N \times M \Rightarrow T = 2^{20} \text{ células} \times 8 \text{ bits} \Rightarrow T = 2^{23} \text{ bits ou } 8 \text{ Mbits}$*

8. (1,0) Uma memória associativa por conjunto consiste em 64 quadros divididos em conjuntos de 4 quadros cada. A memória principal contém 4K blocos de 128 palavras cada um. Mostre o formato de um endereço de MP.

Memória Principal

=> $K = 128$ (quantidade de células/bloco)

=> $B = 4 \text{ K blocos}$

=> $N = 4 \text{ K blocos} \times 128 \text{ células} = 512 \text{ K células} = 2^{19} \text{ células}$

Memória Cache

OBS: O K (quantidade de células/bloco) tem de ser igual ao da MP.

=> $Q = 64$ quadros

=> Tamanho da memória cache = $64 \times 128 = 8K$ células

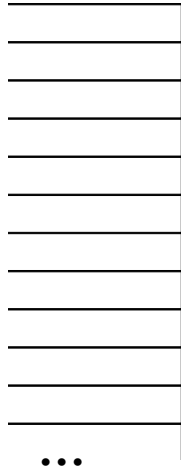
=> 1 conjunto = 4 linhas (ou quadros) =>

Total de conjuntos => $C = 64 / 4 \Rightarrow C = 16$ conjuntos

Memória principal

512K células: N

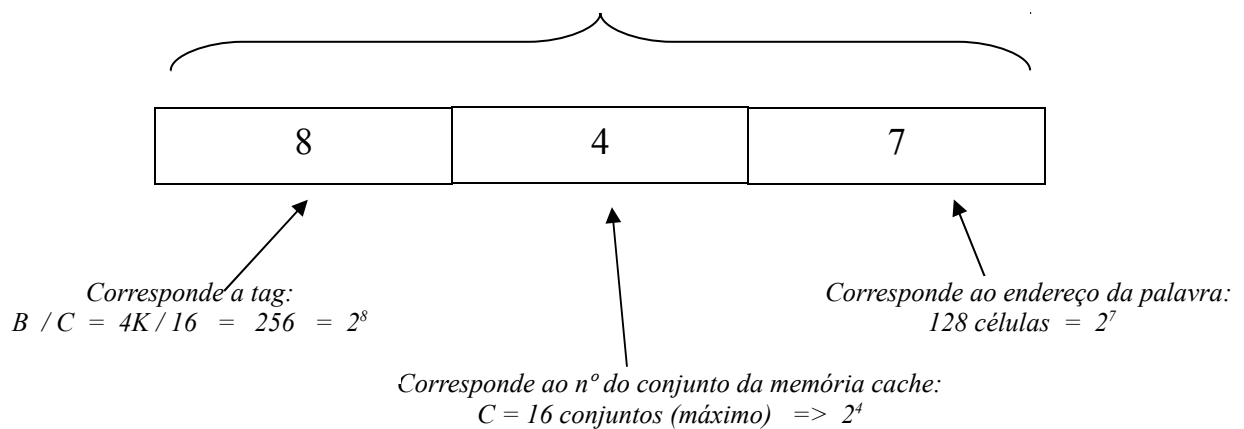
4 K blocos: B



Conjunto	linha	válido	tag	Conteúdo (bloco)
0	0	1 bit	8 bits	128 células
	1			
	2			
	3			
	4			
1	5			
.....				
C - 1	Q - 2			
	Q - 1			

Para endereçarmos toda a MP precisamos da seguinte quantidade de bits: $E = 19$ bits

Tamanho do endereço da MP = 19 bits



9. (1,0) Considere um sistema de computação que possui uma memória principal (RAM) com capacidade máxima de endereçamento de 64K células, sendo que cada célula armazena um byte de informação. Para criar um sistema de controle e funcionamento da sua memória cache, a memória RAM é constituída de blocos de 8 bytes cada. A memória cache do sistema é do tipo mapeamento direto, contendo 32 linhas. Pergunta-se:

a) Como seria organizado o endereço da MP (RAM) em termos de etiqueta (tag), número de linha e do byte dentro da linha?

Memória Principal

=> Tamanho da memória (em bytes) = 64K células, cada 1 célula armazena 1 byte, temos $N = 64K$ células (ou 64 Kbytes)

=> Será organizada em blocos de 8bytes, como 1 célula = 1byte, temos cada bloco = 8 células, $K = 8$

=> $N = 64K$ células e $K = 8$ células por bloco, o total de blocos da MP (B) será:
 Total de blocos: $B = N / K \Rightarrow B = 64K\text{células} / 8\text{ células por bloco} \Rightarrow B = 8K\text{células}$

Memória Cache

=> O K (quantidade de células/bloco) tem de ser igual a MP.

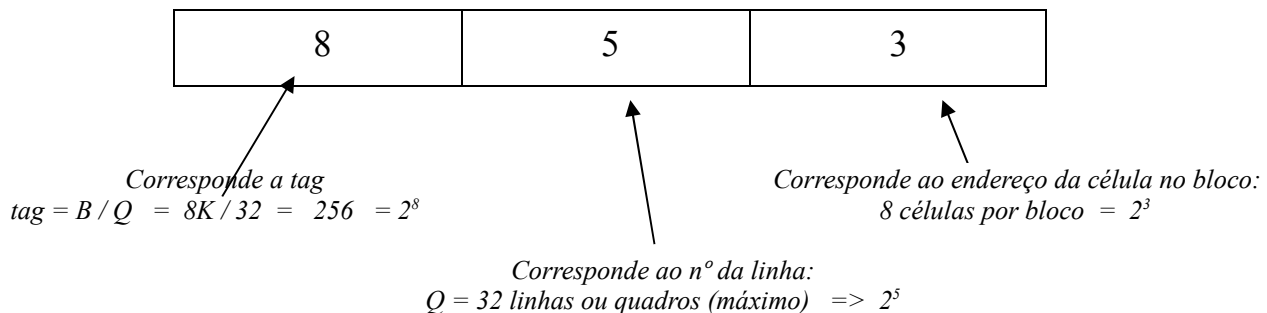
=> Tamanho da memória cache (em blocos ou linhas) => $Q = 32$ linhas

=> Tamanho da memória cachê em células = $Q \times K = 32\text{ linhas} \times 8\text{ células/linha} = 256\text{ células (ou 256 bytes)}$

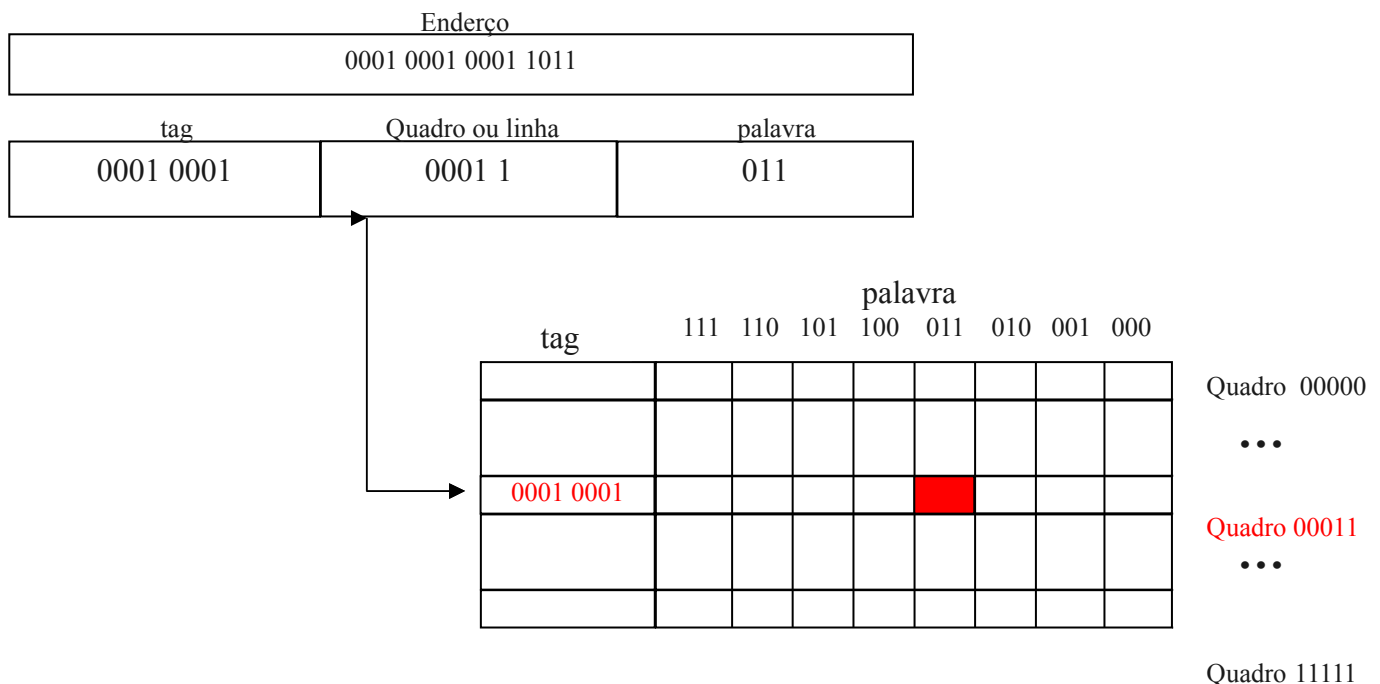
Memória principal

=> Para endereçarmos toda a MP precisamos da seguinte quantidade de bits (E)

sendo $N = 2^E \Rightarrow N = 64K\text{células} \Rightarrow N = 2^{16} \Rightarrow E = 16$ bits



b) Em que linha estaria contido o byte armazenado no seguinte endereço da MP: 0001 0001 0001 1011?



c) Qual é capacidade da memória cache em bytes?

Capacidade da cache = $Q \times K = 32\text{ linhas} \times 8\text{ palavras/linha}$,
 considerando neste problema, tamanho da palavra = tamanho da célula
 e tamanho da célula = 1 byte, então:

Capacidade da cache = $32\text{ linhas} \times 8\text{ bytes} = 256\text{ bytes ou }2^8\text{ bytes}$

10. (1,0) Explique as diversas memórias que constituem a hierarquia de memória comparando-as em termos de tempo de acesso, capacidade, e temporariedade de armazenamento de dados

O subsistema de memória é interligado de forma bem estruturada e organizado hierarquicamente em uma pirâmide com os níveis descritos a seguir:

No topo da pirâmide teríamos os registradores, que são pequenas unidades de memória que armazenam dados na UCP. São dispositivos de maior velocidade com tempo de acesso em torno de 1 ciclo de memória, menor capacidade de armazenamento além de armazenar as informações por muito pouco tempo.

Em um nível abaixo teríamos a memória cache, cuja função é acelerar a velocidade de transferência das informações entre UCP e MP e, com isso, aumentar o desempenho do sistema. A UCP procura informações primeiro na Cache. Caso não as encontre, as mesmas são transferidas da MP para a Cache. A cache possui tempo de acesso menor que a da Memória principal, porém com capacidade inferior a esta, mas superior ao dos registradores e o suficiente para armazenar uma apreciável quantidade de informações, sendo o tempo de permanência do dado menor do que o tempo de duração do programa a que pertence.

Abaixo da memória cache teríamos a memória básica de um sistema de computação, que é a memória principal. Dispositivo onde o programa (e seus dados) que vai ser executado é armazenado para que a UCP busque instrução por instrução para executá-las. A MP são mais lentas que a cache e mais rápidas que a memória secundária, possui capacidade bem superior ao da cache e os dados ou instruções permanecem na MP enquanto durar a execução do programa.

Finalmente, na base da pirâmide teríamos a memória secundária, memória auxiliar ou memória de massa, que fornece garantia de armazenamento mais permanente aos dados e programas do usuário. Alguns dispositivos são diretamente ligados: disco rígido, outros são conectados quando necessário: disquetes, fitas de armazenamento, CD-ROM. São os mais lentos em comparação com os outros níveis de memória, mas possuem a maior capacidade de armazenamento e armazenam os dados de forma permanente.

ERRATA - AD1 - Organização de Computadores 2013.2

3. (1,0) IA-32 é uma arquitetura de processador especificada pela Intel que é a base de várias Unidades Centrais de Processamento (UCP) muito conhecidas atualmente, tal como o Pentium, por exemplo. Esta arquitetura especifica que a UCP deve possuir 8 registradores com capacidade de armazenamento de 32 bits. Os nomes dos registradores são: %eax, %ecx, %edx, %ebx, %esi, %edi, %esp e %ebp. Esta arquitetura também especifica o conjunto de instruções de linguagem de montagem que a UCP deve processar. Na tabela abaixo, encontram-se algumas destas instruções

Instrução	Descrição
incl D	Incrementa de 1 o conteúdo do registrador D e armazena o resultado no registrador D
decl D	Decrementa de 1 o conteúdo do registrador D e armazena o resultado no registrador D
addl S, D	Soma o conteúdo do registrador D com o conteúdo do registrador S e armazena resultado no registrador D
subl S, D	Subtrai o conteúdo do registrador S do conteúdo do registrador D e armazena resultado no registrador D

Considere que os registradores %eax, %ecx e %edx armazenem os seguintes conteúdos:

Registrador	Conteúdo
%eax	3
%ecx	-1
%edx	1

Considere que a seguinte sequência de instruções seja executada. Na tabela abaixo, identifique o registrador que será modificado no campo Destino e o seu novo valor no campo Valor após a execução de cada instrução.

Instrução	Destino	Valor
addl %eax, %eax	%eax	6
incl %ecx	%ecx	0
decl %edx	%edx	0
subl %ecx, %edx	%edx	0