



Fundação CECIERJ - Vice Presidência de Educação Superior a Distância

Curso de Tecnologia em Sistemas de Computação

Disciplina: Organização de Computadores

AP3 1º semestre de 2007-Gabarito

Nome –

Assinatura –

Observações:

1. Prova sem consulta e sem uso de máquina de calcular.
 2. Use caneta para preencher o seu nome e assinar nas folhas de questões e nas folhas de respostas.
 3. Você pode usar lápis para responder as questões.
 4. Ao final da prova devolva as folhas de questões e as de respostas.
 5. Todas as respostas devem ser transcritas nas folhas de respostas. As respostas nas folhas de questões não serão corrigidas.
-

1. (1,0) Um computador possui uma capacidade máxima de memória principal com 256K células, cada uma capaz de armazenar uma palavra de 16 bits.

a) Qual é o maior endereço em decimal desta memória ?

Como 256K células = 2^{18} células

Os endereços variam de 0 até $2^{18} - 1$, ou seja, de 0 até 262143

O maior endereço é portanto 262143

b) Qual é o tamanho do barramento de endereços deste sistema ?

Como a máquina endereça 256K células = 2^{18} células, são necessários 18 bits para endereçá-las. Logo o barramento de endereços tem que ter tamanho igual a 18 bits.

c) Quantos bits podem ser armazenados no RDM e no REM ?

RDM tem 16 bits, tamanho da palavra da memória principal;

REM tem a mesma quantidade de bits do barramento de endereços, 18 bits.

d) Qual é o número máximo de bits que pode existir na memória ?

A capacidade da memória é igual ao número de células multiplicado pelo tamanho da célula, ou seja, $256K \times 16 = 4M$ bits

2. (1,5) Considere uma máquina que possa endereçar 512 Mbytes de memória física, utilizando endereço referenciando byte, e que tenha a sua memória organizada em blocos de 32 bytes. Ela possui uma memória cache que pode armazenar 4K blocos, sendo um bloco por linha. Mostre o formato da memória cache, indicando os campos necessários (tag, bloco) e o número de bits para cada campo, e o formato de um endereço da memória principal, indicando os bits que referenciam os campos da cache, para os seguintes mapeamentos:

1. Mapeamento direto.

Memória Principal

=> Tamanho da memória (em bytes) = 512Mbytes, como 1 célula referencia a 1 byte, temos $N = 512M$ células

=> Será organizada em blocos de 32 bytes, como 1 célula = 1 byte, temos cada bloco = 32 células, $K = 32$

=> Sendo N o tamanho endereçável da memória e K que é a quantidade de células por blocos temos:

$N = 512M$ células e $K = 32$ células / blocos o total de blocos da MP (B) será:

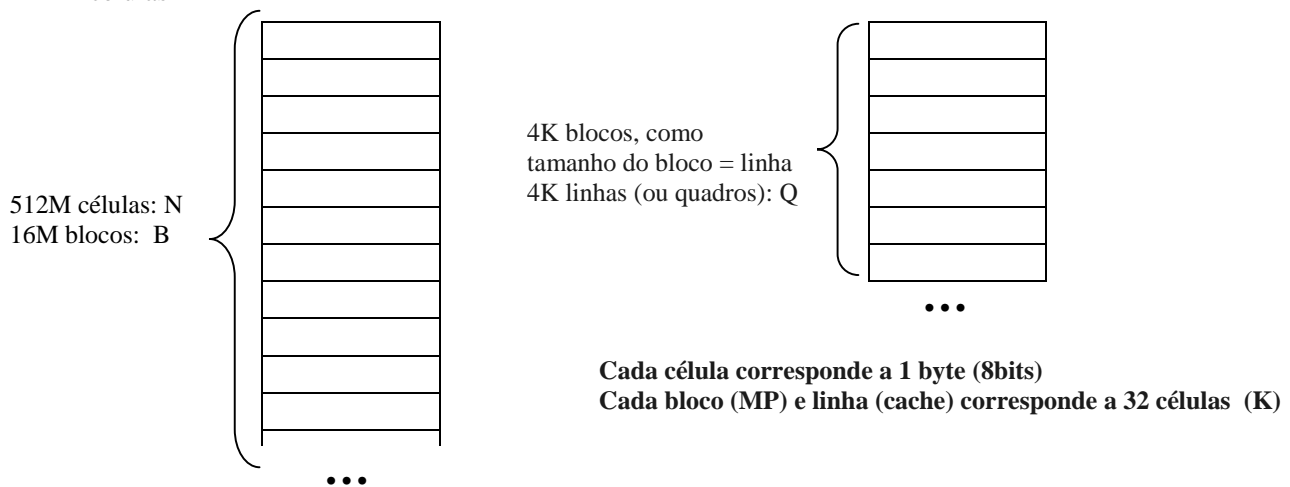
Total de blocos: $B = N / K \Rightarrow B = 512M \text{ células} / 32 \text{ células/bloco} \Rightarrow B = 16 M \text{ blocos}$

Memória Cache

OBS: O K (quantidade de células/bloco) tem de ser igual a MP.

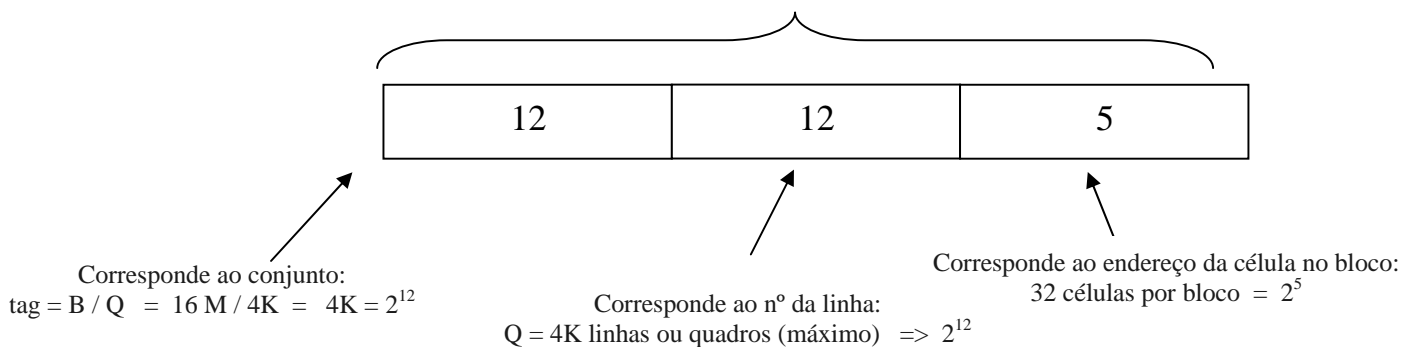
=> Tamanho da memória cache (em blocos ou linhas) => $Q = 4K$ blocos

=> Tamanho da memória cache em células = $Q \times K = 4K \text{ blocos} \times 32 \text{ células/blocos} = 128K$ células



Para endereçarmos toda a MP precisamos da seguinte quantidade de bits (E)
sendo $N = 2^E \Rightarrow N = 512M \text{ células} \Rightarrow N = 2^{29} \Rightarrow E = 29 \text{ bits}$

Tamanho do endereço da MP = 29 bits



2. Mapeamento totalmente associativo.

Memória Principal

=> $N = 512\text{M}$ células

=> $K = 32$

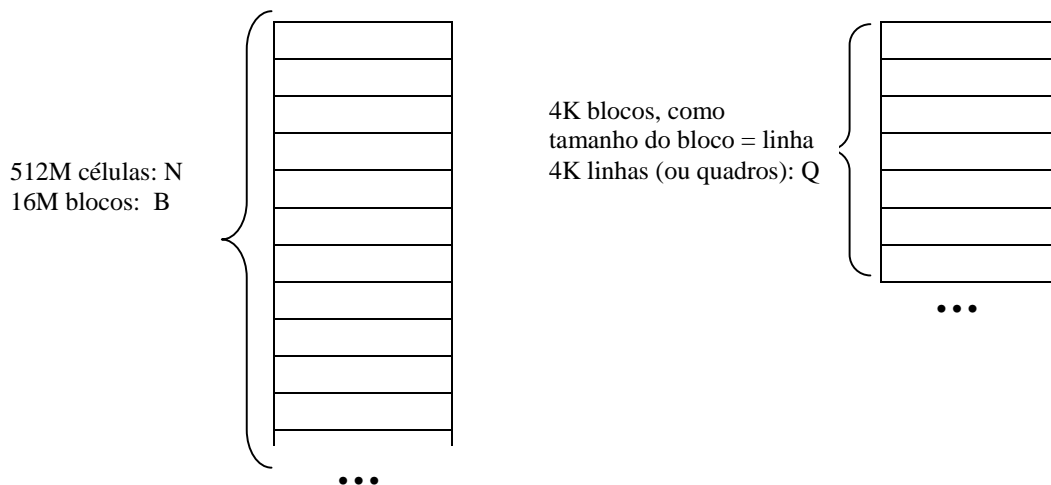
=> $B = 16\text{M}$ blocos

Memória Cache

OBS: O K (quantidade de células/bloco) tem de ser igual a MP.

=> $Q = 4\text{K}$ blocos

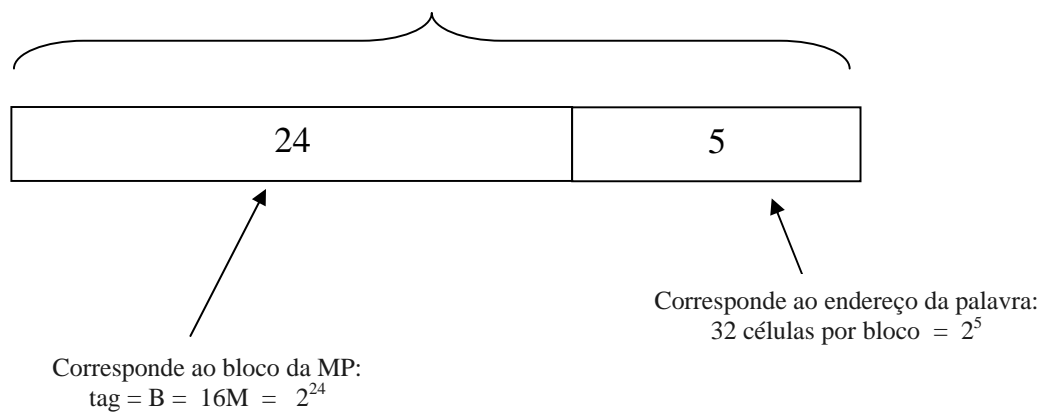
=> Tamanho da memória = 128K células



Para endereçarmos toda a MP precisamos da seguinte quantidade de bits: $E = 29$ bits

Como o bloco pode ser alocado em qualquer posição da memória cache a tag indicará qual dos blocos da MP está alocado naquela posição da memória cachê

Tamanho do endereço da MP = 29 bits



3. (2,5) Responda:

a) (0,5) Dados os valores de memória abaixo e uma máquina de 1 endereço com um acumulador:

palavra 20 contém 40
palavra 30 contém 50
palavra 40 contém 60
palavra 50 contém 70

Quais valores as seguintes instruções carregam no acumulador?

- LOAD IMEDIATO 20

Nesta instrução o valor a ser colocado no acumulador corresponde ao valor fornecido como operador, portanto: $ACC \leftarrow 20$ (o valor a ser colocado no acumulador é 20)

- LOAD DIRETO 20

Nesta instrução o valor a ser colocado no acumulador corresponde ao valor contido no endereço de memória fornecido como operador, portanto

$ACC \leftarrow (20)$ (o valor a ser colocado no acumulador é 40)

- LOAD INDIRETO 20

Nesta instrução o valor a ser colocado no acumulador corresponde ao valor contido no endereço que consta como valor no endereço de memória fornecido como operador, portanto

$ACC \leftarrow ((20))$ (o valor a ser colocado no acumulador é 60)

b) (1,0) Analise os modos de endereçamento direto, indireto e imediato, estabelecendo diferenças de desempenho, vantagens e desvantagens de cada um.

- Imediato: Seu campo operando contém o dado, não requer acessos à memória principal sendo mais rápido que o modo direto. Possui como vantagem a rapidez na execução da instrução e como desvantagem a limitação do tamanho do dado, e é inadequado para o uso com dados de valor variável.
- Direto: Seu campo operando contém o endereço do dado, requer apenas um acesso à memória principal, sendo mais rápido que o modo indireto. Possui como vantagem a flexibilidade no acesso a variáveis de valor diferente em cada execução do programa e como desvantagem a perda de tempo, se o dado for uma constante.
- Indireto: O campo operando corresponde ao endereço que contém a posição onde está o conteúdo desejado, necessita de 2 acessos a memória principal, portanto mais lento que os 2 modos anteriores. Tem como vantagem o manuseio de vetores e utilização como ponteiro, e desvantagem como muitos acessos à memória principal.

c) (1,0) Qual é o objetivo do emprego do modo de endereçamento base mais deslocamento? Qual é a diferença de implementação entre esse modo e o modo indexado?

O modo base mais deslocamento tem como seu principal objetivo permitir a modificação de endereço de programas ou módulos destes (que é a realocação de programa), bastando para isso uma única alteração no registrador base.

O modo base mais deslocamento tem como característica o endereço ser obtido da soma do deslocamento com o registrador base. Difere do modo indexado onde o do registrador base é fixo e ocorre variação no deslocamento, pois ao contrário, em endereçamento base mais deslocamento o deslocamento é fixo e há alteração do registrador base.

4. (2,0) Considere uma máquina com arquitetura semelhante à arquitetura vista no curso, que apresente as seguintes especificações:

- Capaz de endereçar 512 M células de memória principal.
- Possui 40 registradores, além do RDM (Registrador de Dados da Memória), REM (Registrador de Endereços da Memória), CI (Contador de Instrução) e RI (Registrador de Instrução).
- Cada instrução possui um código de operação e três operando como mostrado abaixo, onde Op1 e Op2 identificam um dos 40 registradores e Op3 um endereço de memória. O tamanho total da instrução é 48 bits.

Cód. Oper.	Op1	Op2	Op3
------------	-----	-----	-----

a) (0,2) Calcule o tamanho mínimo em bits do REM e do barramento de endereços.

O barramento de endereços deverá endereçar 512M células = N
 Barramento de endereços = E, sendo $N = 512M \Rightarrow N = 2^{29} \Rightarrow E = 29$
 Barramento de endereços = REM = 29 bits

b) (0,2) Calcule o número máximo de códigos de operação que podem existir para esta máquina.

Temos 40 registradores além do CI, RI, REM e RDM: total de 44 registradores \Rightarrow serão necessários 6 bits no mínimo para endereçá-los: $2^6 = 64$ possíveis registradores

OP3 terá o tamanho de um endereço de memória = 29 bits

OP1 e OP2. Cada um terá o tamanho de um endereço de registrador = 6 bits

Instrução = Cod.Oper + OP1 + OP2 + OP3
 $48 = \text{Cod.Oper.} + 6 + 6 + 29 \Rightarrow \text{Cod.Oper} = 7 \text{ bits}$
 Total de códigos de operação possíveis = $2^7 = 128$ códigos diferentes

c) (0,3) Cada acesso à memória principal acessa uma célula de memória e para obter uma instrução da memória principal necessitam-se de 3 acessos. Indique o tamanho em bits de cada célula da memória principal, o tamanho do RDM e o barramento de dados.

Para 1 instrução precisamos de 3 acessos \Rightarrow Como uma instrução tem 48 bits, portanto cada acesso transferirá 16 bits.

O tamanho do barramento de dados corresponderá à capacidade de transferência de um acesso = 16bits.

Como RDM = tamanho do barramento de dados, teremos RDM = 16bits

- d) (0,4) Calcule o tamanho de RI e CI utilizando-se os valores calculados nos itens anteriores.

O CI terá que ter no mínimo a capacidade de endereçamento total da memória que é de 29 bits.

RI terá o tamanho mínimo de uma instrução para que seja decodificada: 48 bits.

- e) (0,2) Calcule a capacidade de armazenamento, em bits, da memória desta máquina.

T (capacidade da memória em bits) = M (tamanho da célula) x N (quantidade de células)

$$T = 16 \times 512M = 2^4 \times 2^{29} = 2^{33} \text{ bits} = 8.589.934.592 \text{ bits}$$

- f) (0,7) Descreva detalhadamente a execução da instrução **ADDM Op1 Op2 Op3** nesta máquina. Esta instrução soma o conteúdo do registrador Op1 com o conteúdo do registrador Op2 e armazena o resultado na memória no endereço Op3. Indique como os registradores RDM, REM, CI e RI, os barramentos de dados, de controle e de endereços e a ULA (Unidade Lógica Aritmética) são utilizados.

1. O endereço da instrução é colocado no CI.
2. O endereço é transferido para o REM.
3. O endereço é transferido para a memória através do barramento de endereços.
4. O sinal de leitura é acionado no barramento de controle.
5. Os primeiros 16 bits da instrução são transferidos através do barramento de dados para o RDM, e depois são transferidos para o RI.
6. Os próximos 16 bits da instrução são transferidos através do barramento de dados para o RDM, e depois são transferidos para o RI.
7. Os últimos 16 bits da instrução são transferidos através do barramento de dados para o RDM, e depois são transferidos para o RI.
8. A instrução é decodificada.
9. Os conteúdos do registrador Op1 e do registrador Op2 são enviados para a ULA e um sinal de controle de soma é enviado para a ULA.
10. O resultado da ULA é armazenado no RDM.
11. O endereço Op3 é armazenado no REM.
12. O conteúdo de REM é transferido para a memória através do barramento de endereços.
13. O conteúdo de RDM é transferido para a memória através do barramento de dados.
14. O sinal de escrita é acionado no barramento de controle.

5. (2,0) Descreva **detalhadamente** os três possíveis métodos de comunicação entre o controlador de Entrada/Saída com a unidade central de processamento e memória principal: por E/S programada, por interrupção e por acesso direto à memória. Indique as vantagens e desvantagens de cada método.

a) E/S por programa: O processador tem controle direto sobre a operação de E/S, incluindo a detecção do estado do dispositivo, o envio de comandos de leitura ou escrita e transferência de dados. Para realizar uma transferência de dados, o processador envia um comando para o módulo de E/S e fica monitorando o módulo para identificar o momento em que a transferência pode ser realizada. Após detectar que o módulo está pronto, a transferência de dados é realizada através do envio de comandos de leitura ou escrita pelo processador. Se o processador for mais rápido que o módulo de E/S, essa espera representa um desperdício de tempo de processamento. As vantagens deste método são: hardware simples e todos os procedimentos estão sobre controle da UCP. As desvantagens são: utilização do processador para interrogar as interfaces, o que acarreta perda de ciclos de processador que poderiam ser utilizados na execução de outras instruções e utilização do processador para realizar a transferência de dados, o que também acarreta perda de ciclos de processador.

b) E/S por interrupção: Neste caso, o processador envia um comando para o módulo de E/S e continua a executar outras instruções, sendo interrompido pelo módulo quando ele estiver pronto para realizar a transferência de dados, que é executada pelo processador através da obtenção dos dados da memória principal, em uma operação de saída, e por armazenar dados na memória principal, em uma operação de entrada.

A vantagem deste método é que não ocorre perda de ciclos de processador para interrogar a interface, já que neste caso, não se precisa mais interrogar a interface, ela avisa quando está pronta. As desvantagens são: necessidade de um hardware adicional (controlador de interrupções, por exemplo), gerenciamento de múltiplas interrupções e perda de ciclos de relógio para salvar e recuperar o contexto dos programas que são interrompidos

c) E/S por DMA: Nesse caso a transferência de dados entre o módulo de E/S e a memória principal é feita diretamente sem envolver o processador. Existe um outro módulo denominado controlador de DMA que realiza a transferência direta de dados entre a memória e o módulo de E/S. Quando o processador deseja efetuar a transferência de um bloco de dados com um módulo de E/S, ele envia um comando para o controlador de DMA indicando o tipo de operação a ser realizada (leitura ou escrita de dados), endereço do módulo de E/S envolvido, endereço de memória para início da operação de leitura ou escrita de dados e número de palavras a serem lidas ou escritas. Depois de enviar estas informações ao controlador de DMA, o processador pode continuar executando outras instruções. O controlador de DMA executa a transferência de todo o bloco de dados e ao final envia um sinal de interrupção ao processador, indicando que a transferência foi realizada.

As vantagens deste método são: permite transferência rápida entre interface e memória porque existe um controlador dedicado a realizá-la e libera a UCP para executar outras instruções não relacionadas a entrada e saída. A desvantagem é que precisamos de hardware adicional.

- 132 em binário: 10000100 (não tem parte fracionária)
 Normalizado: $1,0000100 \times 2^7$
 Expoente: $7 + 1023 = 1030 = (100000001110)_2$
 Sinal: 1 (negativo)

11000000001100000100

- i. (0,2) um inteiro sem sinal

$$\text{Temos: } 2^{63} + 2^{62} + 2^{54} + 2^{53} + 2^{47} = 13.862.220.390.534.742.016$$

- Temos: $-2^{63} + (2^{62} + 2^{54} + 2^{53} + 2^{47}) = -4.584.523.683.174.809.600$