

EGO-XA7

Hardware User's Guide



(V1.1) August 9, 2018



一元素科技股份有限公司

修訂紀錄

版本	修訂紀錄	日期
V1.0	創建文檔	2018/8/9
V1.1	修改文檔	2018/8/28

目錄

修訂紀錄	1
1. 概述	3
1.1 產品規格	3
1.2 周邊方塊圖	4
1.3 Bank 分配方塊圖	4
1.4 硬體介紹	5
2. 功能詳述	6
2.1 FPGA 晶片介紹	6
2.2 配置模式	6
2.3 系統時鐘	7
2.4 通用 I/O 介面	7
2.4.1 按鍵	7
2.4.2 開關	8
2.4.3 LED	9
2.4.4 七段顯示器	10
2.5 VGA 介面	11
2.6 音訊介面	12
2.7 串列埠 (USB-UART)	13
2.8 USB 轉 PS2 介面	14
2.9 SRAM 介面	14
2.10 類比電壓輸入	16
2.11 DAC 輸出介面	18
2.12 藍芽模組	19
2.13 通用擴展 I/O	20
2.14 Power	21

1. 概述

EGO-XA7 是一元素科技基於 Xilinx Artix-7 FPGA 研發的可攜式數模混合基礎教學平臺。EGO-XA7 配備的 FPGA (XC7A35T-1CSG324C) 具有大容量高性能等特點，能實現較複雜的數位邏輯設計；在 FPGA 內可以構建 MicroBlaze 處理器系統，可進行 SoC 設計。該平臺擁有豐富的週邊，以及靈活的通用擴展介面。

1.1 產品規格

EGO-XA7 的規格列於下方。

- 系統主晶片 Xilinx Artix-7 XC7A35T-1CSG324C :
 - ◆ 主要配置 QSPI Flash
 - ◆ 次要配置 Cascaded JTAG
- Memory:
 - ◆ 8Mb(512k x 16) SRAM
 - ◆ 128Mb SPI Flash
- Interfaces:
 - ◆ JTAG Programming
 - USB-JTAG Programming
 - JTAG Programming Cable Connector
 - ◆ USB-to-PS2
 - ◆ USB Type C-to-JTAG & UART
 - ◆ XADC Dual 12-bit 1Msps
 - ◆ DAC 8-bit
 - ◆ Bluetooth Module
 - ◆ Expansion I/O 36Pin
- Reset Push buttons :
 - ◆ RESET reset button
 - ◆ PROG reset button
- Status LEDs :
 - ◆ Power good
 - ◆ FPGA DONE
 - ◆ FLASH Boot up
- User I/O :
 - ◆ Five Push Buttons
 - ◆ Eight Switches
 - ◆ Eight DIPs
 - ◆ Eight Seven-segment display
 - ◆ Sixteen LEDs
- Clock :
 - ◆ 100MHz
- VGA output
- Audio Jack output

1.2 周邊方塊圖

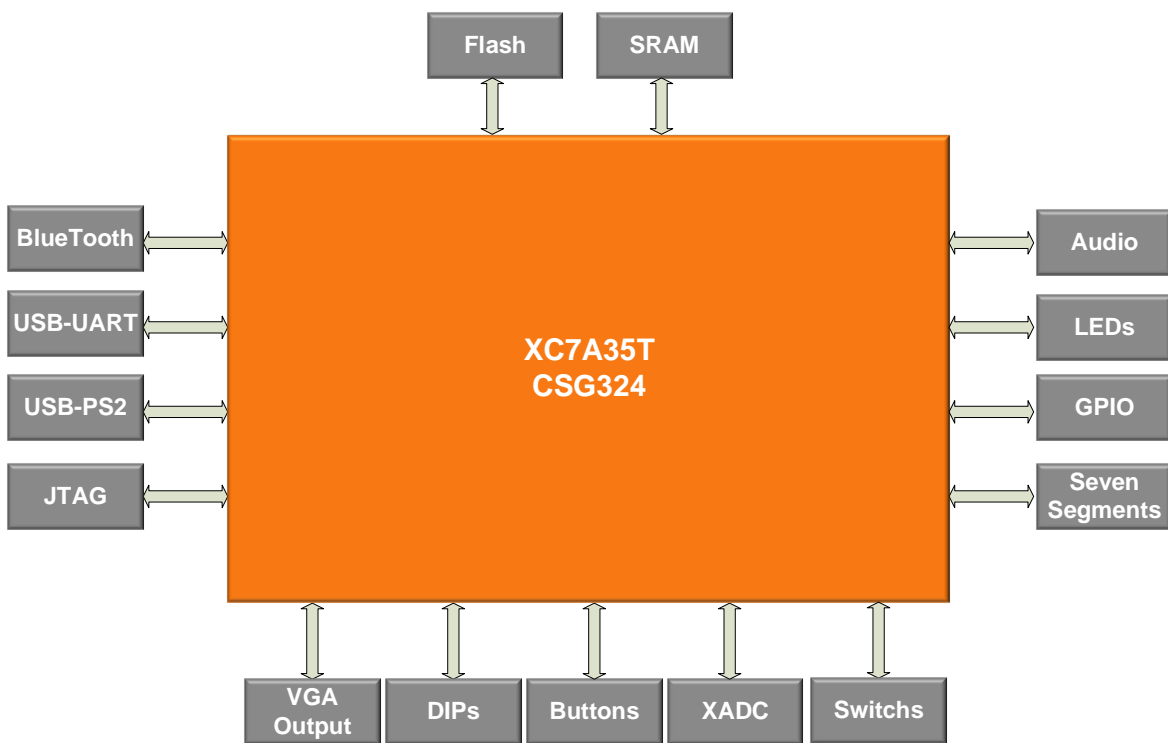


圖 1 EGO-XA7 周邊方塊圖

1.3 Bank 分配方塊圖

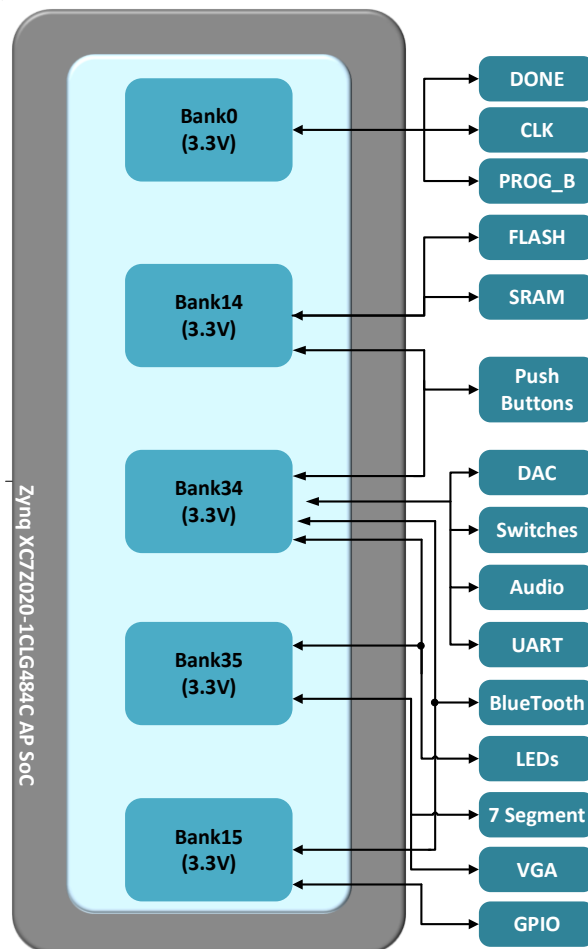


圖 2 EGO-XA7 Bank 分配方塊圖

1.4 硬體介紹

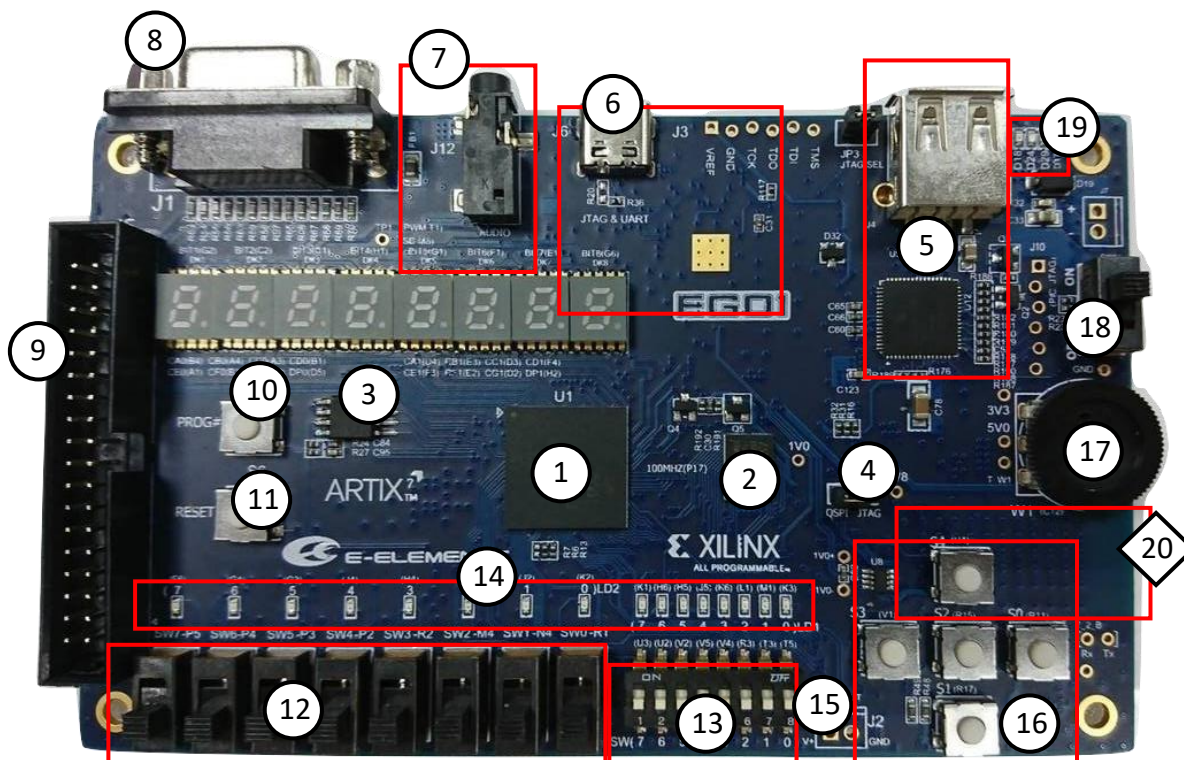


圖 3 EGO-XA7 硬體介紹

表 1 硬體描述

Call out	Reference Designator	Component Description	Notes	Schematic Page Number
1	U1	Xilinx Artix-7	XC7A35TCSG324	-
2	U4	SRAM , 8 Mb	512K X 16 , Integrated Silicon Solution Inc, IS61WV51216BLL-10MI	5
3	U9	SPI Flash Memory, 32 Mb	Micron, N25Q32A	2
4	JP2	QSPI / JTAG Jumper	Default QSPI	2
5	J4, U12	USB to PS/2	PIC24FJ128	8
6	J6	JTAG & UART	USB type C, FT2232HQ	-
7	J12, U5, U7	Audio Output	Barrel Jack, 2 X AD8591ART-REEL	5
8	J1	VGA Video Output	DB-15	7
9	J5	Expansion GPIO	2X18P-B	6
10	S5	PROG# Push Button	TL3304AF160QJ	2
11	S6	RESET# Push Button	TL3304AF160QJ	2
12	SW7 ~ SW0	Switch	-	6
13	SW_7 ~ SW_0	DIP Switch	-	6
14	LD1 & LD2	2 X 8 LED	-	7
15	J2	Digital-to-Analog Converter	DAC0832, LM324	5
16	S0 ~ S4	5 X Push Button	TL3304AF160QJ	6
17	W1	Analog-to-Digital Interface	VR-B103 10K	7
18	SW12	Power Switch	-	10
19	D24, D17	FPGA Done LED, Bluetooth LED	Blue Light	2
20	B1	Bluetooth Module	BLE-CC41-A	7

2.功能詳述

2.1 FPGA 晶片介紹

Artix®-7 裝置在單個成本優化的 FPGA 中提供了最高性能功耗比結構、收發器線速、DSP 處理能力以及 AMS 整合。包含 MicroBlaze™ 處理器，此系列為各類成本功耗敏感型應用提供最大價值，包括軟件定義無線電、機器視覺相機以及低端無線回傳。圖 4 為 XC7A35T 的資源

	Part Number	XC7A15T	XC7A35T	XC7A50T
Logic Resources	Logic Cells	16,640	33,280	52,160
	Slices	2,600	5,200	8,150
	CLB Flip-Flops	20,800	41,600	65,200
Memory Resources	Maximum Distributed RAM (Kb)	200	400	600
	Block RAM/FIFO w/ ECC (36 Kb each)	25	50	75
	Total Block RAM (Kb)	900	1,800	2,700
Clock Resources	CMTs (1 MMCM + 1 PLL)	5	5	5
I/O Resources	Maximum Single-Ended I/O	250	250	250
	Maximum Differential I/O Pairs	120	120	120
Embedded Hard IP Resources	DSP Slices	45	90	120
	PCIe® Gen2 ⁽¹⁾	1	1	1
	Analog Mixed Signal (AMS) / XADC	1	1	1
	Configuration AES / HMAC Blocks	1	1	1
	GTP Transceivers (6.6 Gb/s Max Rate) ⁽²⁾	4	4	4
Speed Grades	Commercial	-1, -2	-1, -2	-1, -2
	Extended	-2L, -3	-2L, -3	-2L, -3
	Industrial	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L

圖 4、XC7A35T 資源圖

2.2 配置模式

EES328 在開始工作前必須先配置 FPGA，板上提供以下方式配置 FPGA：

USB 轉 JTAG 介面 J2

6-pin JTAG 連接器介面 J3

SPI Flash 上電自啟動

FPGA 的設定檔為尾碼名.bit 的檔，使用者可以通過上述的三種方法將該 bit 檔燒寫到 FPGA 中，該檔可以通過 Vivado 工具產生，BIT 檔的具體功能 由使用者的原始設計檔決定。

在使用 SPI Flash 配置 FPGA 時，需要提前將設定檔寫入到 Flash 中。Xilinx 開發工具 Vivado 提供了寫入 Flash 的功能。板上 SPI Flash 型號為 N25Q32，支援 3.3V 電壓配置。FPGA 配置成功後 D24 將點亮。

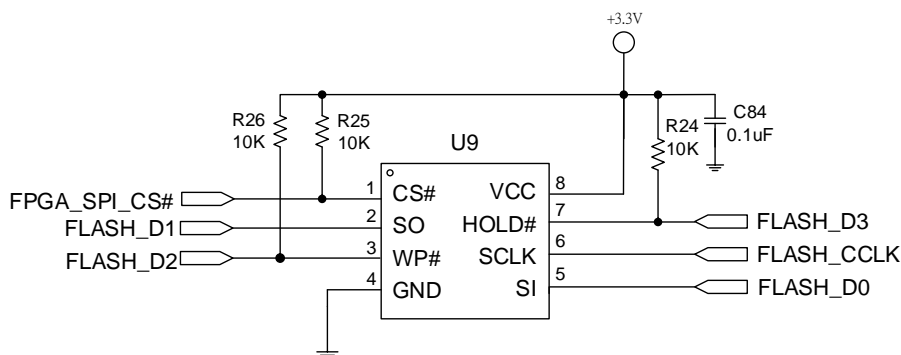


圖 5 SPI Flash

2.3 系統時鐘

EGO-XA7 搭載一個 100MHz 的時鐘晶片，輸出的時鐘信號直接與 FPGA 全域時鐘輸入接腳（P17）相連。若設計中還需要其他頻率的時鐘，可以採用 FPGA 內部的 MMCM 產生。

表 2 Clock 腳位

Schematic Net Name	FPGA Pin
SYS_CLK	P17

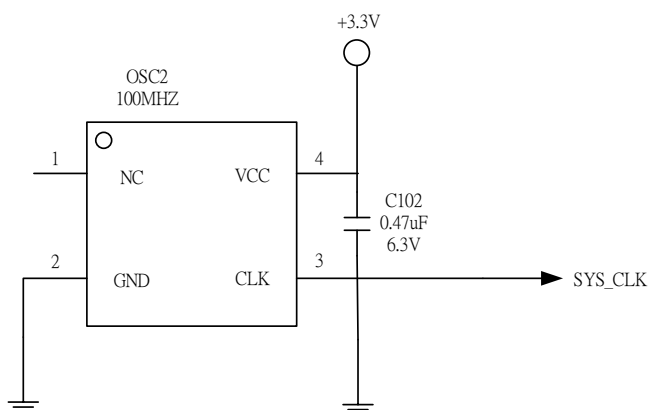


圖 6 Clock Source

2.4 通用 I/O 介面

通用 I/O 介面週邊包括 2 個專用按鍵、5 個通用按鍵、8 個撥動開關、1 個 8 位元 DIP 開關、16 個 LED 燈、8 個七段顯示器。

2.4.1 按鍵

兩個專用按鍵分別用於邏輯重置 RST (S6) 和擦除 FPGA 配置 PROG (S5)，當設計中不需要外部觸發重置時，RST 按鍵可以用作其他邏輯觸發功能。

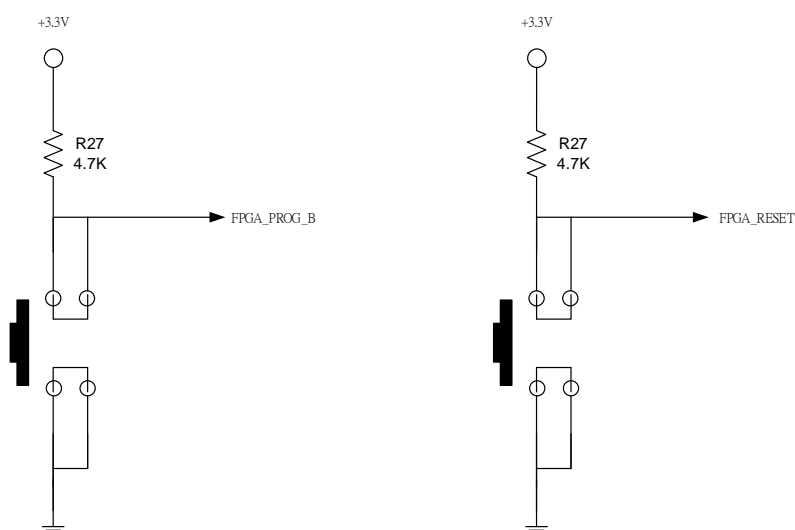


圖 7 PROG/Reset button

表 3 Reset 腳位

Schematic Net Name	FPGA Pin
FPGA_RESET	P15

五個通用按鍵，預設為低電位，按鍵按下時輸出高電位。

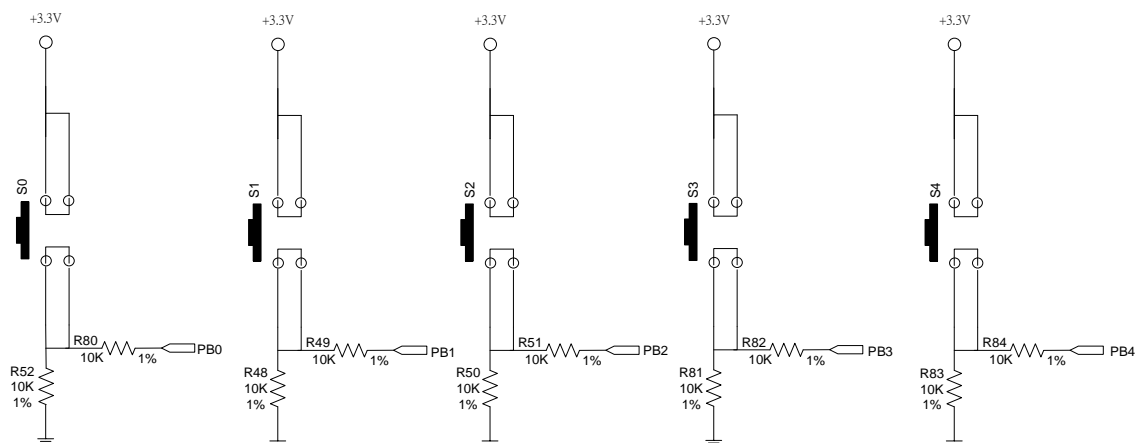


圖 8 Push Button

表 4 Push Button 腳位

Schematic Net Name	FPGA Pin
PB0	R11
PB1	R17
PB2	R15
PB3	V1
PB4	U4

2.4.2 開關

開關包括 8 個撥動開關和一個 8 位元 DIP 開關。

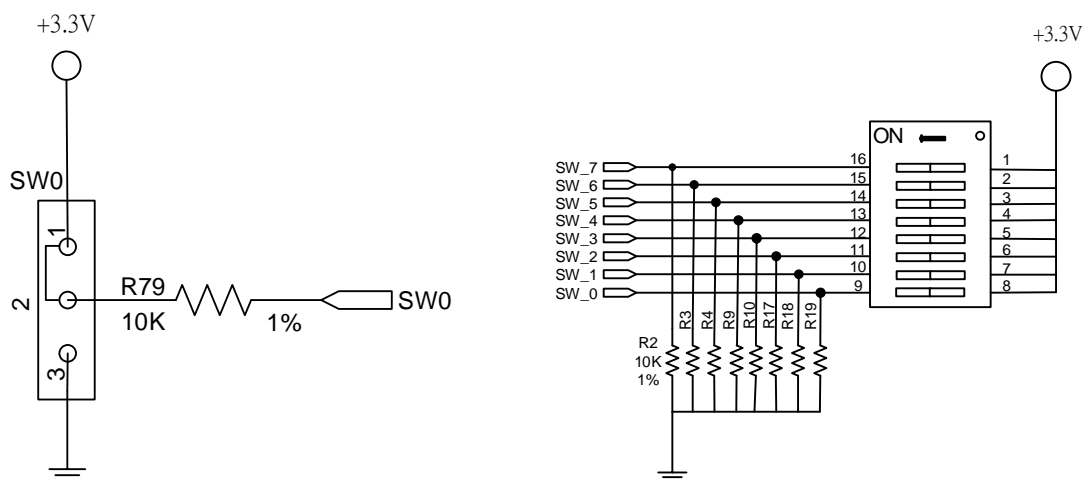


圖 9 Switch / DIP

表 5 Switch / DIP 腳位

Schematic Net Name	FPGA Pin
SW0	P5
SW1	P4
SW2	P3
SW3	P2
SW4	R2
SW5	M4
SW6	N4

SW7	R1
SW_0	U3
SW_1	U2
SW_2	V2
SW_3	V5
SW_4	V4
SW_5	R3
SW_6	T3
SW_7	T5

2.4.3 LED

LED 在 FPGA 輸出高電位時被點亮。

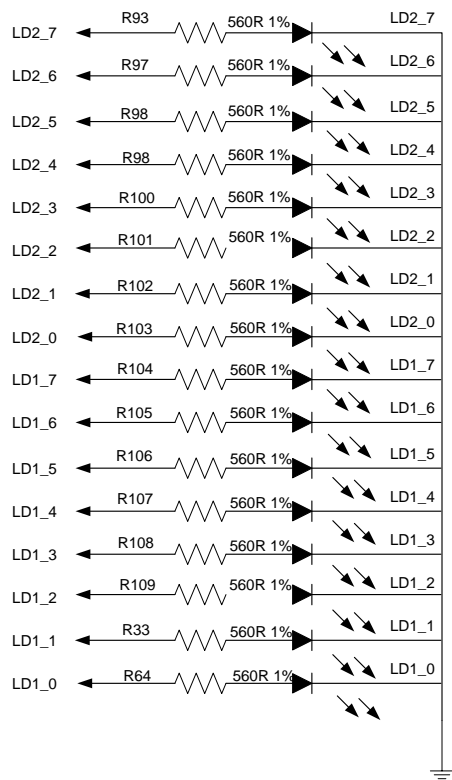


圖 10 LED
表 6 LED 腳位

Schematic Net Name	FPGA Pin
LD2_7	F6
LD2_6	G4
LD2_5	G3
LD2_4	J4
LD2_3	H4
LD2_2	J3
LD2_1	J2
LD2_0	K2
LD1_7	K1
LD1_6	H6
LD1_5	H5
LD1_4	J5
LD1_3	K6
LD1_2	L1
LD1_1	M1
LD1_0	K3

2.4.4 七段顯示器

顯示器為共陰極顯示器，即公共極輸入低電位。共陰極由電晶體驅動，FPGA 需要提供正向信號。同時段選端連接高電位，顯示器上的對應位置才可以被點亮。因此，FPGA 輸出有效的片選信號和段選信號都應該是高電位。

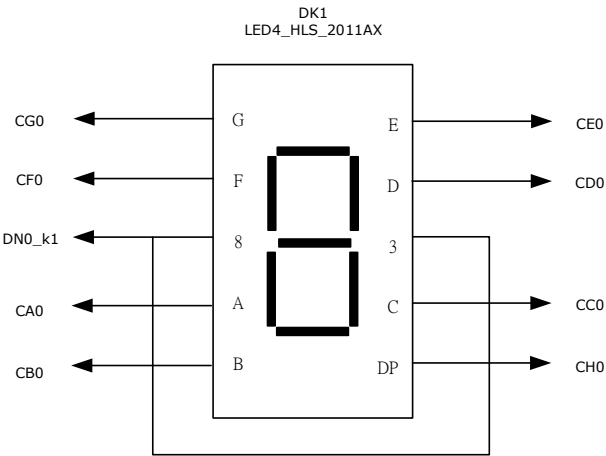


圖 11 七段顯示器

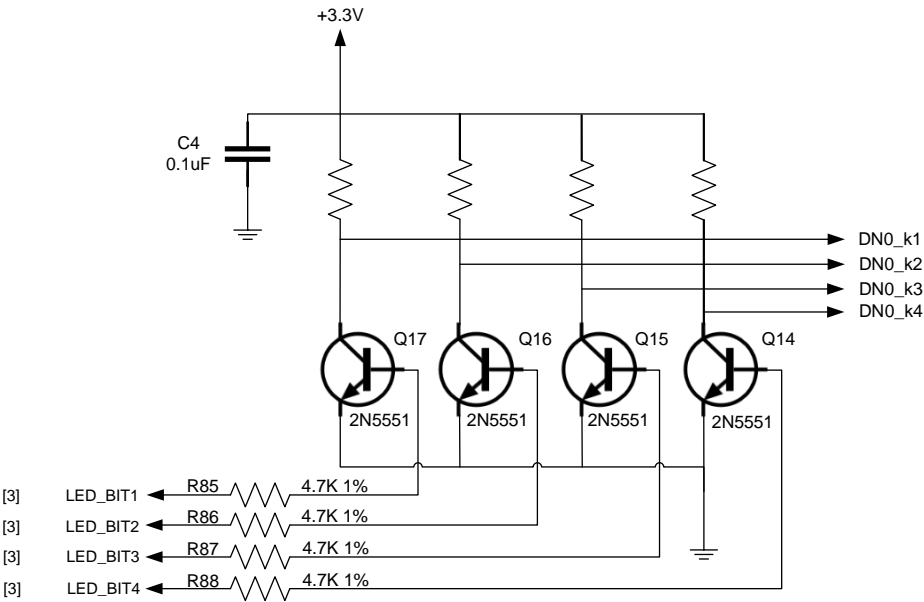


圖 12 七段顯示器控制電路

表 7 七段顯示器腳位

Schematic Net Name	FPGA Pin
CA0	B4
CB0	A4
CC0	A3
CD0	B1
CE0	A1
CF0	B3
CG0	B2
DP0	D5
CA1	D4
CB1	E3
CC1	D3
CD1	F4
CE1	F3

CF1	E2
CG1	D2
DP1	H2
LED_BIT1	G2
LED_BIT2	C2
LED_BIT3	C1
LED_BIT4	H1
LED_BIT5	G1
LED_BIT6	F1
LED_BIT7	E1
LED_BIT8	G6

2.5 VGA 介面

EGO-XA7 上的 VGA 介面 (J1) 通過 14 位元信號線與 FPGA 連接，紅、綠、藍三個顏色信號各占 4 位，另外還包括水平同步和垂直同步信號。

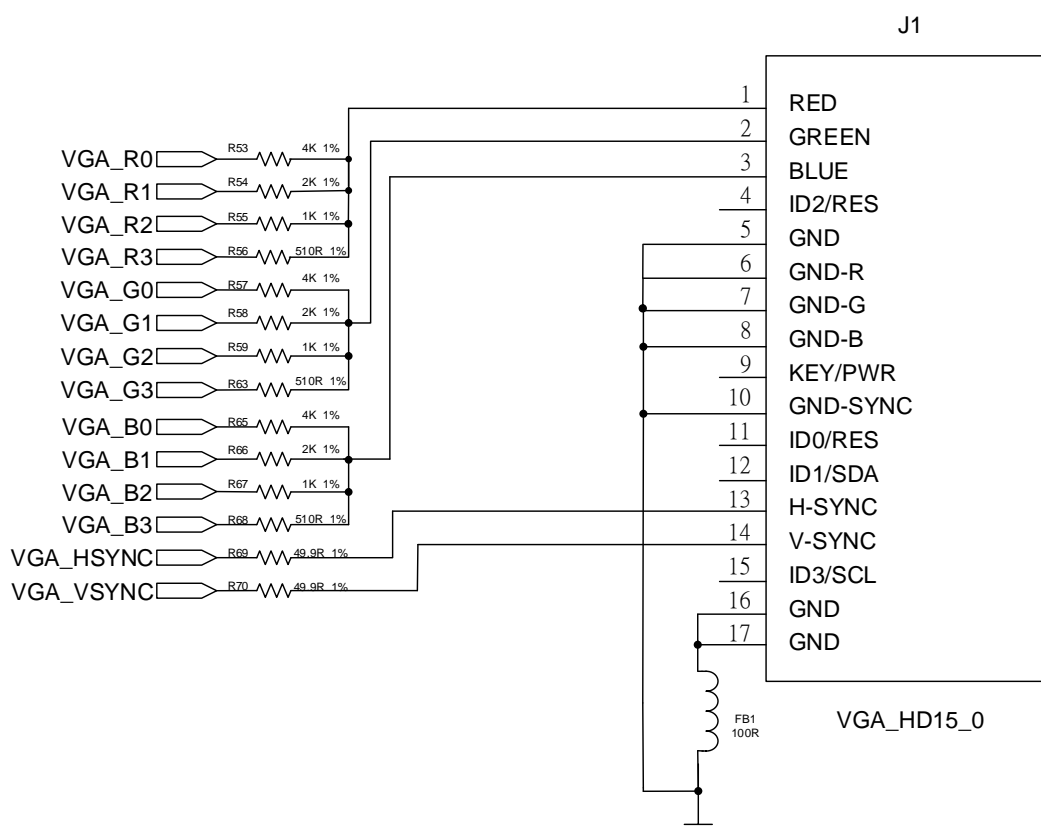


圖 13 VGA 顯示器

表 8 VGA 顯示器腳位

Schematic Net Name	FPGA Pin
VGA_R0	F5
VGA_R1	C6
VGA_R2	C5
VGA_R3	B7
VGA_G0	B6
VGA_G1	A6
VGA_G2	A5
VGA_G3	D8
VGA_B0	C7
VGA_B1	E6
VGA_B2	E5
VGA_B3	E7

VGA_HSYNC	D7
VGA_VSYNC	C4
VGA_R0	F5
VGA_R1	C6

2.6 音訊介面

EGO-XA7 上的單聲道音訊輸出介面 (J12) 由下圖所示的低通濾波器電路驅動。濾波器的輸入信號 (AUDIO_PWM) 是由 FPGA 產生的脈衝寬度調變信號 (PWM) 或脈衝密度調製信號 (PDM)。低通濾波器將輸入的數位信號轉化為類比電壓信號輸出到音訊插孔上。

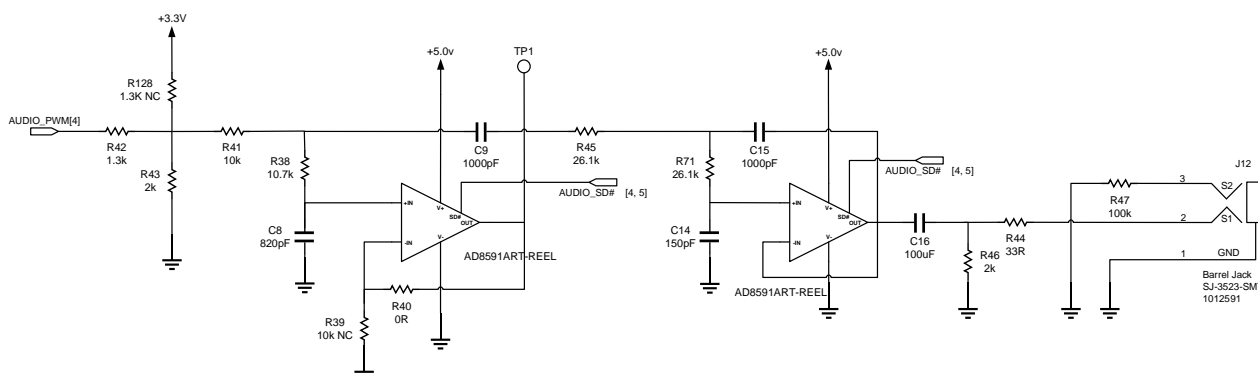


圖 14 音訊介面

脈衝寬度調變

脈衝寬度調變信號是一連串頻率固定的脈衝信號，每個脈衝的寬度都可能不同。這種數位信號在通過一個簡單的低通濾波器後，被轉化為類比電壓信號，電壓的大小跟一定區間內的平均脈衝寬度成正比。這個區間由低通濾波器的 3dB 截止頻率和脈衝頻率共同決定。例如，脈衝為高電位的時間占有效脈衝週期的 10% 的話，濾波電路產生的類比電壓值就是 Vdd 電壓的十分之一。下圖是一個簡單的 PWM 信號波形：

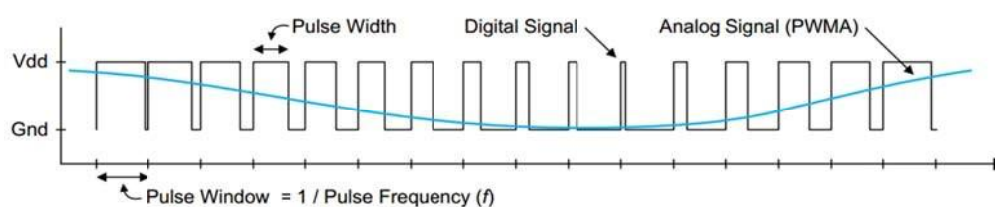


圖 15 PWM 信號

低通濾波器 3dB 頻率要比 PWM 信號頻率低一個數量級，這樣 PWM 頻率上的信號能量才能從輸入信號中過濾出來。例如，要得到一個最高頻率為 5KHz 的音訊信號，那麼 PWM 信號的頻率至少為 50KHz 或者更高。通常，考慮到類比信號的保真度，PWM 信號的頻率越高越好。下圖是 PWM 信號整合之後輸出類比電壓的過程示意圖，可以看到濾波器輸出信號幅度與 Vdd 的比值等於 PWM 信號的 Duty Cycle。

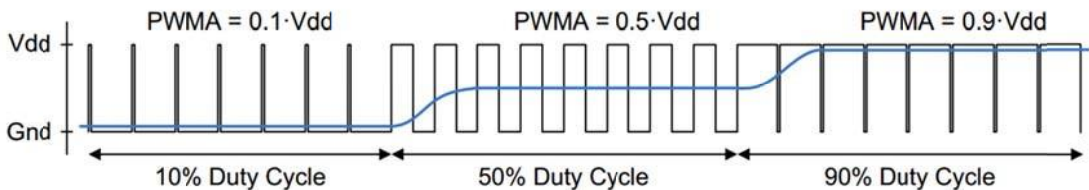


圖 16 PWM Duty Cycle

表 9 音訊介面接腳

Schematic Net Name	FPGA Pin
AUDIO_PWM	T1
AUDIO_SD#	M6

2.7 串列埠（USB-UART）

該模組運用了 CP2102 晶片，將 UART（串列埠）轉換成 USB 介面，插上主機的 USB 時，主機會將這個介面識別為串列裝置，對於主機而言，它和序列介面相同。

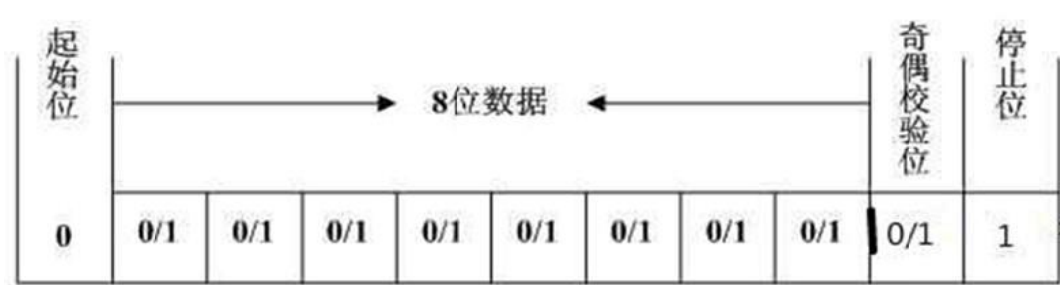
表 10 UART 接腳

Schematic Net Name	FPGA Pin
UART_RX	T4 （FPGA 串列埠發送）
UART_TX	N5 （FPGA 串列埠接收）

UART 的全稱是通用非同步收發器，是實現設備之間低速資料通信的標準協議。“非同步”指不需要額外的時鐘線進行資料的同步傳輸，雙方約定在同一個頻率下收發資料，此介面只需要兩條信號線（RXD、TXD）就可以完成資料的相互通信，接收和發送可以同時進行，也就是全雙工。

收發的過程，在發送器閒置時間，資料線處於邏輯 1 狀態，當提示有資料要傳輸時，首先使資料線的邏輯狀態為低，之後是 8 個資料位元、一位元校驗位、一位停止位，校驗一般是同位，停止位用於標示一幀的結束，接收過程亦類似，當檢測到資料線變低時，開始對資料線以約定的頻率抽樣，完成接收過程。本例資料幀採用：無校驗位，停止位為一位。 UART 的資料框架格式，如下：

圖 17 UART Format



2.8 USB 轉 PS2 介面

為方便使用者直接使用鍵盤滑鼠，EGO-XA7 直接支援 USB 鍵盤滑鼠設備。使用者可將標準的 USB 鍵盤滑鼠設備直接接入板上 J4 USB 介面，通過 PIC24FJ128，轉換為標準的 PS/2 協定介面。該介面不支援 USB 集線器，只能連接一個滑鼠或鍵盤。滑鼠和鍵盤通過標準的 PS/2 介面信號與 FPGA 進行通信。

表 11 PS2 接腳

Schematic Net Name	FPGA Pin
PS2_CLK	K5
PS2_DATA	L4

2.9 SRAM 介面

板卡搭載的 IS61WV12816BLL SRAM 晶片，總容量 8Mbit。該 SRAM 為非同步式 SRAM，最高存取時間可達 8ns。操控簡單，易於讀寫。

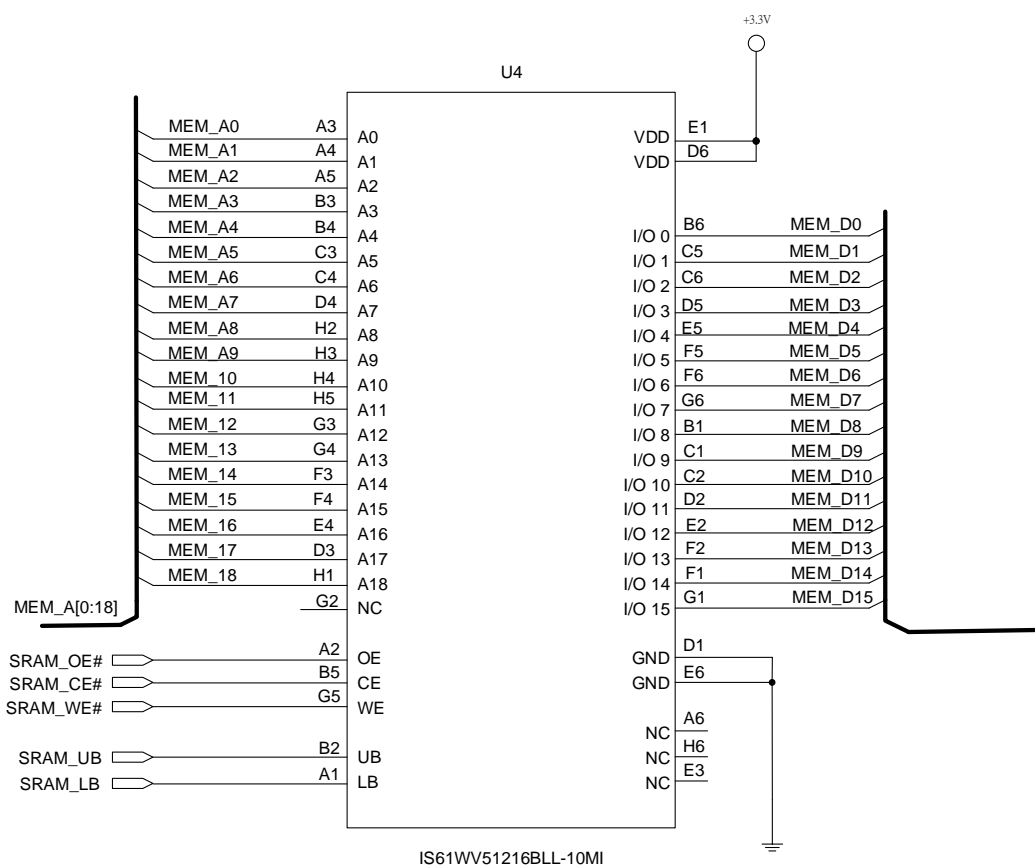


圖 18 SRAM 架構

SRAM 寫操作時序如下（詳細請參考 SRAM 使用者手冊）：

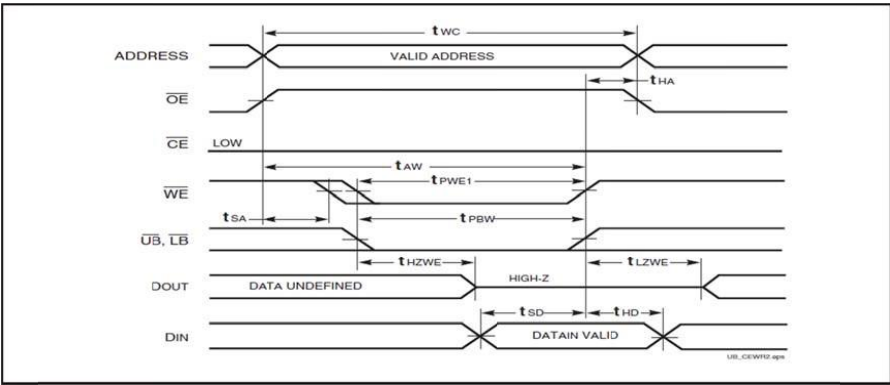


圖 19 SRAM 寫入時序

SRAM 讀操作時序如下（詳細請參考 SRAM 使用者手冊）：

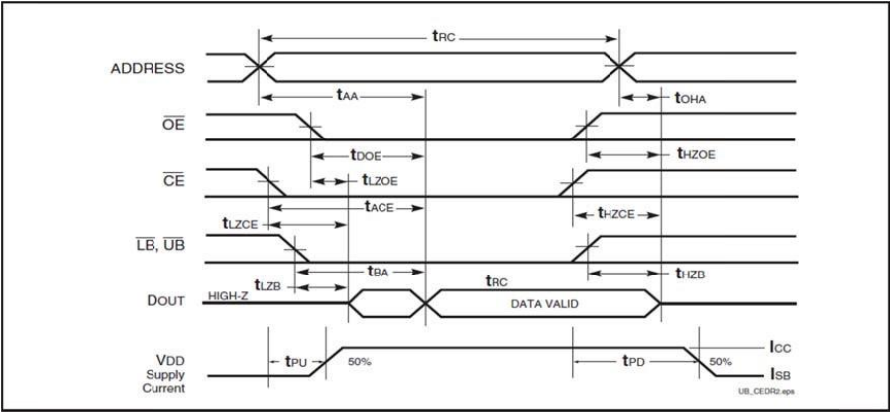


圖 20 SRAM 讀取時序

表 12 SRAM 接腳

Schematic Net Name	FPGA Pin
MEM_D0	U17
MEM_D1	U18
MEM_D2	U16
MEM_D3	V17
MEM_D4	T11
MEM_D5	U11
MEM_D6	U12
MEM_D7	V12
MEM_D8	V10
MEM_D9	V11
MEM_D10	U14
MEM_D11	V14
MEM_D12	T13
MEM_D13	U13
MEM_D14	T9
MEM_D15	T10
MEM_A00	T15
MEM_A01	T14
MEM_A02	N16
MEM_A03	N15

MEM_A04	M17
MEM_A05	M16
MEM_A06	P18
MEM_A07	N17
MEM_A08	P14
MEM_A09	N14
MEM_A10	T18
MEM_A11	R18
MEM_A12	M13
MEM_A13	R13
MEM_A14	R12
MEM_A15	M18
MEM_A16	L18
MEM_A17	L16
MEM_A18	L15
SRAM_OE#	T16
SRAM_CE#	V15
SRAM_WE#	V16
SRAM_UB	R16
SRAM_LB	R10

2.10 類比電壓輸入

Xilinx 7 系列的 FPGA 晶片內部整合了兩個 12bit 位寬、取樣速率為 1MSPS 的 ADC，擁有多達 17 個外部類比信號輸入通道，為使用者的設計提供了通用的、高精度的類比輸入介面。下圖是 XADC 模組的框圖：

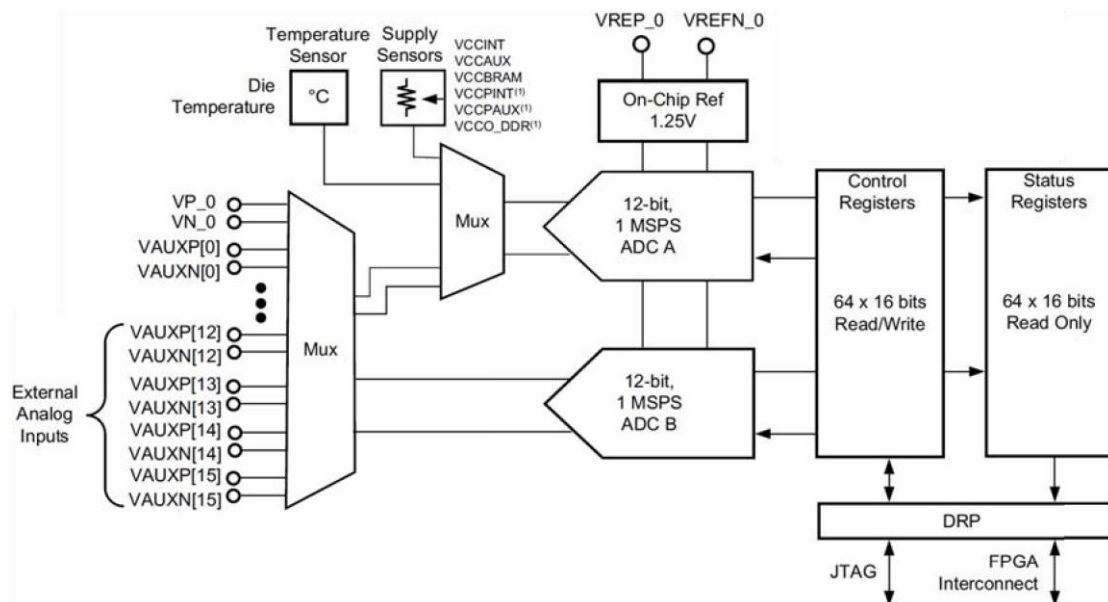


圖 21 XADC 模組

XADC 模組有一專用的支援差分輸入的類比頻道輸入接腳(VP/VN)，另外還最多 16 個輔助的類比頻道輸入接腳 (ADxP 和 ADxN, x 為 0 到 15)。XADC 模組也包括一定數量的感測器用來測量晶片上的供電電壓和晶片溫度，這些測量轉換資料儲存在一個叫狀態暫存器 (status registers) 的專用暫存器內，可由 FPGA 內部叫動態配置埠 (Dynamic Reconfiguration Port (DRP)) 的 16 位的同步讀寫埠存取。ADC 轉換資料也可以由 JTAG TAP 存取，這種情況下並不需要去直接例化 XADC 模組，因為這是一

個已經存在於 FPGA JTAG 結構的專用介面。此時因為沒有在設計中直接例化 XADC 模組，XADC 模組就工作在一種預先定義好的模式叫預設模式，預設模式下 XADC 模組專用於監視晶片上的供電電壓和晶片溫度。

XADC 模組的操作模式是由使用者通過 DRP 或 JTAG 介面寫控制暫存器來選擇的，控制暫存器的初始值有可能在設計中例化 XADC 模組時的區塊屬性（block attributes）指定。模式選擇是由控制暫存器 41H 的 SEQ3 到 SEQ0 bit 決定，具體如下圖示：

SEQ3	SEQ2	SEQ1	SEQ0	Function
0	0	0	0	Default Mode
0	0	0	1	Single pass sequence
0	0	1	0	Continuous sequence mode
0	0	1	1	Single Channel mode (Sequencer Off)
0	1	X	X	Simultaneous Sampling Mode
1	0	X	X	Independent ADC Mode
1	1	X	X	Default Mode

圖 22 控制暫存器模式

XADC 模組的使用方法，一是直接用 FPGA JTAG 專用介面存取，這時 XADC 模組工作在預設模式；二是在設計中例化 XADC 模組，這是可以通過 FPGA 邏輯或 ZYNQ 裝置的 PS 到 ADC 模組的專用介面存取。（詳細請參考 XADC 使用者手冊 ug480_7Series_XADC.pdf）EGO-XA7 通過可變電阻器（W1）向 FPGA 提供類比電壓輸入，輸入的類比電壓隨著電位器的旋轉在 0 ~ 1V 之間變化。輸入的類比信號與 FPGA 的 C12 接腳相連，最終通過通道 1 輸入到內部 ADC。

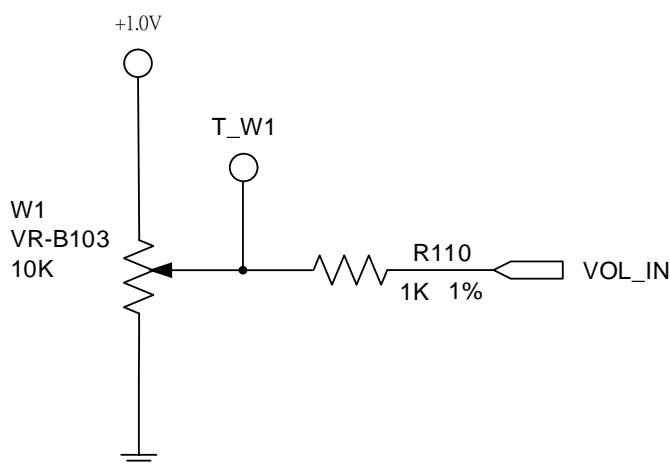


圖 23 類比電壓輸入

2.11 DAC 輸出介面

EGO-XA7 上整合了 8 位元的模數轉換晶片 (DAC0832)，DAC 輸出的類比信號連接到介面 J2 上。

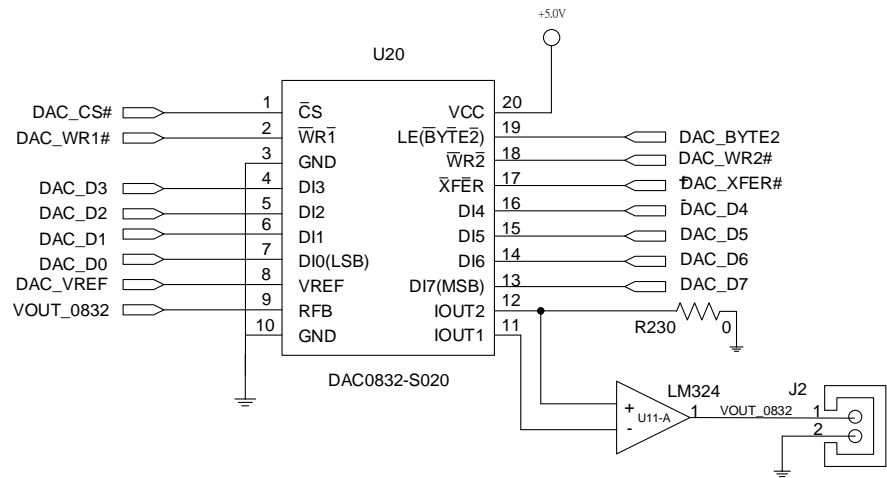


圖 24 DAC 架構圖

下面是 DAC0832 的操作時序圖（詳細請參考 DAC0832 使用者手冊）

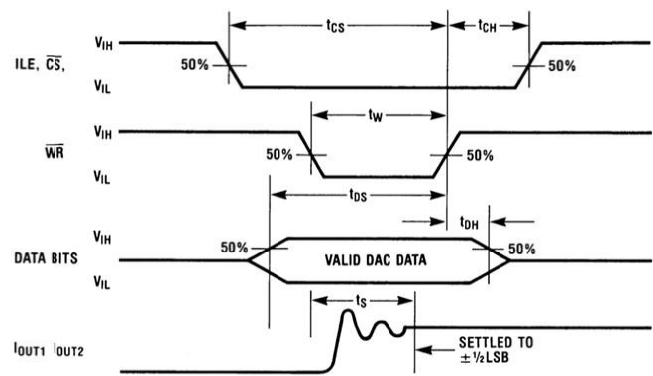


圖 25 DAC 操作時序

表 13 DAC 腳位

Schematic Net Name	FPGA Pin
DAC_D0	T8
DAC_D1	R8
DAC_D2	T6
DAC_D3	R7
DAC_D4	U6
DAC_D5	U7
DAC_D6	V9
DAC_D7	U9
DAC_BYTE2	R5
DAC_CS#	N6
DAC_WR1#	V6
DAC_WR2#	R6
DAC_XFER#	V7

2.13 通用擴展 I/O

EGO-XA7 上為使用者提供了靈活的通用介面 (J5) 用來作 I/O 擴展，共提供 32 個雙向 IO，每個 IO 支援過電流過電壓保護。

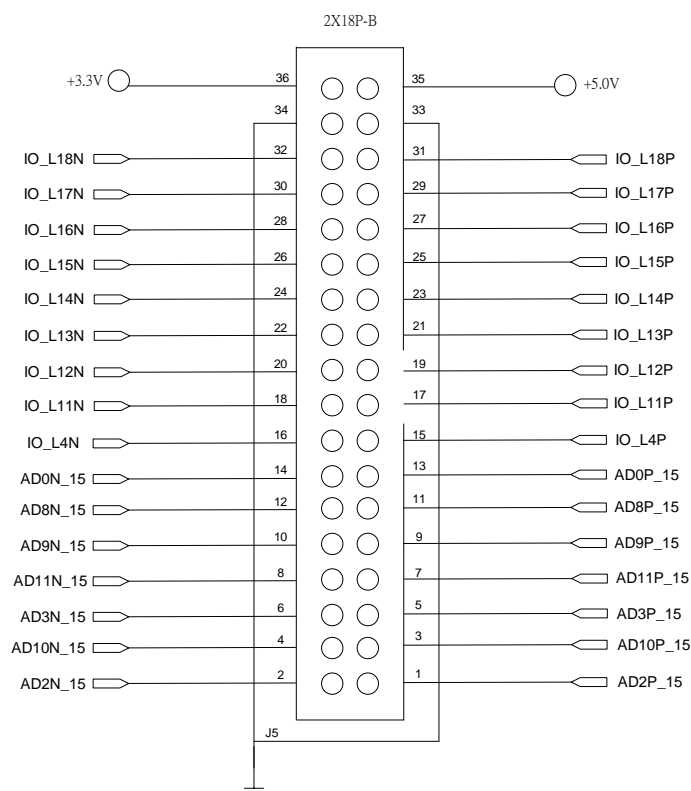


圖 27 GPIO
表 15 GPIO 腳位

Schematic Net Name	FPGA Pin
AD2P_15	B16
AD2N_15	A15
AD10P_15	A13
AD10N_15	B18
AD3P_15	F13
AD3N_15	B13
AD11P_15	D14
AD11N_15	B11
AD9P_15	E15
AD9N_15	D15
AD8P_15	H16
AD8N_15	F15
AD0P_15	H14
AD0N_15	E17
IO_L4P	K13
IO_L4N	H17
IO_L11P	B17
IO_L11N	A16
IO_L12P	A14
IO_L12N	A18
IO_L13P	F14
IO_L13N	B14

IO_L14P	C14
IO_L14N	A11
IO_L15P	E16
IO_L15N	C15
IO_L16P	G16
IO_L16P	F16
IO_L17P	G14
IO_L17N	D17
IO_L18P	J13
IO_L18P	G17

2.14 Power

EGO-XA7 使用 USB 5V 供電，開關 SW12 為整個平臺的電源開關。

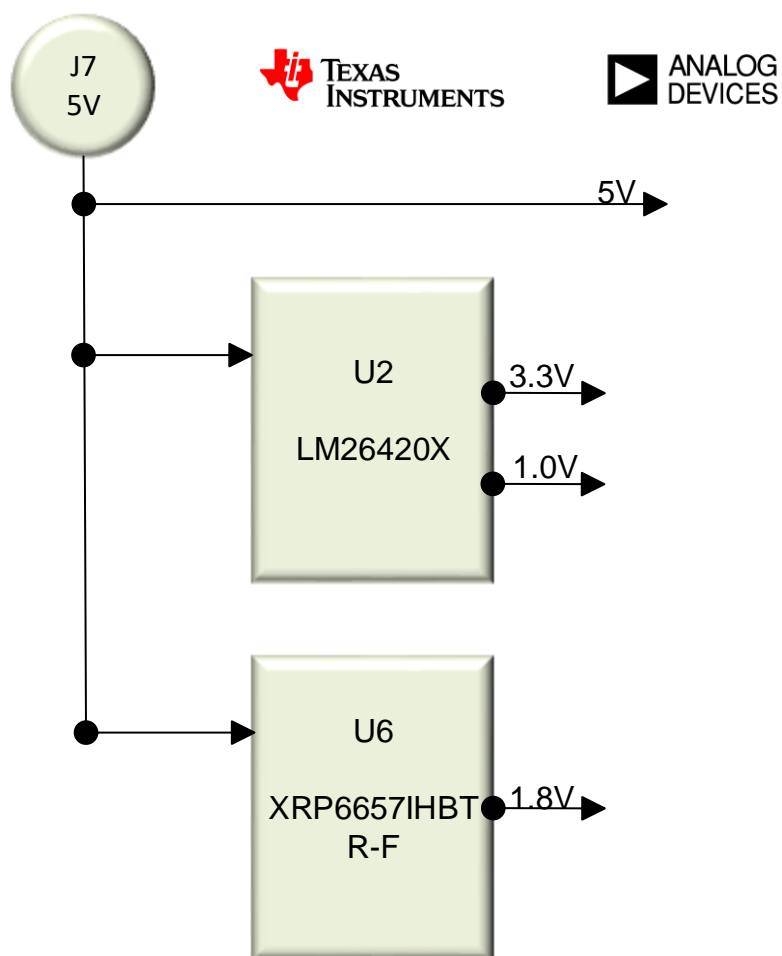


圖 28 Power 配置