

Team01_lab1_report

組員

B09901026何式功

B09901030藍照淇

B09901035陳亮瑜

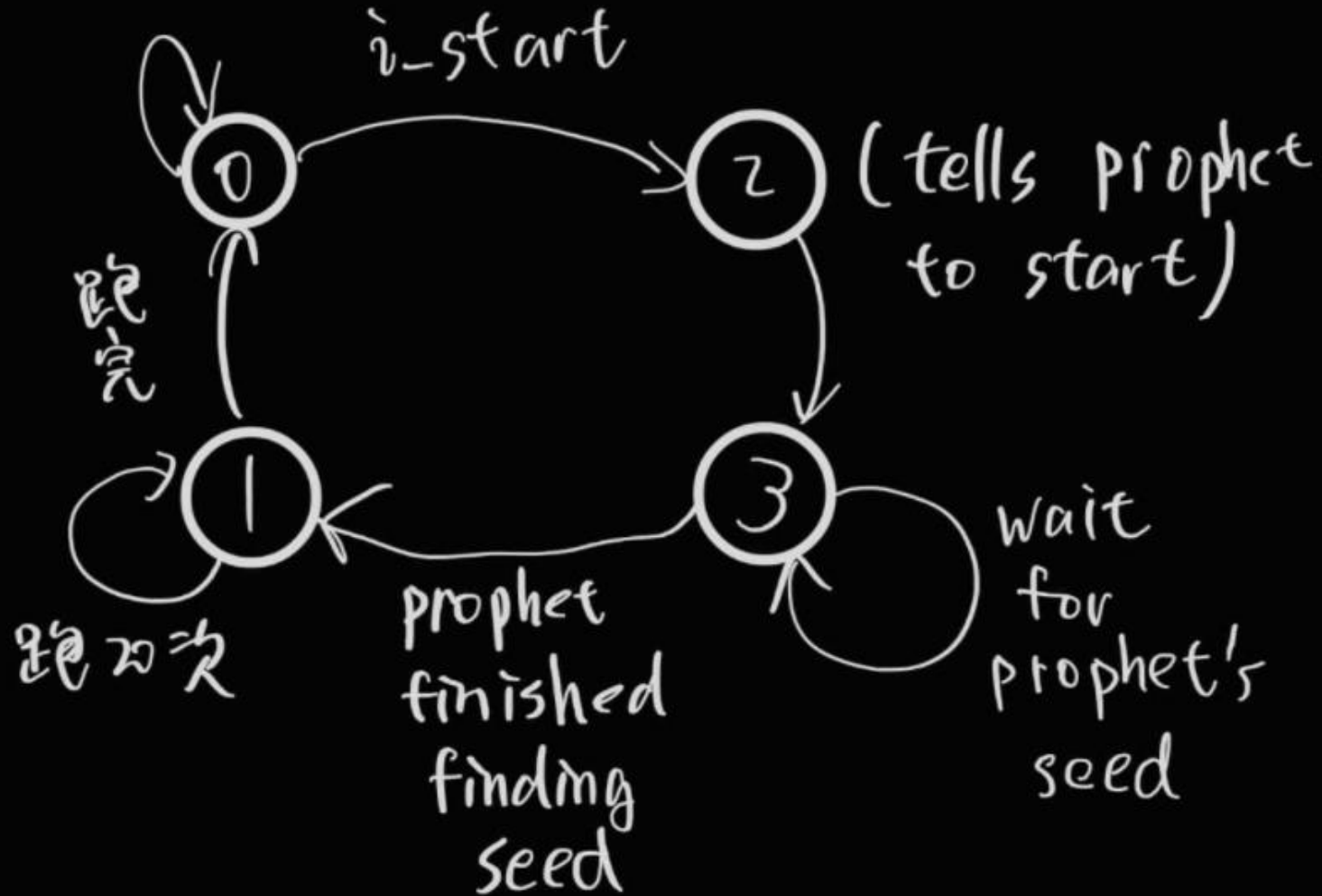
Baseline 功能及特色

- Random sequence pattern : 16-bit LFSR 取第2,6,3,5位數當output
- Rand seed generation : 16-bit clk counting , 每一個clk到之後就把seed加一 , 共16個bit , 約1毫秒會循環一次。按下start時取值 , 所以非常隨機 , 抽到一樣的pattern機率約 $1/60,000$ 。
- 因為用16bit-lfsr , 所以random pattern會依照seed變動 , 無法預測下一個數字會出甚麼(non-invertible system)。

Bonus 功能及特色

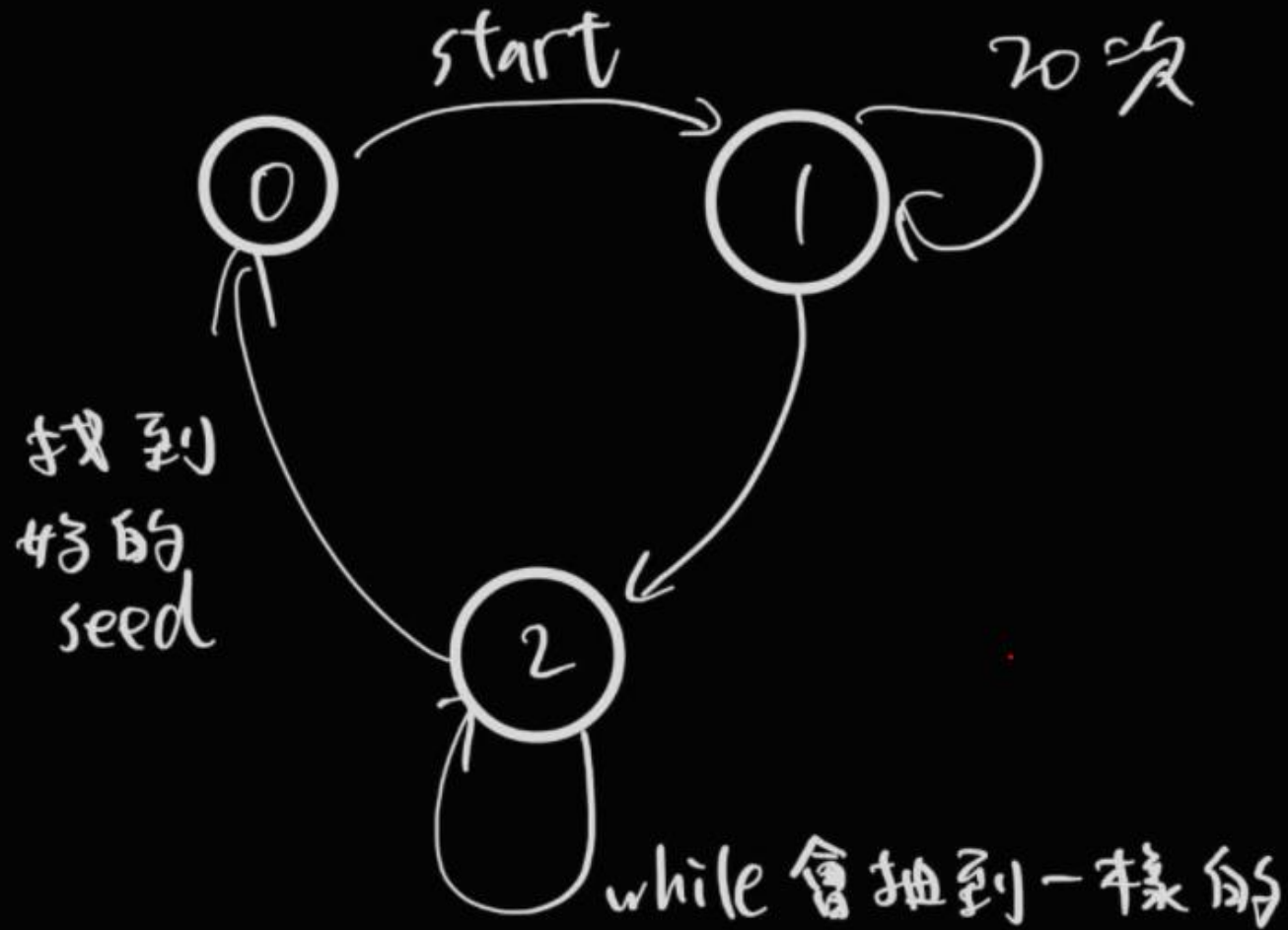
- 主要功能：每次抽出**1**個數字，出現過的不會再抽到了，並顯示在**LED**燈上。如果不想等待數字慢慢跳完，可以直接再按一次**start**，系統會自動把上一次該抽到的數字點亮**LED**燈，並且立刻開始下一輪。按**rst**可以清除選過的紀錄，熄滅所有**LED**。
- 作法：使用一個**prophet module**，他在接收到**start**信號之後，會預判當下的**seed**會對應到的**output**。如果該值已經被抽過，就會依照**16-bit lfsr pattern**同步更新**seed**跟對應到的**output**；直到能抽到新的**output**，並回傳**seed**，讓**top module**可以用這個好的**seed**執行接下來的動作。整個過程約**1**微秒完成。
- 特色：利用**prophet**讓**top**能按照既有的**lfsr**方式恰好跑出新**output**，同時讓跳過功能被實作出來。

Top



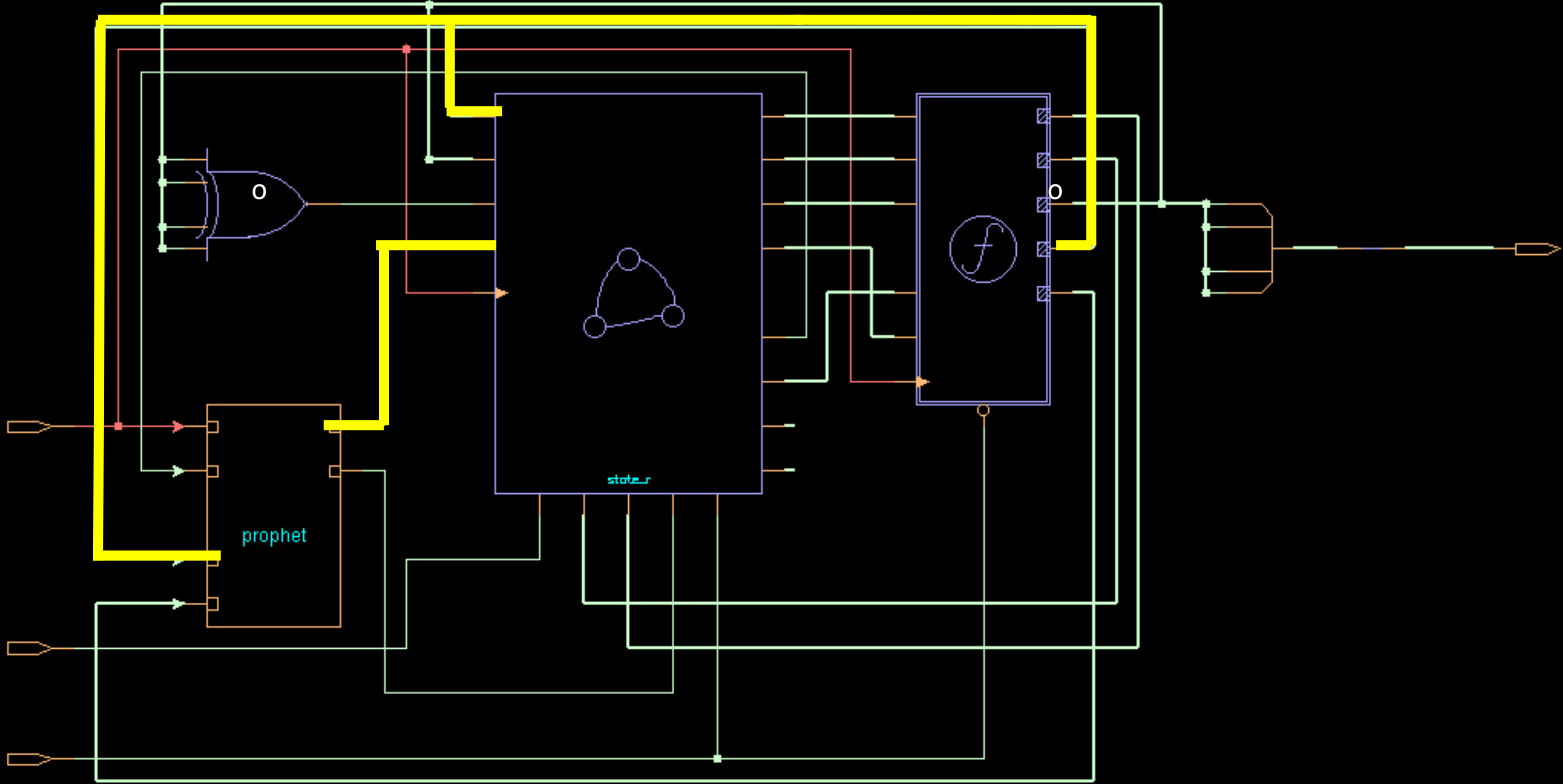
FSM of
module Top

prophet

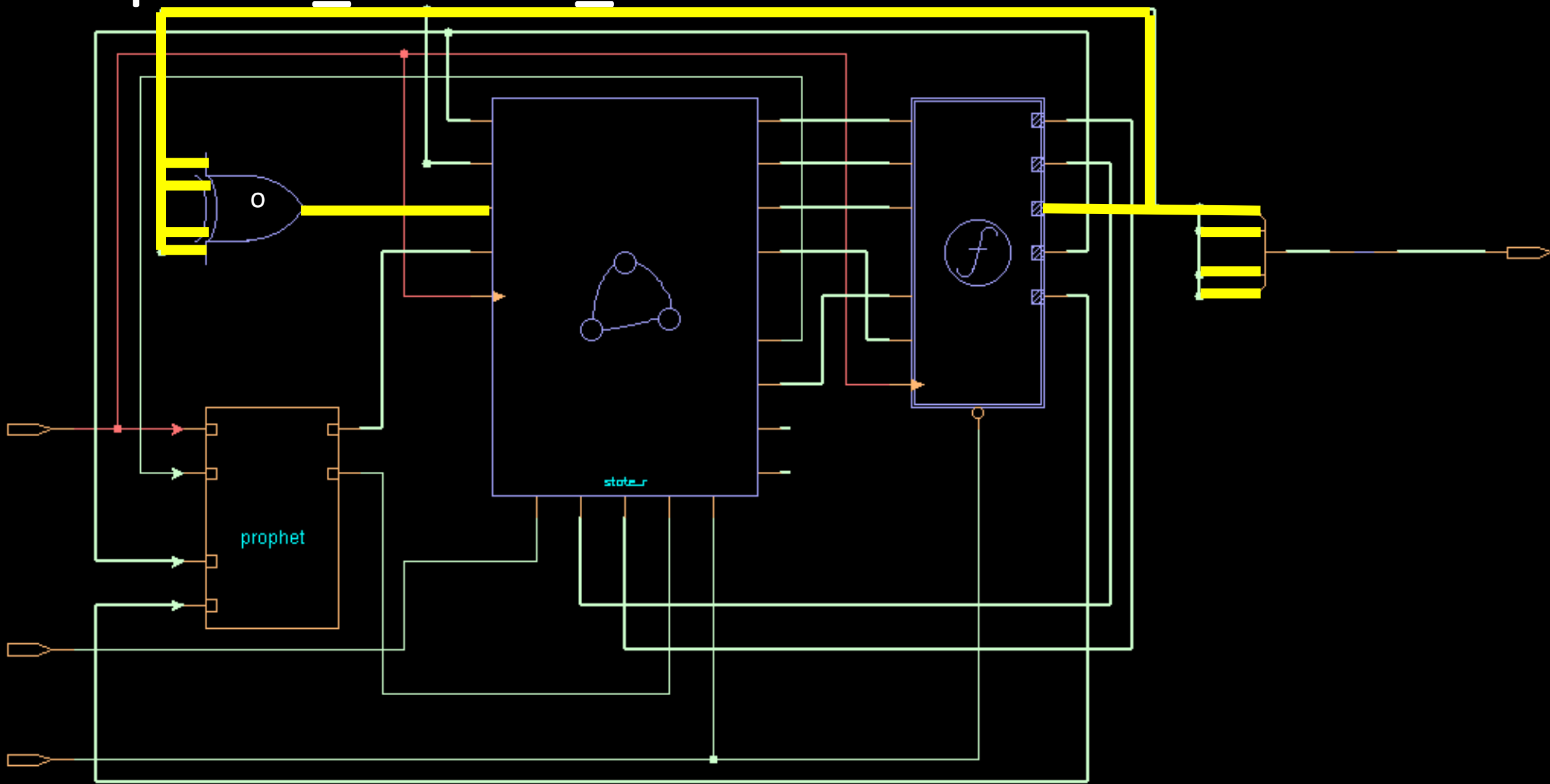


FSM of
module Prophet

Datapath timeseed



Datapath o_random_out



Fitter Summary

Fitter Status	Successful - Fri Mar 04 15:59:22 2022
Quartus II 64-Bit Version	15.0.0 Build 145 04/22/2015 SJ Full Version
Revision Name	DE2_115
Top-level Entity Name	DE2_115
Family	Cyclone IV E
Device	EP4CE115F29C7
Timing Models	Final
Total logic elements	247 / 114,480 (< 1 %)
Total combinational functions	219 / 114,480 (< 1 %)
Dedicated logic registers	175 / 114,480 (< 1 %)
Total registers	175
Total pins	518 / 529 (98 %)
Total virtual pins	0
Total memory bits	0 / 3,981,312 (0 %)
Embedded Multiplier 9-bit elements	0 / 532 (0 %)
Total PLLs	0 / 4 (0 %)

Fitter summary

Table of Contents	
>	Assembler
▼	TimeQuest Timing Analyzer
	Summary
	Parallel Compilation
	SDC File List
	Clocks
▼	Slow 1200mV 85C Model
	Fmax Summary
	Timing Closure Recommendations
	Setup Summary
	Hold Summary
	Recovery Summary
	Removal Summary
	Minimum Pulse Width Summary
>	Worst-Case Timing Paths
>	Datasheet Report
	Metastability Summary
▼	Slow 1200mV 0C Model
	Fmax Summary
	Setup Summary
	Hold Summary
	Recovery Summary
	Removal Summary
	Minimum Pulse Width Summary
>	Worst-Case Timing Paths
>	Datasheet Report
	Metastability Summary
>	Fast 1200mV 0C Model
	Multicorner Timing Analysis Summary
>	Multicorner Datasheet Report Summar
>	Advanced I/O Timing
>	Clock Transfers
	Report TCCS
	Report RSKM
	Unconstrained Paths

TimeQuest Timing Analyzer Summary	
Quartus II Version	Version 15.0.0 Build 145 04/22/2015 SJ Full Version
Revision Name	DE2_115
Device Family	Cyclone IV E
Device Name	EP4CE115F29C7
Timing Models	Final
Delay Model	Combined
Rise/Fall Delays	Enabled

Time Analyzer

遇到的問題 `always_comb()` does not infer purely combinational logic

```
// combinational logic
always_comb begin
    time_seed_w    = time_seed_r + 1 ;
    counter_w      = counter_r ;
    period_w       = period_r ;
    o_random_out_w = o_random_out_r ;
    state_w        = state_r ;
```

解法: 設定的default value

Combinational logic中會有許多case，會出現這個error的原因是忘記在某些case的wire中放入數值。

一個比較方便的解法就是在`always_comb`的開頭寫好每條wire的default 數值。