

Bonus lab report

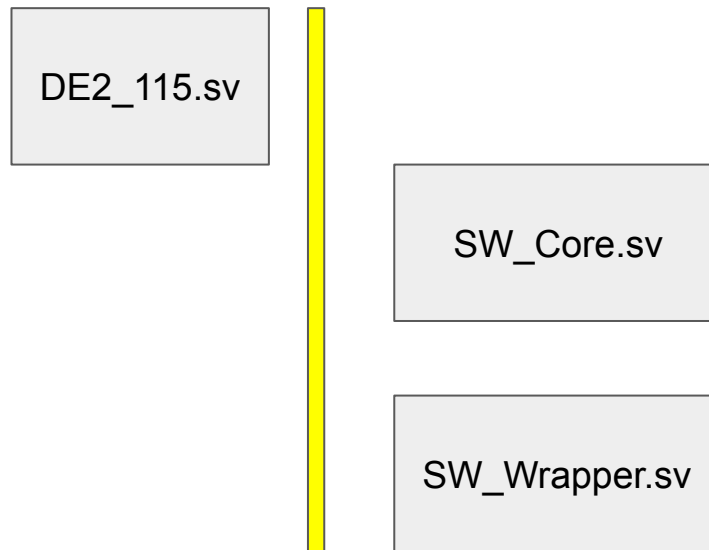
team01

B09901026何式功

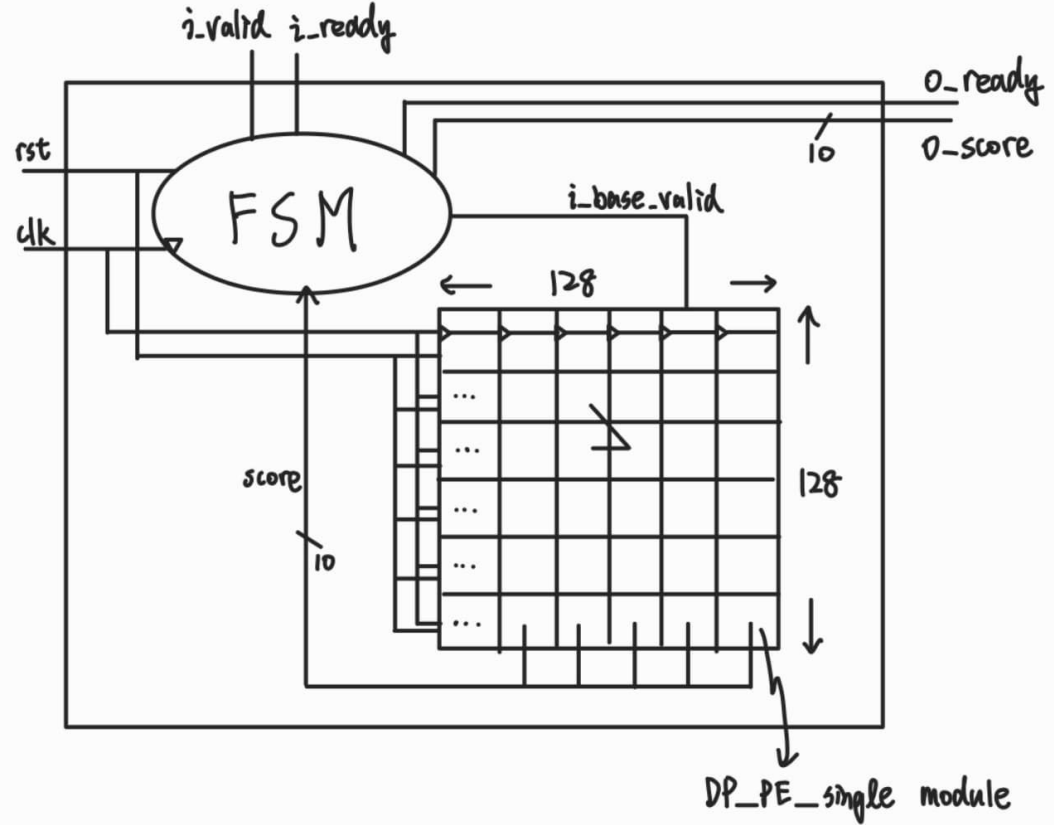
B09901030藍照淇

B09901035陳亮瑜

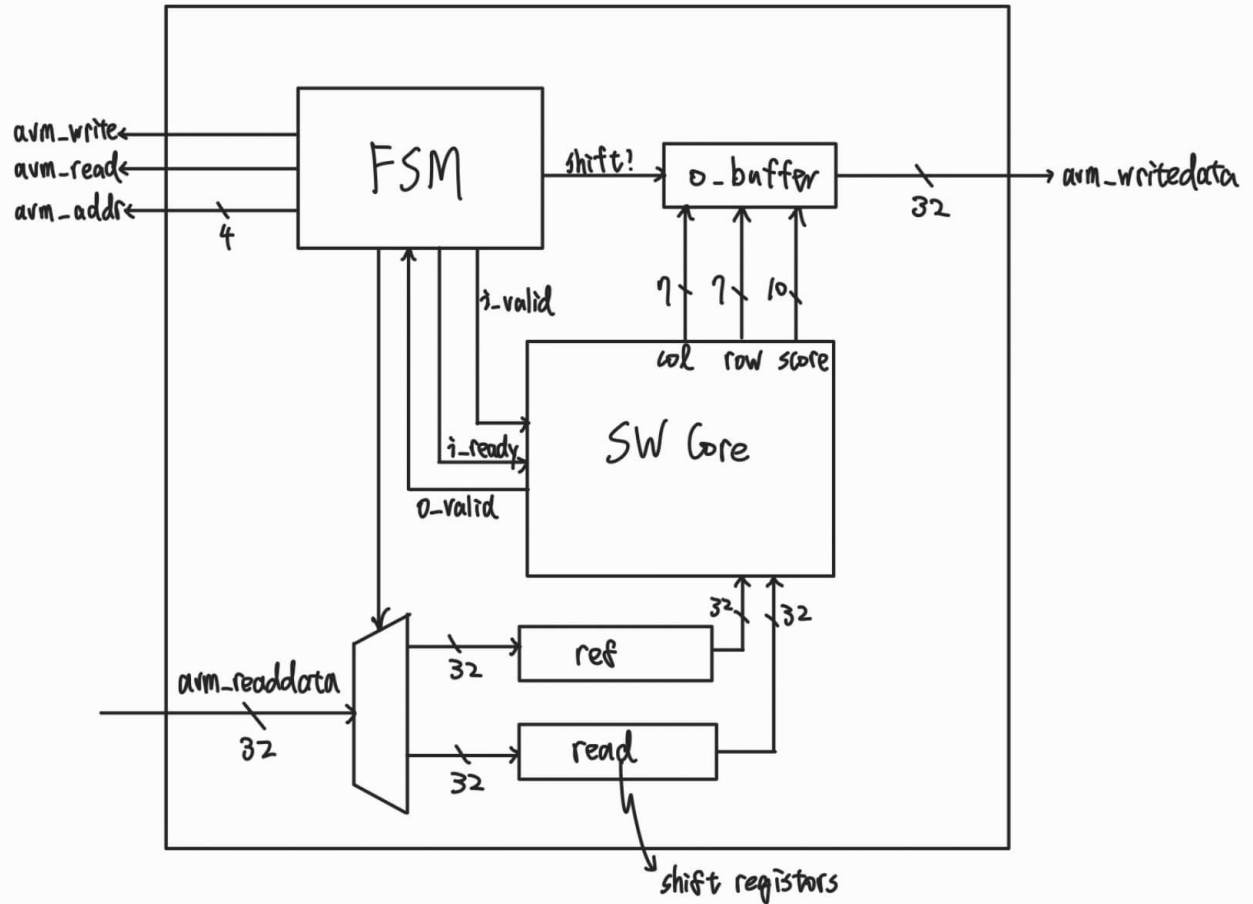
層級架構



Block diagram SW_Core.sv

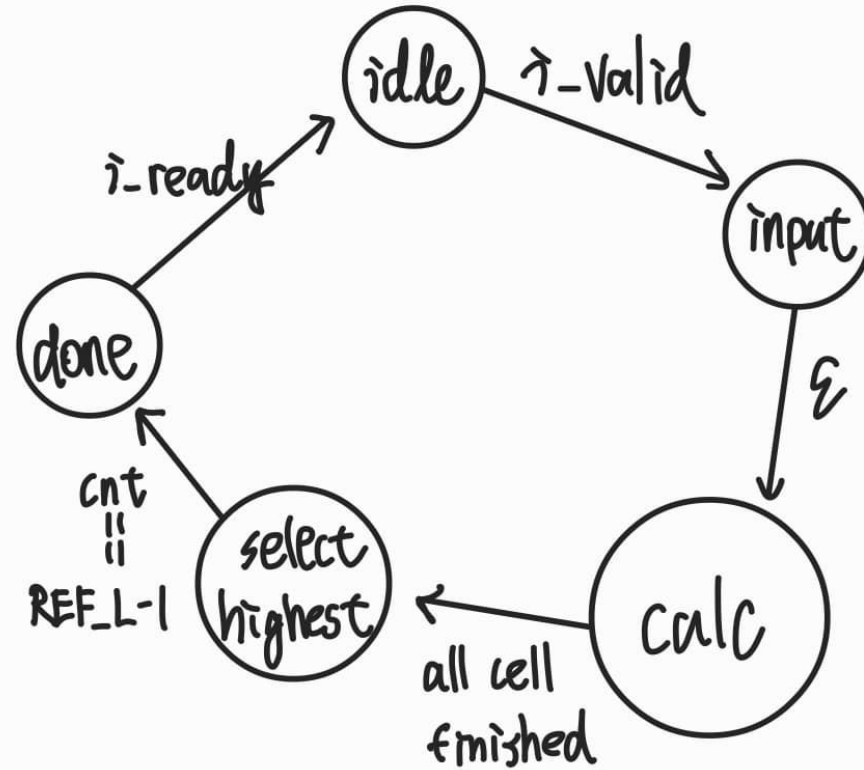


Block diagram SW_Wrapper.sv



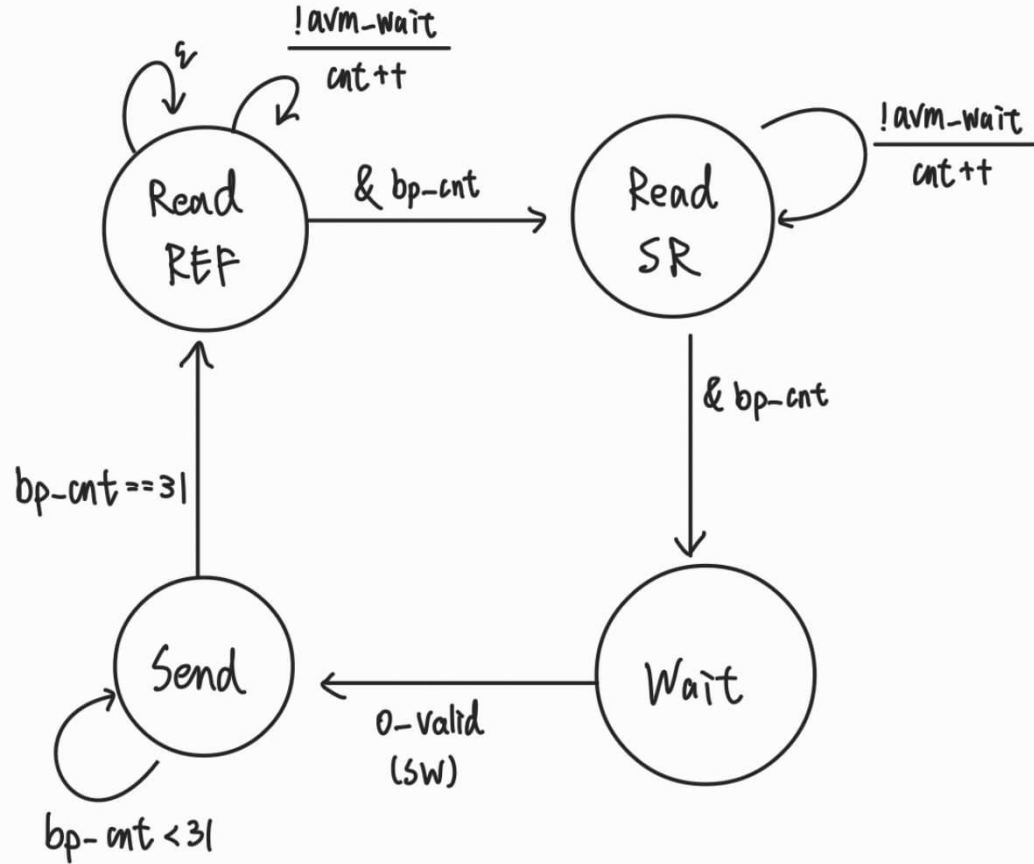
FSM

SW_Core.sv



FSM

SW_Wrapper.sv



Fitter summary

Fitter Summary	
Fitter Status	Successful - Thu May 26 12:55:42 2022
Quartus II 64-Bit Version	15.0.0 Build 145 04/22/2015 SJ Full Version
Revision Name	DE2-115
Top-level Entity Name	DE2_115
Family	Cyclone IV E
Device	EP4CE115F29C7
Timing Models	Final
Total logic elements	50,932 / 114,480 (44 %)
Total combinational functions	49,956 / 114,480 (44 %)
Dedicated logic registers	12,112 / 114,480 (11 %)
Total registers	12112
Total pins	518 / 529 (98 %)
Total virtual pins	0
Total memory bits	0 / 3,981,312 (0 %)
Embedded Multiplier 9-bit elements	0 / 532 (0 %)
Total PLLs	1 / 4 (25 %)

timing analyzer

Multicorner Timing Analysis Summary						
	Clock	Setup	Hold	Recovery	Removal	Minimum Pulse Width
1	▼ Worst-case Slack	18.860	0.180	33.238	2.834	9.400
1	CLOCK2_50	N/A	N/A	N/A	N/A	16.000
2	CLOCK3_50	N/A	N/A	N/A	N/A	16.000
3	CLOCK_50	N/A	N/A	N/A	N/A	9.400
4	my_qsys altpll_0 sd1 pll7 clk[0]	18.860	0.180	33.238	2.834	19.707
2	▼ Design-wide TNS	0.0	0.0	0.0	0.0	0.0
1	CLOCK2_50	N/A	N/A	N/A	N/A	0.000
2	CLOCK3_50	N/A	N/A	N/A	N/A	0.000
3	CLOCK_50	N/A	N/A	N/A	N/A	0.000
4	my_qsys altpll_0 sd1 pll7 clk[0]	0.000	0.000	0.000	0.000	0.000

short-read mapping的原理是什麼

answer :

把short-read再切成更短的seed, 尋找reference sequence中和seed完全相同的位置, 接著把seed擴展為原本的長度, 此時shrot-read對應到多組candidate, 利用SW algorithm可以得到各組candidate和short-read的相似分數。分數最高者即為和short-read最相似的sequence。

但是也有可能選不同的seed, 所以也可以用不同的seed去找candidate, 再從各組seed的最高分candidate中再選出一組最高分的。

用軟體實現SW algorithm的挑戰 & 硬體的優勢

answer:

差別在時間複雜度。

在軟體上實現SW algorithm, 當reference sequence和short-read sequence的長度變為 n 倍, 需要的運算時間會變成 n^2 倍。

硬體描述語言因為可以實現平行運算, 當你short-read變成 n 倍時我也可以開 n 個module同時計算, 所以需要的運算時間只會變成 n 倍。當然相對應的就是會使用更多的硬體資源。