** **

**2021年春季学期**

**计算机组成原理**

**课**

**程**

**设**

**报**

**告**

|  |  |
| --- | --- |
| **报告名称** | 中断拓展作业设计报告 |
| **学院** | 信息科学与工程学院 |
| **作者** | 张钧 |
| **成员** | 夏一凡、吴晓萍、张钧、张鑫 |
| **组号** | 8 |
| **班级** | 19级计科二班 |
| **负责人联系方式** | 18863305862 |

**中断拓展作业设计报告**

**感谢您的拨冗垂阅！**

1. **课程设计要求**

已知：DW8051有两个定时器中断（Timer）和两个外部中断（intr），请根据压缩包中的Data\_book，配置Vivado工程(已写好测设文件并前仿成功）的中断模块的输入引脚，并结合Databook中的8051指令，实现该CPU的中断效果。

①基本要求：控制intr0或intr1模块的int0\_n引脚，结合指令，实现该CPU的中断机制并展示中断处理操作对指令执行影响的仿真图。

②拓展要求：使用其定时器模块，结合指令，实现该CPU的中断机制并展示中断处理操作对指令执行影响的仿真图。

1. **课程设计过程**

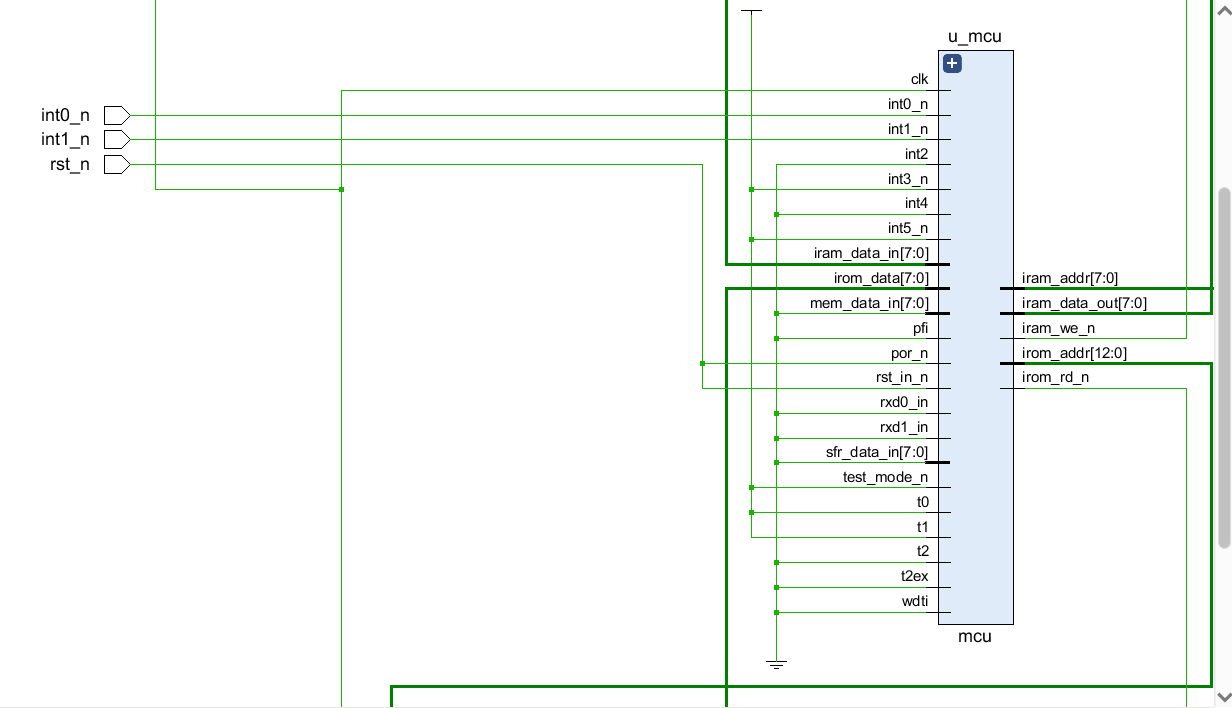
①配置引脚，int0\_n和int1\_n为控制外部中断的引脚，低电平有效；

②在toptest.v文件中引入int0\_n或int1\_n变量，用input的方式引入int0\_n或int1\_n引脚到chiptop模块，实现对中断模块信号的控制

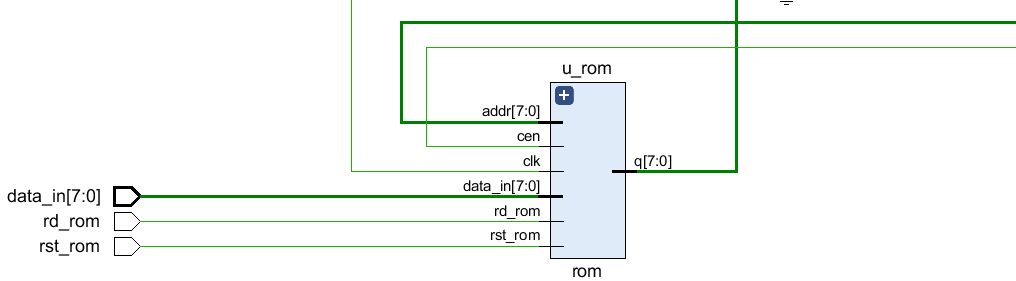
1. **课程设计结果**
2. **部分元件结构如下：**

u\_mcu:是DW8051的中心控制模块（单片机）,包括了DW8051\_cpu、DW

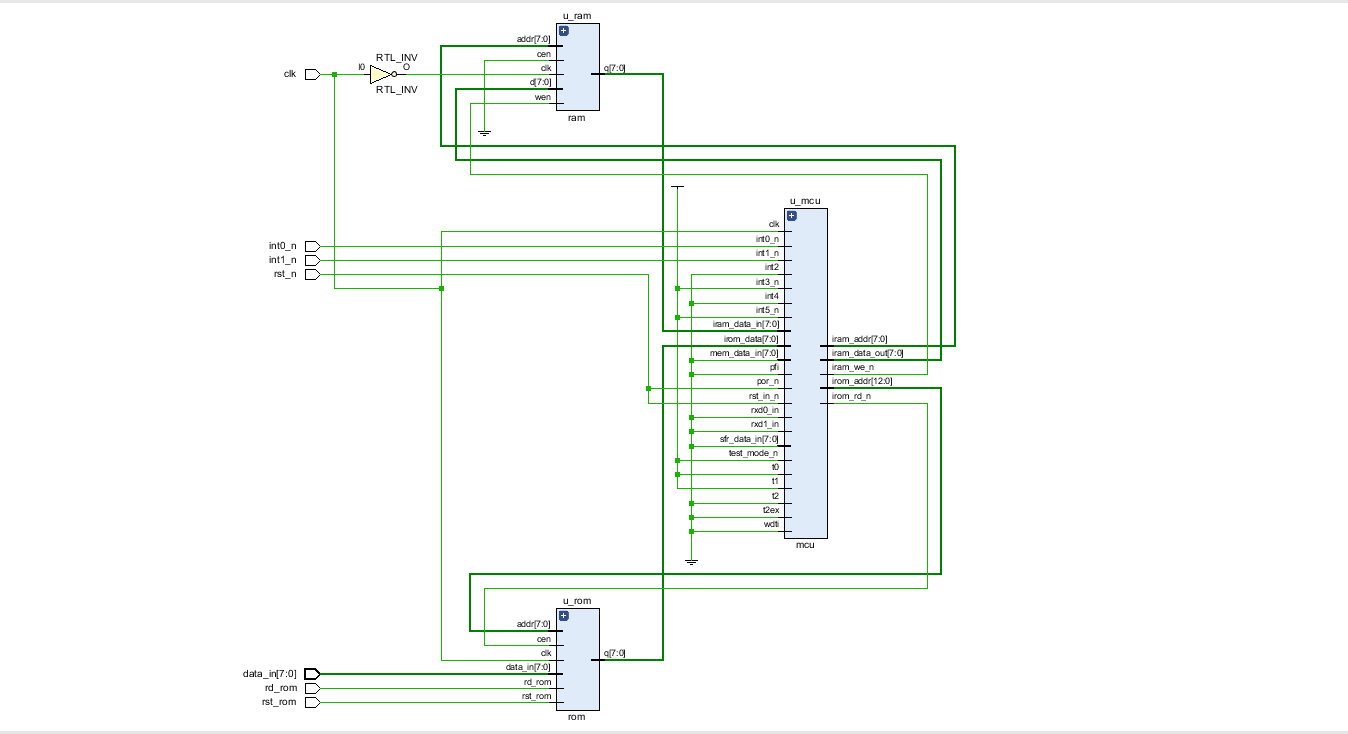
8051\_ALU等一系列指令和数据处理模块。



U\_rom:与DW8051内核连接的只读存储器（内存）,是DW8051只能用来读的数据存储器。



1. **设计总览**



**3、仿真后结果如下**

**读取路径下的test.txt文件中的数据到mem中，因此i[31:0]显示为8,data\_in表示读入的指令,Op的变化显示指令的变化过程，地址addr依次增加，q[7:0]循环经历高阻态Z进入指令，实现对中断的控制。**

