

國立清華大學 電機工程系
112 學年度第一學期

SOC Design Laboratory

Lab#3



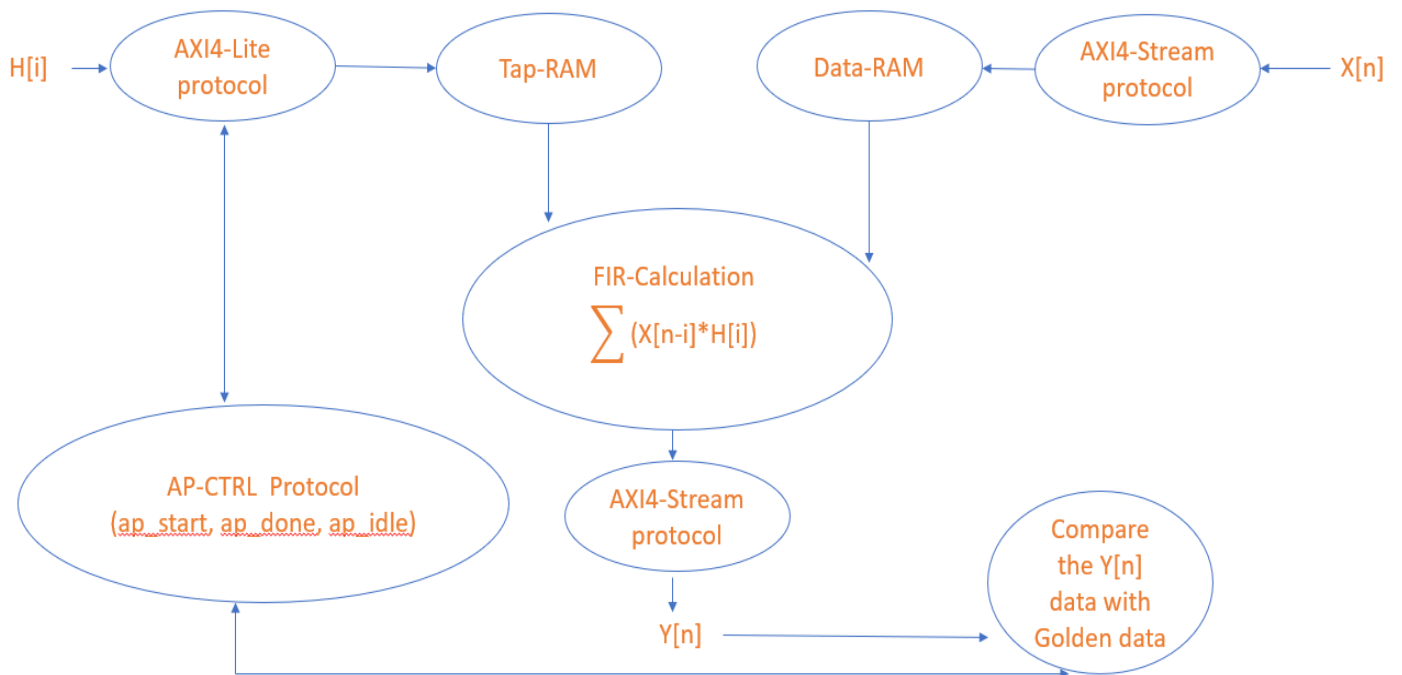
學校系所:清大電子所

學號:110063553

中文姓名:張傑閔

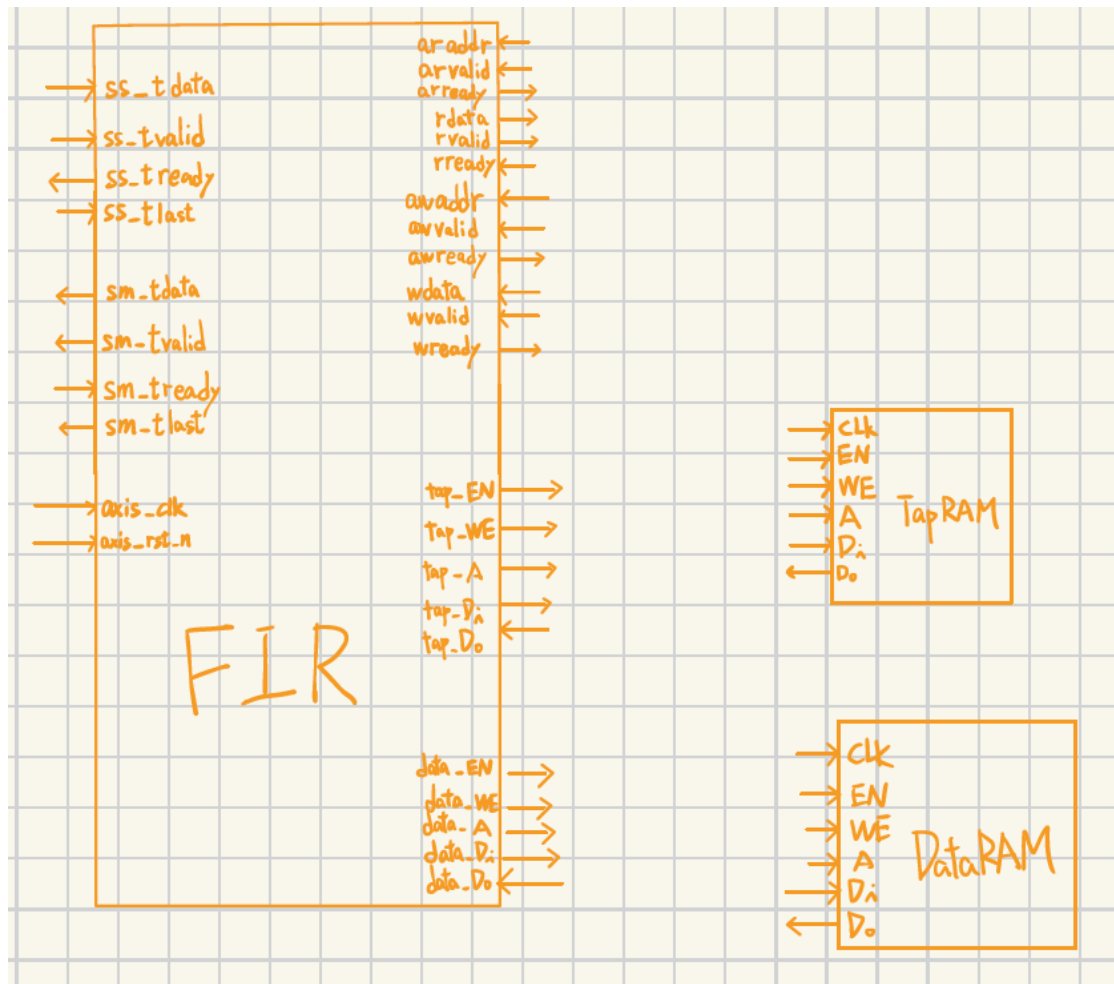
英文姓名:JIE-MIN, JHANG

- Block Diagram
 - Datapath – dataflow



- Controls signals

☆ I/O pin



- AXI-Stream protocol signals

1. 當 ss_tvalid 與 ss_tready 都是處於”high”的狀態，會發生 handshake，將 ss_tdata 送進 Data RAM 內(Write)。
2. 當 sm_tvalid 與 sm_tready 都是處於”high”的狀態，會發生 handshake，將 sm_tdata 送進 testbench 內。

- AXI-Lite protocol signals
 1. 當 arvalid 與 arready 都是處於”high”的狀態，會發生 handshake，將 araddr 送進 Tap RAM 內。
 2. 當 rready 與 rvalid 都是處於”high”的狀態，會發生 handshake，將接收 Tap RAM 的 rdata。
 3. 當 awvalid 與 awready 都是處於”high”的狀態，會發生 handshake，將 awaddr 送進 Tap RAM 內。
 4. 當 wvalid 與 wready 都是處於”high”的狀態，會發生 handshake，將 wdata 送進 Tap RAM 內。
- Tap RAM
 1. 當 EN 是”high”時，表示可以進行 read/write。
 2. 當 WE 是”high”時，表示可以進行 write(data/address)；當 WE 是”low”時，表示可以進行 read(data/address)。

- Data RAM

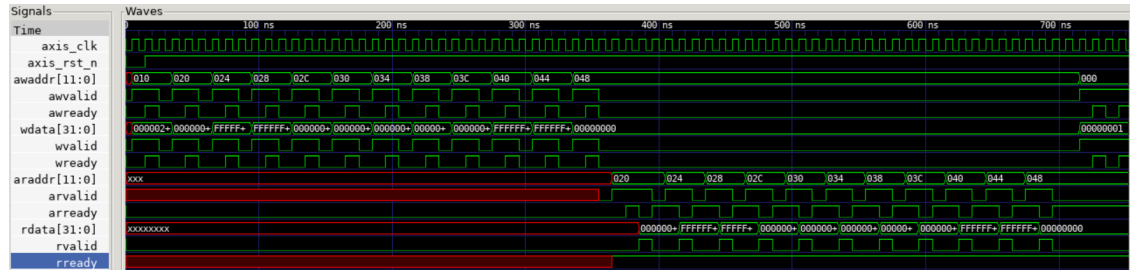
1. 當 EN 是”high”時，表示可以進行 read/write。
2. 當 WE 是”high”時，表示可以進行 write(data/address)，當 WE 是”low”時，表示可以進行 read(data/address)。



■ Describe operation

一開始先透過 AXI-lite protocol 將 Tap coefficients write 到 Tap RAM 裡儲存，再透過 AXI-lite protocol 將 Tap RAM 的 Tap coefficients read 到 FIR 內，確認 read 出來 data 是否 correct。完成後將 $X[n]$ 透過 AXI-stream protocol write 到 Data RAM 內，接著 Data RAM read 出來的 data 送進 FIR，讓 $X[n]$ 與 Tap coefficients 做乘法，做完乘法後將資料儲存在 register 內，等待下一筆資料做完乘法後將其加起來，直到整筆運算結束(11 個 Tap coefficients 都用完)，總共有 600 個 input_data，跑完所有 data 後，ap_done 拉起來時表示結束。

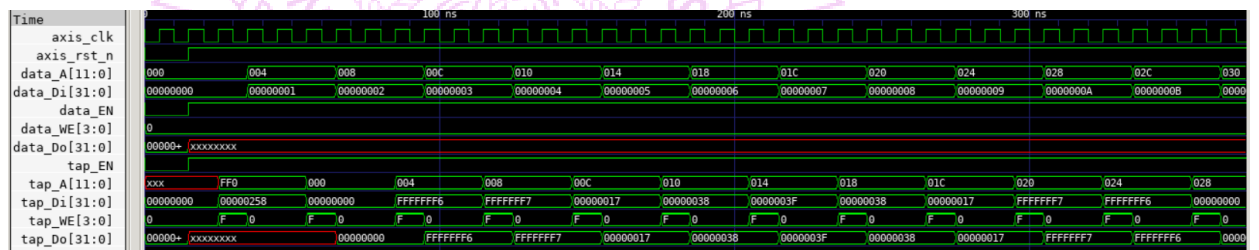
- Simulation Waveform
 - Coefficient program, and read back



- Data-in Stream-in



- RAM access control



延後繳交 LAB 原因

老師您好，由於近日清大連續幾天的驟然停電，導致我的 LAB 作業的程式碼沒有存檔而消失，因為我都是使用實驗室的桌上型電腦進行 LAB 作業，當學校停電時，我的電腦就會沒電關機，所以我必須多花一些時間來重新打程式，導致需要延後繳交 LAB，希望老師體諒及謝謝老師。

