

Laboratori de Sistemes Electrònics I

Projecte: Motor BLDC

Adrià Brú Cortés i Miquel Limón Vallés

Índex

1	Introducció	5
1.1	Objectius	5
2	Antecedents i estat de l'art	6
2.1	Evolució històrica: Del motor DC al BLDC	6
2.2	Evolució de les estratègies de control	6
2.2.1	Control amb sensors (<i>Sensored</i>)	6
2.2.2	La transició cap al <i>Sensorless</i>	6
2.3	Tendències actuals i justificació del projecte	7
3	Enginyeria de concepció	7
3.1	Possibles solucions	7
3.1.1	Arquitectura	7
3.1.2	Topologies de l'etapa de potència	7
3.1.3	Excitació del circuit	8
3.1.4	Detecció BEMF	8
3.2	Solució escollida	9
3.2.1	Avantatges	9
3.2.2	Limitacions	9
4	Enginyeria de detall	11
4.1	Disseny del <i>Hardware</i>	11
4.1.1	Dimensionament dels components	11
4.1.1.1	Model del motor BLDC	11
4.1.1.1.1	Equació Elèctrica de Fase	11

4.1.1.1.2	Equació Mecànica	11
4.1.1.1.3	Potència Convertida	11
4.1.1.1.4	Diferències amb el Motor DC d'Escombretes	12
4.1.1.2	Velocitat del motor i rang senyal PWM	12
4.1.1.2.1	Limitació per Hardware (Circuit de Bootstrap)	12
4.1.1.2.2	Limitació per Control (Retard BEMF)	13
4.1.1.2.3	Limitació total	13
4.1.1.3	Capacitats de <i>bootstrap</i> i temps de càrrega/descàrrega	14
4.1.1.3.1	Càlcul del Condensador <i>bootstrap</i> (C_{boot})	14
4.1.1.3.2	Temps de Càrrega i Descàrrega	15
4.1.1.3.3	Temps de càrrega (t_{Up}) i descàrrega (t_{Down})	15
4.1.1.4	Consum del driver	16
4.1.1.5	Consum dels MOSFETs	16
4.1.1.6	Resistència de gate dels MOSFETs	17
4.1.1.7	Capacitats de desacoblament	18
4.1.1.8	Components de detecció de la BEMF	19
4.1.2	Esquemàtic	21
4.1.2.1	Microcontrolador (TIVA)	21
4.1.2.2	Alimentació	21
4.1.2.3	Excitació del motor	22
4.1.2.4	Motor	23
4.1.2.5	Detecció de posició	23
4.1.3	Layout	24
4.1.4	Verificació de l'anàlisi	25
4.2	Disseny del <i>Firmware</i>	27
4.2.1	Definició d'estructures	27
4.2.2	Llaç obert	27
4.2.3	Llaç tancat	28
4.2.4	Control per potenciòmetre	28
4.2.4.1	Control directe	28

4.2.4.2	Control asimètric del <i>blank time</i>	28
4.2.4.3	Control Integral	29
4.2.5	Detecció d'aturada	30
4.2.6	Rutina principal (<i>main</i>)	31
5	Resultats	32
5.1	Open-loop	32
5.2	Closed-loop	32
5.3	Control per potenciòmetre	35
5.3.1	Control directe	35
5.3.2	Control asimètric del <i>blank time</i>	35
5.3.3	Control Integral	35
6	Cronograma d'execució	37
6.1	EDT	37
6.2	Diccionari de l'EDT	37
6.3	Anàlisi de precedències	39
6.4	Mètode PERT	40
6.5	Camí Crític (CPM)	40
6.6	Diagrama de GANTT	41
7	Viabilitat econòmica i tècnica	42
7.1	Viabilitat econòmica	42
7.1.1	Costos de Materials (BOM)	42
7.1.2	Costos de Desenvolupament	42
7.1.3	Cost Total del Projecte	42
7.2	DAFO	43
7.3	PREN	43
8	Conclusions	44
9	Bibliografia	46

10 Annexos	47
10.1 Architectures alternatives	47
10.1.1 SVPWM	47
10.1.2 Implementació amb només 3 PWM i 3 GPIO	47
10.1.3 <i>Observer-based Sensorless Estimation</i>	48
10.2 Simulacions LTSpice	49
10.2.1 Model del motor	49
10.2.2 Control en llaç obert	50
10.2.2.1 Dissipació i SOA	52
10.2.2.2 <i>Drivers</i> i C_{boot}	52
10.2.2.3 Presència del senyal BEMF	54
10.2.3 Detecció de BEMF	54
10.2.4 Control en llaç tancat	56

1 Introducció

Els motors de corrent continu sense escombretes (BLDC) dominen els sistemes electromecànics contemporanis; des dels sistemes de propulsió de vehicles elèctrics i els vehicles aeris no tripulats fins a la robòtica de precisió i els dispositius mèdics. El seu atractiu recau en la combinació d'una alta densitat de potència, una eficiència superior i l'absència d'escombretes que es malmeten, generen espurnes o introdueixen interferències electromagnètiques. En eliminar els contactes del commutador, les màquines BLDC ofereixen un parell motor (moment de forces) més suau, requereixen menys manteniment i tenen una vida útil més llarga, fent-lo així més fiable, robust i silenciós.

En aquest context, el present projecte se centra en el disseny, la implementació i la validació d'un controlador electrònic de velocitat (ESC, *Electronic Speed Control*) *sensorless*. L'eliminació dels sensors físics (com els de efecte Hall) no només redueix el cost i el volum del sistema, sinó que n'augmenta la robustesa mecànica. Per aconseguir un control eficient, és imperatiu commutar el corrent del bobinat de l'estator amb precisió, sincronitzant l'excitació dels semiponts amb la posició real del rotor per evitar pèrdues d'energia.

L'abast del projecte engloba des del disseny de l'arquitectura de control i la seva programació, fins a la validació experimental en un entorn de laboratori. Tot i que s'analitzarà el rendiment del sistema i es comprovaran els paràmetres mecànics, el projecte es limita al prototipatge experimental i no contempla la industrialització o fabricació en sèrie del dispositiu.

1.1 Objectius

- **Implementació de l'etapa de potència:** Desenvolupar un controlador senzill i econòmic utilitzant una topologia de tres semiponts amb control PWM a la part alta (*High-side*) i commutació amb GPIO a la part baixa (*Low-side*), reduint així la complexitat del maquinari i els recursos del microcontrolador.
- **Control *Sensorless* via BEMF:** Implementar l'estimació de la posició del rotor mitjançant la detecció de la força contraelectromotriu (BEMF) a la fase flotant, aprofitant l'estat natural del sistema durant la commutació per obtenir informació de posició sense necessitat de sensors addicionals.
- **Versatilitat en l'excitació:** Assegurar la compatibilitat amb diferents formes d'ona, com la commutació trapezoïdal de sis passos i una aproximació al SVPWM (*Space Vector PWM*) utilitzant la configuració híbrida de PWM i GPIO, buscant un compromís òptim entre simplicitat d'implementació i qualitat de moviment (reducció de soroll i arissat del parell).
- **Interfície i validació funcional:** Integrar un control d'usuari (mitjançant potenciòmetre) per regular el cicle de treball (*duty cycle*) i validar el comportament del motor verificant la correcta excitació dels *drivers* i la resposta mecànica del sistema al laboratori.

2 Antecedents i estat de l'art

2.1 Evolució històrica: Del motor DC al BLDC

Històricament, el motor de corrent continu amb escombretes (Brushed DC) va ser l'estàndard en l'accionament elèctric gràcies a la seva simplicitat de control: la velocitat és directament proporcional a la tensió aplicada. Tot i això, la presència del commutador mecànic (escombretes i col·lector) limitava la seva vida útil, generava soroll elèctric i impedia l'ús en entorns explosius o d'alta neteja.

L'avanç dels semiconductors de potència als anys 80 va permetre substituir el commutador mecànic per un d'electrònic, donant lloc al Motor de Corrent Continu sense Escombretes (BLDC)[4]. A diferència dels motors d'inducció (AC), el BLDC manté una relació lineal entre corrent i parell, però requereix un circuit extern (inversor) per seqüenciar l'excitació de les bobines de l'estator en funció de la posició del rotor.

2.2 Evolució de les estratègies de control

L'estat de l'art en el control de motors BLDC ha evolucionat des de solucions discretes cap a algorismes complexos basats en DSPs i microcontroladors de 32 bits.[1]

2.2.1 Control amb sensors (*Sensored*)

Inicialment, la posició del rotor es determinava exclusivament mitjançant sensors d'efecte Hall (normalment tres, separats 120 graus elèctrics).

- **Commutació trapezoïdal (Six-Step):** És la tècnica més bàsica i robusta. S'activen dues fases cada vegada segons una taula de veritat fixa. Tot i ser simple, presenta una ondulació del parell (*torque ripple*) considerable en els instants de commutació. [5]
- **Limitacions:** Els sensors Hall augmenten el cost, requereixen més cablejat (més punts de fallada) i són sensibles a les altes temperatures, fet que va impulsar la recerca de mètodes sense sensors.

2.2.2 La transició cap al *Sensorless*

L'eliminació dels sensors físics va donar lloc a les tècniques *Sensorless*, que infereixen la posició del rotor a partir de magnituds elèctriques mesurables als terminals del motor.

1. **Detecció de pas per zero de la BEMF (Zero-Crossing):** És la tècnica més madura i estesa per a aplicacions de baix i mitjà cost, i és la base d'aquest projecte. Aprofita que, en excitació trapezoïdal, sempre hi ha una fase sense alimentar. La tensió induïda en aquesta fase creua per zero (respecte al punt neutre) a la meitat de l'interval de commutació.

2. **Observadors d'Estat i FOC (Field Oriented Control):** L'estat de l'art actual en aplicacions d'alt rendiment (automoció, robòtica) utilitza el Control de Camp Orientat (FOC). Aquest mètode controla el vector de corrent per mantenir-lo sempre perpendicular al flux magnètic (màxim parell per ampere). En motors sense sensors, això s'aconsegueix mitjançant models matemàtics complexos com l'Observador de Mode Lliscant (SMO) o el filtre de Kalman Estès (EKF).

2.3 Tendències actuals i justificació del projecte

Tot i que el FOC representa el màxim nivell de suavitat i eficiència, requereix una càrrega computacional elevada i sensors de corrent precisos a les fases. En contrast, la indústria manté una forta demanda de controladors basats en BEMF trapezoïdal per a aplicacions on el cost i la simplicitat són prioritaris (ventiladors, drons, eines elèctriques).

Actualment, la recerca en aquest àmbit se centra en:

- **Algorismes d'arrencada robustos:** Com que la BEMF és nul·la a velocitat zero, els sistemes moderns implementen seqüències d'arrencada en llaç obert o injecció d'alta freqüència (HFI) per determinar la posició inicial.
- **Integració de maquinari:** L'ús de microcontroladors amb comparadors analògics i amplificadors operacionals integrats permet reduir la llista de components (BOM), una filosofia que aquest projecte adopta en utilitzar els GPIO i ADCs interns per al control i mostreig.

Aquest projecte s'emmarca en la línia de solucions eficients de baix cost (Low-Cost Sensorless Drives), buscant optimitzar l'ús de recursos limitats sense renunciar a la fiabilitat operativa.

3 Enginyeria de concepció

3.1 Possibles solucions

3.1.1 Arquitectura

Per al control d'un motor BLDC, l'etapa de potència (l'inversor) és l'encarregada de commutar la tensió del bus de corrent continu (VDC) cap a les bobines del motor. Existeixen principalment dues topologies segons el compromís entre cost i rendiment:

3.1.2 Topologies de l'etapa de potència

- **Inversor Trifàsic Estàndard (B6):** És l'arquitectura més utilitzada en la indústria. Consta de tres semiponts (*Half-Bridges*) connectats en paral·lel al bus DC, sumant un total de sis interruptors de potència (MOSFET o IGBT). Aquesta configuració permet un control total sobre les

tres fases del motor, permetent connectar cada fase a VDC o a GND independentment. Ofereix la màxima eficiència i aprofitament de la tensió disponible.

- **Inversor de Quatre Interruptors (B4):** És una topologia de cost reduït destinada a aplicacions on l'estalvi en components és crític. Utilitza només dos semiponts (4 interruptors) per controlar dues fases del motor, mentre que la tercera fase es connecta al punt mig d'un divisor capacitiu del bus DC. Tot i que redueix costos, aquesta arquitectura limita la tensió disponible per fase a $\frac{V_{DC}}{2}$, incrementa l'ondulació del corrent (*ripple*) i pot provocar desequilibris en els condensadors del bus.

3.1.3 Excitació del circuit

- **Commutació en sis passos (trapezoidal):** Excitació clàssica de motors BLDC, on cada fase està completament activada o desactivada durant un terç d'un cicle elèctric. És simple d'implementar amb l'esquema de tres semiponts i permet aconseguir altes velocitats.
- **Síntesi PWM sinusoidal:** Aprofitant que els pins de control de *low-side* també poden funcionar com a PWM, es pot generar una tensió entre línies aproximadament sinusoidal. Aquesta tècnica redueix l'ondulació del parell, però a diferència del control trapezoïdal, requereix conèixer la posició instantània del rotor amb alta resolució (mitjançant *encoders*, interpolació de sensors Hall o observadors) per sincronitzar l'ona de tensió amb el flux magnètic, fet que incrementa significativament la càrrega computacional.
- **PWM vectorial espacial (SVPWM)** ¹: Fent ús de la tècnica SVPWM (Annex 10.1.1), seleccionant els vectors actius més propers entre els sis possibles estats del semipont, es pot aconseguir una sortida quasi sinusoidal. En cas de tenir només 3 PWM i 3 GPIO, no es pot implementar completament, però sí que es pot fer una emulació menys eficient.

3.1.4 Detecció BEMF

- **Detecció directa de BEMF a la fase flotant:** Aprofitant que en la commutació trapezoïdal sempre hi ha una fase en estat d'alta impedància (desconnectada dels interruptors), la tensió en aquest terminal reflecteix la BEMF del motor. Mostrejant aquesta tensió i localitzant-ne el creuament per zero respecte al punt mig (o terra virtual), és possible inferir la posició del rotor. Aquest mètode només requereix els tres GPIO existents per al mostreig i funciona bé a velocitats mitjanes i altes (a velocitats baixes la BEMF és massa feble per detectar el pas per zero amb precisió).
- **Injecció d'alta freqüència:** Superposar una petita tensió d'AF en una fase i analitzar la pertorbació resultant del corrent. Útil a velocitats molt baixes on la BEMF natural és feble i difícil de detectar.

¹<https://patents.google.com/patent/KR20160007840A/en>

- **Observer-based Sensorless Estimation:** Reconstruir el vector de BEMF a partir dels corrents de fase mesurats i els paràmetres coneguts del motor (p. ex., EKF, mode lliscant). Ampli rang de velocitats, millora la robustesa contra soroll.
- **Integració de sensors Hall:** Instal·lar sensors Hall discrets (normalment tres) a l'estator per obtenir polsos digitals de posició del rotor. Útil i efectiu a essencialment tot el rang de velocitats i funciona, fins i tot, en entorns amb molt soroll. Donat que el microcontrolador escollit disposa de pins GPIO lliures més enllà dels sis dedicats als controladors de semipont, es podria incorporar una **matriu real de sensors Hall** sense requerir un redisseny important.

3.2 Solució escollida

La topologia de control proposada utilitza tres semiponts, cadascun format per un MOSFET *high-side* (el qual vindrà controlat per un senyal PWM) i un MOSFET *low-side* (que serà controlat per un GPIO, tot i que al nostre disseny farem servir pins que poden funcionar tant com a GPIO com a PWM). Aquesta arquitectura permet controlar la part alta de cada pont amb modulació d'ample de pols (per tal de regular el parell motor), mentre que la part baixa simplement actua com a interruptor amb commutació directa. A cada instant, dues fases s'exciten mentre que la tercera fase queda flotant, convertint-la en un punt natural per a la detecció de la força contraelectromotriu (BEMF).

3.2.1 Avantatges

- **Nombre de components:** Només cal generar un senyal PWM per als tres MOSFET de la part alta; els interruptors de la part baixa es poden controlar amb GPIO senzills, simplificant significativament la programació del controlador.
- **Node de BEMF integrat:** La fase flotant proporciona una tensió accessible per a l'estimació de la posició sense sensors, reduint el cost dels motors (es poden fer servir motors *brushless* senzills; sense *encoder*).

3.2.2 Limitacions

- **Ondulació del parell i perfil de BEMF:** L'estratègia d'excitar només dues fases genera una tensió línia-a-línia rectangular. Aquesta excitació seria ideal només si la BEMF del motor fos perfectament trapezoïdal, una característica que depèn de la construcció geomètrica del motor (distribució del bobinat i forma dels imants). Com que a la pràctica molts motors tenen una BEMF amb components sinusoidals o imperfeccions geomètriques, l'aplicació d'una excitació rectangular provoca una ondulació del parell (*torque ripple*) i un soroll acústic superiors als que s'obtidrien amb una excitació sinusoidal (FOC).
- **Limitació en la regeneració per frenada:** En cas d'una aplicació real (com l'ús en cotxes o bicicletes elèctriques), la configuració de control actual dificulta la recuperació d'energia du-

rant la desacceleració, ja que l'únic camí de recuperació (la fase inactiva) es manté flotant. Tot i que l'arquitectura física de tres semiponts permet tècnicament la regeneració, l'estratègia simplificada proposada (PWM només al *High-Side* i commutació estàtica al *Low-Side*) impedeix realitzar la rectificació síncrona. Per a permetre el retorn de corrent cap a la bateria, caldria aplicar un control actiu i coordinat també als MOSFETs de la part baixa, reconduint l'energia sobrant cap a l'origen (pont complet).

- **Dificultat de sensat a baixes velocitats:** En funció de la precisió del/s ADC, a velocitats molt baixes, la BEMF induïda pot ser massa feble per detectar creuaments per zero de manera fiable i consistent.

4 Enginyeria de detall

4.1 Disseny del *Hardware*

4.1.1 Dimensionament dels components

4.1.1.1 Model del motor BLDC

El motor DC sense escombretes (BLDC) es descriu mitjançant una equació elèctrica per a cada fase i una equació mecànica per a la dinàmica de rotació.

4.1.1.1.1 Equació Elèctrica de Fase

Per a una fase k (e.g., A, B, C en motors trifàsics):

$$V_k = RI_k + L \frac{dI_k}{dt} + E_k \quad (1)$$

En aquesta equació, V_k és la tensió aplicada a la fase, I_k és el corrent de fase que genera el camp magnètic de l'estator, R és la resistència de fase (responsable de les pèrdues òhmiques $P = RI^2$), L és la inductància de fase (que s'oposa a canvis ràpids de corrent) i E_k és la Força Contra-electromotriu (BEMF), que és la tensió induïda pel moviment dels imants del rotor i és proporcional a la velocitat angular ω_r .

4.1.1.1.2 Equació Mecànica

El moviment del rotor es regeix per:

$$T_e = J \frac{d\omega_r}{dt} + B\omega_r + T_L \quad (2)$$

En aquesta equació, T_e és el parell electromagnètic desenvolupat per la interacció estator-rotor, J és el moment d'inèrcia del rotor i la càrrega (que s'oposa a l'acceleració), ω_r és la velocitat angular del rotor (rad/s), B és el coeficient de fricció viscosa (que representa les pèrdues mecàniques a velocitat) i T_L és el Parell de Càrrega extern.

4.1.1.1.3 Potència Convertida

L'acoblament entre els dos dominis es produeix mitjançant el parell electromagnètic (T_e) i la BEMF (E_k). La potència elèctrica total convertida a potència mecànica (P_{conv}) és el producte dels termes d'acoblament:

$$P_{\text{conv}} = \sum E_k I_k = T_e \cdot \omega_r \quad (3)$$

La BEMF (E_k) és la tensió induïda pel gir del rotor, ja que $E_k \propto \omega_r$. El parell (T_e) és la magnitud que acobla el corrent al parell de sortida, ja que $T_e \propto I_k$. La potència d'entrada elèctrica ($\sum V_k I_k$) es distribueix en pèrdues per efecte Joule ($\sum R I_k^2$), energia magnètica i potència convertida a mecànica (P_{conv}).

4.1.1.1.4 Diferències amb el Motor DC d'Escombretes

- **Commutació:** El BLDC fa servir **Commutació electrònica** mitjançant un inversor/driver controlat per sensors de posició, mentre que el motor DC duu a terme una **Commutació mecànica** que sorgeix del contacte amb les escombretes al llarg del gir del rotor.
- **BEMF i Corrent:**
 - BLDC: E_k i I_k són **formes d'ona seqüencials** (típicament trapezoidals o sinusoidals). Requereix control de posició.
 - Motor DC (Escombretes): E_a i I_a són **valors mitjans continus**, ja que la commutació mecànica intrínseca “rectifica” la BEMF. No requereix sensors de posició externs.

4.1.1.2 Velocitat del motor i rang senyal PWM

Per tal de calcular el *duty-cycle* màxim, s'han avaluat dues limitacions tècniques diferents: el límit de hardware (circuit de bootstrap) i el límit de sistema (control i BEMF, evitant salts).

4.1.1.2.1 Limitació per Hardware (Circuit de Bootstrap)

Per garantir que el MOSFET de la part alta es mantingui activat tot el temps desitjat, el condensador de *bootstrap* ha de recuperar la càrrega consumida (Q_{tot}) durant el temps d'apagada: la durada mínima d'aquest temps d'apagada donarà una cota superior pel temps d'activació i, amb aquest, del *duty cycle*.

- Càrrega consumida per cicle: $Q_{\text{tot}} = 72.5 \text{ nC}$ (veure secció 3.3.1).
- Corrent màxim de càrrega: $I_{\text{max}} = 500 \text{ mA}$ (limitat pel díode). REF DATASHEET
- Temps mínim de recàrrega (t_{off}):

$$t_{\text{off}} = \frac{Q_{\text{tot}}}{I_{\text{max}}} = \frac{72.5 \text{ nC}}{150 \text{ mA}} \approx 0.16 \mu\text{s}$$

Aplicant un factor de seguretat de $3\times$ per assegurar una recàrrega completa al rang del 90-100%, i considerant $f_{\text{PWM}} = 20 \text{ kHz}$:

$$D_{\text{driver}} = 1 - \frac{3 \cdot t_{\text{off}}}{T_{\text{PWM}}} = 1 - \frac{0.32 \mu\text{s}}{50 \mu\text{s}} \approx 99\%$$

4.1.1.2.2 Limitació per Control (Retard BEMF)

El temps que triga el controlador en canviar de fase suposa un límit per la màxima velocitat de gir del rotor: evidentment, no pot girar més ràpid del que gira l'excitació de les bobines. Sabent que la velocitat de gir del motor és directament proporcional a la tensió mitjana aplicada al motor ($\bar{V} = D \cdot V_{DD}$), veiem que aquesta durada ens torna a limitar el duty cycle. Així doncs, el que tenim és el següent:

- Segons les especificacions del fabricant del motor, la tensió mitjana aplicada al motor i la seva velocitat angular estan relacionades de forma lineal mitjançant el següent coeficient: $f_{mot}^{mec} = 920 \text{ rpm/V} \approx 15.33 \text{ Hz/V}$. Com que el motor té 14 imants, això es correspon amb 7 parelles de polsos. Així doncs, $f_{mot}^{elec} = 7 \cdot f_{mot}^{mec} = 107.31 \text{ Hz/V}$.
- Sabem que la tensió mitjana que rebrà el motor depèn del *duty-cycle* de la següent manera: $\bar{V} = D \cdot V_{max} = D \cdot 12 \text{ V}$
- Negligint el temps de processament del microcontrolador, el retard màxim del nostre sistema ve dominat per l'introduït pel filtre de detecció de BEMF. Suposant una fase lineal en la banda útil del senyal: $T_{bypass} \approx \tau_{bypass} = R_{eq}C_{bypass} = 7.6 \text{ k}\Omega \cdot 20.8 \text{ nF} = 0.16 \text{ ms}$.

Amb aquesta informació podem calcular el valor de D_{max} a partir de la freqüència màxima de gir:

$$f_{max} = \frac{1}{0.16 \text{ ms}} = 6250 \text{ Hz} = 15.3 \text{ [Hz/V]} \cdot V_{max} = 15.3 \cdot 12 D_{max} \rightarrow D_{max} = \frac{6250 \text{ Hz}}{15 \text{ Hz/V} \cdot 12 \text{ V}} > 1$$

Per tant, trobem que aquest criteri no estableix una cota superior significativa pel *duty cycle*.

Així doncs, donades les dues estimacions, identifiquem un límit superior del *duty cycle* del 99% per $f_{pwm} = 20 \text{ kHz}$.

4.1.1.2.3 Limitació total

Per tal de conèixer el valor màxim de la freqüència de commutació del PWM, cal considerar els temps de resposta tant del MOSFET com del *driver* en consideració, ja que aquests seran els factors limitants. Així doncs, tenint en compte els temps de pujada/baixada i els retards de propagació:

$$T_{PWM}^{min} = T_{driver}^{max} + T_{MOSFET}^{max} \begin{cases} T_{driver}^{max} = t_{rise}^{max} + t_{fall}^{max} + t_{d(on)}^{max} + t_{d(off)}^{max} = 220 \text{ ns} + 80 \text{ ns} + 300 \text{ ns} + 280 \text{ ns} \\ T_{MOSFET}^{max} = t_{rise}^{max} + t_{fall}^{max} + t_{d(on)}^{max} + t_{d(off)}^{max} = 69 \text{ ns} + 60 \text{ ns} + 7.3 \text{ ns} + 47 \text{ ns} \end{cases}$$

$$T_{PWM}^{min} = T_{driver}^{max} + T_{MOSFET}^{max} = 880 \text{ ns} + 183.3 \text{ ns} = 1063.3 \text{ ns} \rightarrow f_{PWM}^{max} = \frac{1}{T_{PWM}^{min}} = \boxed{943.4 \text{ kHz}}$$

En canvi, per la freqüència mínima, el factor limitant principal és el propi motor, ja que ens interessa poder extreure el senyal del motor per la detecció de la BEMF, així que és interessant que la freqüència

del PWM sigui prou gran com perquè el filtre format per la capacitat de *bypass* i la resistència equivalent corresponent sigui capaç de separar els senyals PWM del senyal de BEMF. Per aquest motiu escollim una separació de mínim 1 dècada entre senyal PWM i senyal BEMF. Així doncs, sabent que $f_{motor}^{elec} = 107.31 \text{ Hz/V}$ i assumint el pitjor cas (el motor a màxima velocitat):

$$f_{PWM}^{min} = 10 f_{motor}^{elec} (12 \text{ V}) = 10 \cdot 107.31 \text{ Hz/V} \cdot 12 \text{ V} = 10 \cdot 1.287 \text{ kHz} = \boxed{12.87 \text{ kHz}}$$

Escollint $f_{PWM} = 20 \text{ kHz}$ es compleixen els requeriments.

4.1.1.3 Capacitats de *bootstrap* i temps de càrrega/descàrrega

Els següents paràmetres han estat utilitzats per al càlcul [7] [2] [3]:

- $D_{max} < 1$
- $Q_g = 65 \cdot 10^{-9} \text{ C}$ (Càrrega de porta del MOSFET per $V_{gs} = 10 \text{ V}$).
- $I_{hbs} = 50 \cdot 10^{-6} \text{ A}$ (Corrent de fuga estàtic del driver *high-side*).
- $I_{hb} = 100 \cdot 10^{-6} \text{ A}$ (Corrent de polarització dinàmic del driver *high-side*).
- $f_{sw} = 20 \cdot 10^3 \text{ Hz}$ (Freqüència de commutació).
- $V_{dd} = 12 \text{ V}$ (Tensió d'alimentació de la lògica).
- $V_{dh} = 1 \text{ V}$ (Caiguda de tensió del díode *bootstrap*).
- $V_{hbl} = 4.7 \text{ V}$ (Tensió mínima de referència de *high-side*).
- $V_{boot} = 12 \text{ V}$ (Tensió de referència per a càlculs de temps).

4.1.1.3.1 Càlcul del Condensador *bootstrap* (C_{boot})

La càrrega total que el condensador ha de subministrar en cada cicle es calcula com la suma de la càrrega de la porta (Q_g) i la càrrega deguda als corrents de pèrdua (I_{hbs} i I_{hb}) durant el període de commutació ($T_{sw} = 1/f_{sw}$):

$$Q_{total} = Q_g + I_{hbs} \cdot \frac{D_{max}}{f_{sw}} + \frac{I_{hb}}{f_{sw}} = (65 \text{ nC}) + 50 \mu\text{A} \frac{0.2}{20 \text{ kHz}} + \frac{100 \mu\text{A}}{20 \text{ kHz}} = 70.5 \text{ nC}$$

La caiguda de tensió màxima acceptable en el condensador per garantir el correcte funcionament del driver és:

$$\Delta V_{HV} = V_{dd} - V_{dh} - V_{hbl} = \Delta V_{HV} = 12 \text{ V} - 1 \text{ V} - 4.7 \text{ V} = 6.3 \text{ V}$$

Així doncs, amb la següent relació:

$$C_{boot} = \frac{Q_{total}}{\Delta V_{HV}} = \frac{70.5 \text{ nC}}{6.3 \text{ V}} \approx 16.4 \cdot 10^{-9} \text{ F} = \boxed{16.4 \text{ nF}}$$

Aquest valor és el mínim per a que es compleixin les especificacions demanades. L'equació superior es complirà sempre que el condensador de *bootstrap* es pugui carregar durant el temps de freewheeling, fet garantit tal i com s'ha vist a l'apartat anterior. Per complir amb els requisits de forma segura i triar un valor de capacitat nominal, es faran servir capacitats de *bootstrap* de $C_{boot} = 0.1 \mu\text{F}$.

4.1.1.3.2 Temps de Càrrega i Descàrrega

Fem estimacions del temps que triga el condensador de *bootstrap* en carregar-se (quan el MOSFET inferior està activat) i descarregar-se (quan el MOSFET superior està activat). Dels *datasheets* del MOSFET i del díode, trobem els següents valors característics:

- $I_{max} = 500 \cdot 10^{-3} \text{ A}$ (Corrent de càrrega màxima del díode).
- $I_{Vbs} = [20, 60, 100] \cdot 10^{-6} \text{ A}$ (Corrents de pèrdua mínim, típic i màxim del díode).

4.1.1.3.3 Temps de càrrega (t_{Up}) i descàrrega (t_{Down})

A les simulacions, veiem que el corrent que circula pel díode de càrrega del condensador de *bootstrap* presenta un pic de 6 mA i un decaïment gairebé exponencial.²

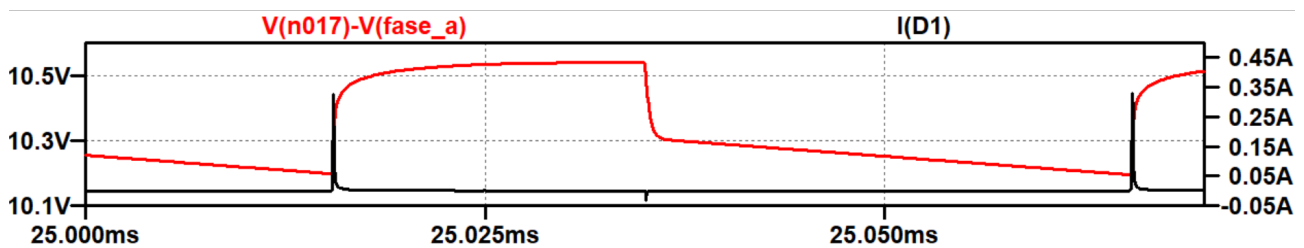


Figura 1: Diferència de potencial a C_{boot} (vermell) i corrent que circula a través del díode (negre) durant un cicle de PWM.

Llavors, el corrent seguirà una distribució de la forma $I(t) \sim I_0 e^{-t/\tau}$. Si considerem que a cada cicle el valor mínim de la intensitat arriba a ser un $\sim 0.06\%$ del màxim ($T/\tau = -\ln(6 \cdot 10^{-4})$), i el màxim és de 500 mA (corrent màxim en directa del díode segons el datasheet), trobem que el valor mitjà del corrent al llarg d'un cicle de càrrega és de $\bar{I} = \frac{I(0)\tau}{T} \approx 60.7 \text{ mA}$. Veiem, també, que la tensió de C_{boot} té una variació de $\Delta V \sim 0.4 \text{ V}$ a cada cicle (agafarem el doble per seguretat). Amb això, podem trobar el temps de càrrega com el temps que trigaria el condensador a carregar-se amb un corrent constant equivalent al mitjà, $t = (C_{boot} \cdot \Delta V) / \bar{I}$:

²Aquesta simulació s'ha fet amb un *duty cycle* del 60%, que és necessari pel model *Spice*.

$$t_{Up} = \frac{\Delta V_{boot} \cdot C_{boot}}{\bar{I}_{diode}} = \frac{0.8 \text{ V} \cdot 100 \text{ nF}}{60.7 \text{ mA}} \approx \boxed{1.3 \mu\text{s}}$$

A la mateixa simulació de l'apartat anterior veiem que el temps de descàrrega de C_{boot} és molt similar al de càrrega, de manera que el considerarem del mateix ordre de magnitud: $t_{Down} \approx 1 \mu\text{s}$.

4.1.1.4 Consum del driver

Negligint els corrents de fuga, el consum dels drivers de commutació vindrà de carregar les portes dels MOSFETs, i de la seva pròpia dissipació. Podem estimar aquest consum amb:

$$P_{gate} \approx \frac{2}{3} \Delta V_g \Delta I_g = \frac{2}{3} \cdot \Delta V_g \cdot Q_g \cdot f_{PWM}$$

On $\Delta V_g \approx 2 \text{ V}$ és la tensió necessària per fer commutar el transistor. El factor de $\frac{2}{3}$ ve de que cada driver manté un dels dos MOSFETs actius durant $4/6 = 2/3$ dels estats, de manera que podem considerar-los com un sol MOSFET que està actiu durant $2/3$ d'un cicle. Substituint amb els valors trobats:

$$P_{gate} \approx \frac{2}{3} \cdot 2 \text{ V} \cdot 65 \text{ nC} \cdot 20 \text{ kHz} \approx \boxed{1.73 \text{ mW}}$$

Per una altra banda, al datasheet s'indica un consum del driver de 0.7 mA per una alimentació de 12 V i una freqüència de treball de 20 kHz . Aquesta potència se suma a la de gate per trobar el consum total del driver:

$$P_{driver} = P_{gate} + 12 \text{ V} \cdot 0.7 \text{ mA} = \boxed{10.13 \text{ mW}}$$

4.1.1.5 Consum dels MOSFETs

Havent considerat la càrrega de les gates com a consum dels drivers, als MOSFETs trobarem pèrdues per conducció i per commutació. Les pèrdues per conducció són fruit de la resistència equivalent R_{ds} , que dissiparà potència quan el transistor estigui obert:

$$P_{cond} = D \cdot I_d^2 \cdot R_{ds} \quad (4)$$

Cal considerar el *duty cycle* D perquè cada MOSFET només està encès durant aquesta fracció del temps que dura un cicle. A les simulacions s'observa que, durant un cicle de conducció, el corrent que circula per les bobines arriba a valors d'aproximadament 20 A : prenem un valor mig del *duty cycle* de $D = 0.14$ considerant la programació de llaç tancat, i al datasheet dels MOSFETs trobem un valor de $R_{ds(on)} \approx 0.027 \Omega$. Amb aquests valors ens queda:

$$P_{cond} = 0.14 \cdot (20 \text{ A})^2 \cdot 0.027 \Omega \approx \boxed{1.5 \text{ W}}$$

Paral·lelament, tindrem pèrdues per commutació, que es donaran en l'interval de temps en el que la tensió DS puja, i el corrent I_d baixa, sent els dos diferents de zero. Sigui $V_{ds} = 12 \text{ V}$ la tensió drenador-font dels MOSFETs en tall, podem trobar la potència consumida per commutació cada cicle amb:

$$P_{sw} = \frac{1}{2} \cdot V_{ds} \cdot I_d \cdot \frac{t_{rise} + t_{fall}}{T} \quad (5)$$

On t_{rise} i t_{fall} són el temps que necessita el MOSFET per fer una commutació OFF-ON i ON-OFF respectivament, i del datasheet veiem que són 60 ns i 69 ns. T és la durada d'un període en el que té lloc una commutació OFF-ON i una altra ON-OFF: correspon, per tant, al període de PWM . Substituint:

$$P_{sw} = \frac{1}{2} \cdot 12 \text{ V} \cdot 20 \text{ A} \cdot (60 \text{ ns} + 69 \text{ ns}) \cdot 20 \text{ kHz} \approx \boxed{0.312 \text{ W}}$$

Observem que les pèrdues per conducció dominen el consum dels MOSFETs. Comentem, també, que una intensitat de 20A per una tensió drain-source de 12V (condicions límit) i un període de treball de $T = 1/f_{pwm} \approx 50 \mu\text{s}$ es comprèn dins de la SOA indicada al datasheet, de manera que els MOSFETs operaran a una regió de treball adequada.

4.1.1.6 Resistència de gate dels MOSFETs

La resistència de gate actua com un element de protecció del circuit davant de commutacions d'alta velocitat, donant lloc a un filtre passa-baixos en ser connectada en sèrie amb la gate d'un MOSFET (que en aquest cas juga el paper de condensador): serveix per evitar oscil·lacions al sistema driver-MOSFET causades per la inductància paràsita i limitar el corrent I_g . La cota inferior vindrà donada pel corrent màxim de sortida del driver [3]:

$$R_{g,min} = \frac{V_{gs}}{I_{max,driver}} = \frac{10 \text{ V}}{2 \text{ A}} = 5 \Omega \quad (6)$$

Per una altra banda, com parlem del filtre generat, podem estimar la capacitat de gate amb la càrrega de gate i la tensió a la que es mesura:

$$C_g \approx \frac{Q_g}{V_g} = \frac{65 \text{ nC}}{10 \text{ V}} = 6.5 \text{ nF}$$

Amb el caràcter de filtre, trobem també un desavantatge en incrementar R_g (tot i que no exactament una cota màxima): el filtre introduirà un retard, i aquest ralentirà la commutació dels transistors, incrementant el consum. Concretament, $\tau = RC \approx 32.5 \text{ ns}$: aquest retard ja és comparable amb els temps de rise/fall del MOSFET, de manera que per optimitzar el consum caldria fer servir una resistència de

gate el més baixa possible. Sabem, però, que $P = I^2 R$, de manera que una major intensitat de sortida del driver també suposarà una dissipació rellevant a la sortida del driver. Suposant que volem limitar la potència dissipada a la gate a $P = 1W$, tindrem $R_g = 25\Omega$ per I_{max} . Amb aquesta resistència, tindrem $\tau \approx 162.5ns$ i un consum de commutació dels MOSFETs (trobat anteriorment) de $P_{sw} \approx 0.7W$, de manera que considerem un valor més acceptable $R_g = 25\Omega$. Aquest valor està dins del SOA per la nostra freqüència de treball (20 kHz).

4.1.1.7 Capacitats de desacoblament

Trobarem les capacitats de desacoblament a partir del corrent màxim I que esperem en un interval de temps donat Δt , i permetent una certa variació ΔV de la tensió que es vol mantenir, seguint la següent fórmula:

$$C = \frac{I \cdot \Delta t}{\Delta V} \quad (7)$$

Font de tensió

Amb diferència, l'element que més consum requereix en aquest muntatge és l'alimentació de les fases del motor, de manera que podem dimensionar la capacitat de desacoblament de l'alimentació general a partir d'aquestes. A les simulacions veiem que la intensitat que pot arribar a circular pels transistors és de l'ordre de 14A:

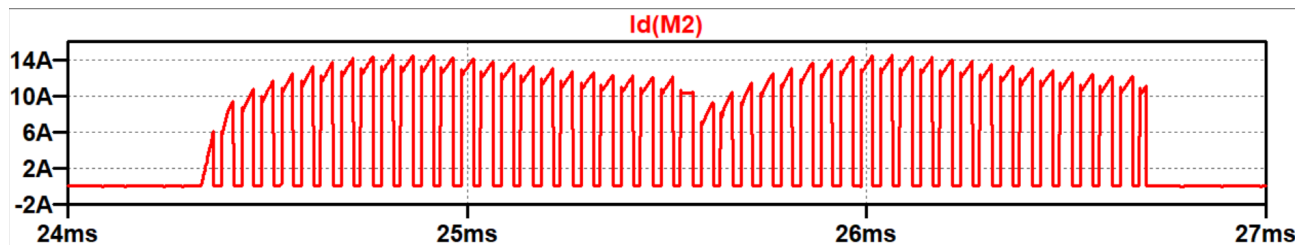


Figura 2: Corrent que circula pel MOSFET superior del semipont A durant una fase activa.

Si volem que la tensió d'alimentació de la placa no varii més d'un 10%, i tenim que els MOSFETs commutaran a la freqüència de $f_{PWM} = 20kHz$ i estaran actius durant un *duty cycle* $\sim D = 20\%$:

$$C_{dec,font} = 117 \mu F$$

Per estar segurs, hem fet servir $C_{dec} = 470 \mu F$.

MOSFETs

Considerem que la capacitat de desacoblament de la font ja filtra gran part del soroll introduït per l'activació dels MOSFETs (és precisament com s'ha plantejat el dimensionament): tot i així, afegirem

una capacitat de $47\mu\text{F}$ (una dècada inferior a la font) com a mesura de seguretat per mitigar l'efecte de les freqüències altes del senyal quadrat de PWM.

Drivers de commutació

Tenim que la intensitat proporcionada màxima es donarà just a l'instant de commutació, quan la càrrega de gate del transistor s'acumuli en un temps t_{rise} o t_{fall} (agafarem el que maximitzi el valor de la intensitat per trobar el cas límit). En aquest cas:

$$I_{peak} = \frac{Q_g}{\Delta t_{min}} = \frac{Q_g}{t_{rise}} = \frac{65\text{ nC}}{1.35\mu\text{s}} = 48.15\text{ mA}$$

A partir d'aquí podem trobar una estimació per la capacitat de desacoblament necessària per compensar aquestes variacions, si volem una variació de la tensió del 5% com a molt: $\Delta V = 0.05 \cdot 12\text{ V} = 0.6\text{ V}$.

$$Z = \frac{\Delta V}{\Delta I} \rightarrow C_{dec}^{min} = \frac{1}{2\pi f_{PWM} Z} = \frac{\Delta I}{2\pi f_{PWM} \Delta V} = \frac{48.15\text{ mA}}{2\pi \cdot 20\text{ kHz} \cdot 0.6\text{ V}} \approx \boxed{638.6\text{ nF}}$$

Per seguretat, agafarem $C_{dec}^{drivers} = 6\mu\text{F}$.

Comparadors

Tot i que els senyals dels comparadors no són especialment ràpids, les commutacions ràpides poden introduir comportaments d'alta freqüència. L'encapsulat que farem servir, el LM339n[6], té un corrent màxim d'entrada de 50mA, un temps de resposta de 300ns i una tensió d'alimentació de 10V (de la qual tolerarem una variació del 10%): això ens deixa amb $C_{dec,comp} \approx 45\text{ nF}$. Per comoditat, en farem servir de 100nF.

4.1.1.8 Components de detecció de la BEMF

Per tal de detectar la BEMF, es dissenya un circuit que simula el node intern del motor: un node neutre virtual. Així doncs, es construeix la figura d'estrella, la qual requereix que totes les resistències (R_{star}) siguin iguals. El valor concret no és especialment rellevant, però escollim un valor prou gran com perquè el corrent que hi circuli sigui negligible en comparació amb el que circula pel motor, però evitant massa alts que puguin portar a retards de fase detectables (juntament amb la capacitat paràsit, ja que $\tau \sim RC_{par}$) o *mismatches* amb la impedància d'entrada amb els comparadors. Així doncs, s'opta per resistències d'1 kΩ.

Per tal de poder fer anar els comparadors correctament (mesurar els passos per 0), s'incorporen divisors de tensió a cadascun dels nodes de fase i al node neutre virtual per a escalar-los a un rang menor (tots els nodes escalats en la mateixa proporció). Per tal d'aconseguir que els nodes tinguin, com

a màxim, 3.3 V, es fan servir resistències amb una relació de màxim $\frac{R_{div}^L}{R_{div}^H} \leq \frac{1}{3}$. Per tal d'aconseguir aquesta relació (una més petita per si de cas), s'escullen els valors $R_{div}^H = 33\text{k}\Omega$ i $R_{div}^L = 12\text{k}\Omega$. A més de respectar la relació buscada, són valors prou més grans que R_{star} com per evitar que hi hagi fuites de corrent significatives que trenquin la simetria del node neutre virtual. Independentment del valor nominal de R_{star} , sí que cal assegurar-se que els valors són el més propers possible entre sí, de manera que és interessant fer servir resistències de baixa tolerància.

Pel que fa a la capacitat de *bypass*, el requeriment és que el filtre RC equivalent filtri les oscil·lacions del senyal PWM per tal que no interfereixin amb la mesura de la BEMF (que depèn de la freqüència de gir del motor). Així doncs, a més de filtrar les oscil·lacions del PWM ha de deixar passar les del motor: $f_{motor} \ll f_{filtre} \ll f_{PWM}$. Per una alimentació de 12 V del motor (cas ideal, no es donarà mai), tindrem que $f_{motor} = 15.3\text{ Hz/V} \cdot 12\text{ V} \approx 184\text{ Hz}$. Sabent també que $f_{PWM} = 20\text{ kHz}$, tenim una cota mínima i màxima per f_{filt} : per conveniència, la intentarem situar a $f_{filt} \sim 1\text{ kHz}$.

Per tal de calcular la freqüència de tall del filtre generat per la capacitat de *bypass*, cal tenir en compte la resistència percebuda per la capacitat cap el circuit de la fase: tal i com es veu a l'apartat 4.1.2.5, aquesta serà el paral·lel de la resistència inferior del divisor de tensió d'entrada, amb la suma de la resistència superior d'aquest divisor sumada a la resistència equivalent de les fases:

$$R_{eq} = (R_{div}^L \parallel (R_{div}^H + R_{in, FASE.X})) \quad (8)$$

Suposant que la resistència d'entrada de la fase X és negligible comparada amb les del divisor de tensió ($\sim 20\text{k}\Omega$), tindrem que $R_{eq} \approx R_{div}^H \parallel R_{div}^L$. Ara, si volem situar la freqüència del filtre a $f_{filt} \sim 1\text{ kHz}$, tindrem:

$$C_{bypass} = \frac{1}{2\pi R_{eq} f_{filt}} \approx 17.7\text{ nF} \quad (9)$$

A la pràctica hem observat que ens és preferible fer servir $C_{filt} \geq 30\text{ nF}$ (que és el valor que hem triat), ja que hem observat problemes de *crosstalk* a alguns senyals de comparador. Amb això, el pol del filtre se situa a $f_{filt} \approx 590\text{ Hz}$, dins la zona que volíem.

4.1.2 Esquemàtic

4.1.2.1 Microcontrolador (TIVA)

Taula 1: Assignació de recursos a la TIVA.

Pin	Funcionalitat	Senyal
PA2	GPIO	LED de connexió
PB5	M0PWM3	PWM 1A
PE4	M0PWM4	PWM 1B
PE5	M0PWM5	PWM 2A
PB4	M0PWM2	PWM 2B
PA6	M1PWM2	PWM 3A
PA7	M1PWM3	PWM 3B
PC4	GPIO	Comp. de la fase 1
PC6	GPIO	Comp. de la fase 2
PF2	GPIO	Comp. de la fase 3
PD0	SSI1Clk	SPI clock
PD1	SSI1Fss	SPI chip select
PD2	SSI1Rx	SPI RX
PD3	SSI1Tx	SPI TX
PE3	ADC	Potenciòmetre

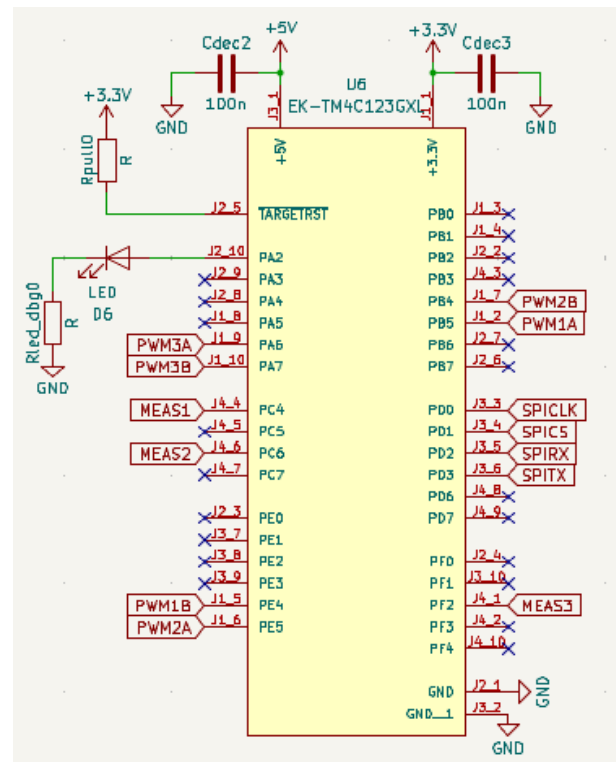


Figura 3: Esquemàtic de les connexions al microcontrolador.

La mateixa web de *Texas Instruments* proporciona un model de la TIVA per Kicad, permetent realitzar les connexions de forma visual i després dissenyar un layout amb el footprint corresponent. Cal indicar que, a més dels pins assignats, s'han afegit capacitats de desacoblament a les entrades/sortides de 5V i 3.3V, i una resistència de pull-up al pin de TARGETRST perquè no ens cal incorporar cap element d'indicació de RESET a la nostra placa, la TIVA ja porta un botó de RESET incorporat. S'ha afegit tires de test-points, cadascun amb una referència a GND, per les portes dels transistors, les fases del motor, els conjunts de senyals MEAS (comparadors) i PWM. També es presenta una tira de pins SPI, que pot servir tant per test com per comunicar-se amb altres dispositius.

4.1.2.2 Alimentació

La font de tensió del sistema serà de 12V. Aquesta tensió elevada és un requisit per assolir la potència suficient per accionar correctament el motor BLDC, però és massa elevada per alimentar l'etapa de lògica del sistema. Per tant, cal incorporar una etapa d'adaptació de tensió per alimentar la TIVA i els drivers de commutació. S'ha escollit una reducció a 5V per poder alimentar la TIVA directament amb 5V, i fent servir aquesta per fer la reducció de tensió a 3.3V necessària per alimentar els comparadors. La topologia implementada és la presentada a l'esquemàtic: s'han incorporat capacitats de

desacoblament al connector amb la font d'alimentació, i a l'entrada i a la sortida de l'LDO, d'acord amb el dimensionament previ.

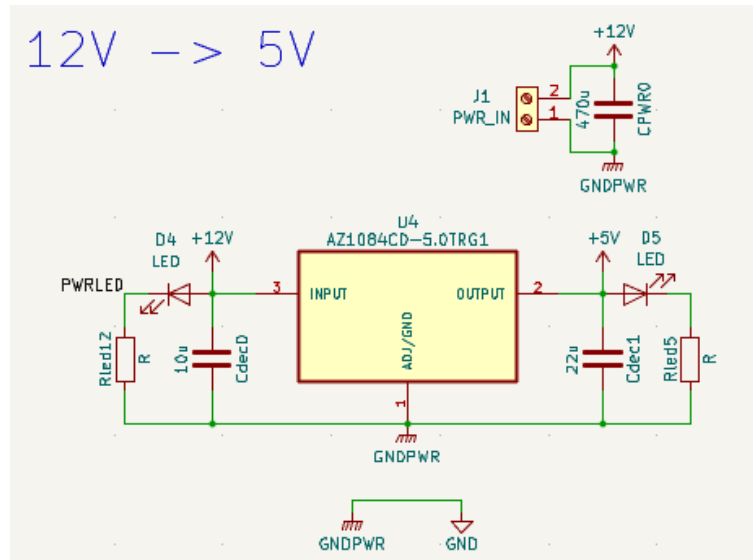


Figura 4: Esquemàtic de l'etapa d'alimentació.

4.1.2.3 Excitació del motor

Com ja s'ha esmentat, l'excitació del motor es controla amb tres semi-ponts, cadascun controlat per un driver de commutació. El semipont consta d'un MOSFET que regula el contacte amb la tensió d'alimentació (12V, anomenat de *high-side*), i un altre que regula el contacte amb la tensió de referència (*low-side*). Per mantenir el MOSFET superior en la regió lineal quan s'activa es fa servir el condensador de *bootstrap*, que es carrega a través del díode adjacent quan la sortida del semipont és baixa, i es descarrega quan la sortida és elevada, mantenint V_{gs} del transistor superior per sobre de la tensió de la fase.

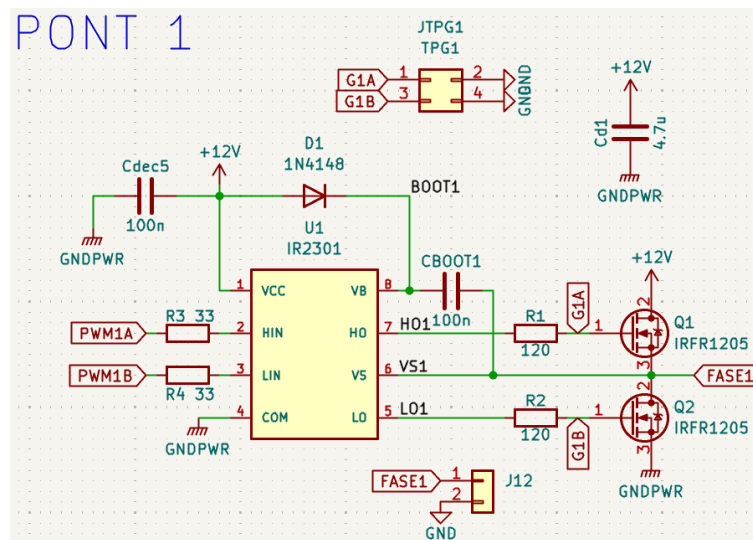
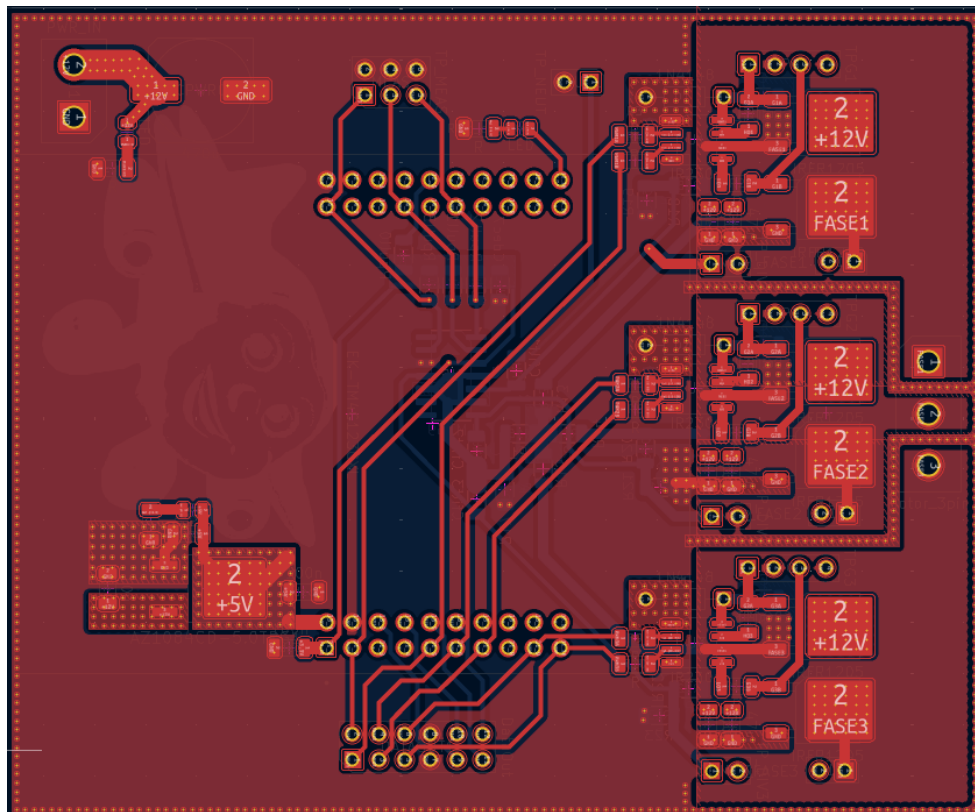
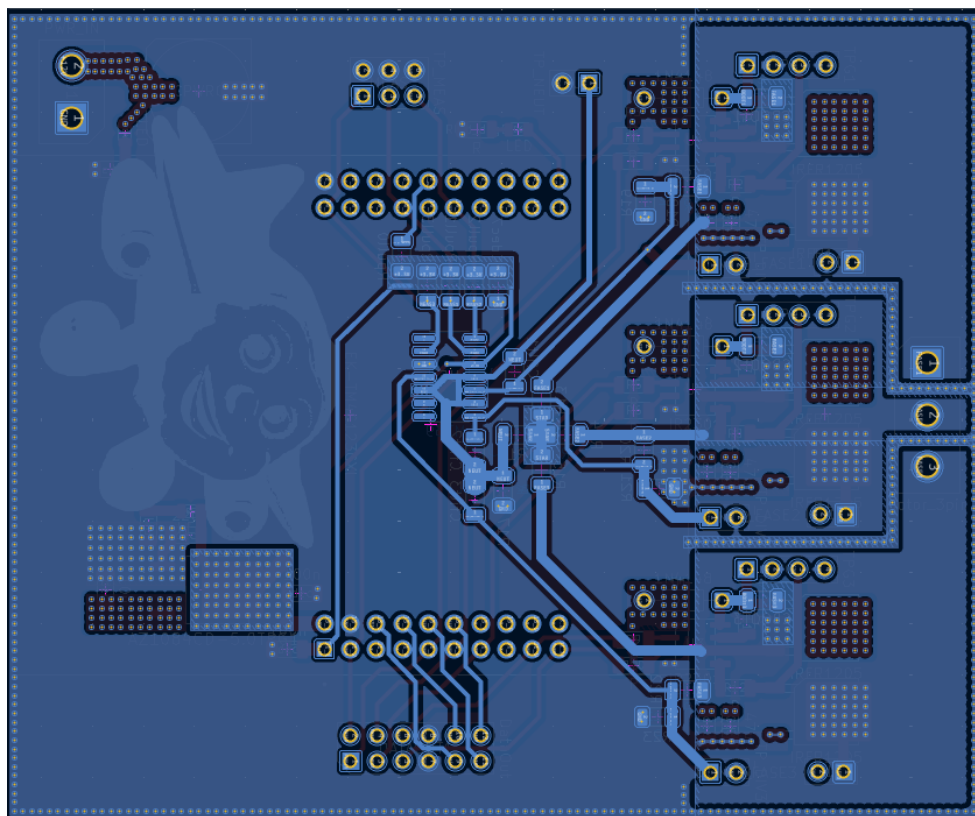


Figura 5: Esquemàtic d'una de les tres etapes d'excitació del motor BLDC.

4.1.3 Layout



(a)



(b)

Figura 8: Captures de les capes front (a) i back (b) de la PCB dissenyada.

La placa realitzada és de quatre capes: top, 12V, GND i bottom. Així aprofitem els plans d'alimentació per apantallar la placa, reduint el crosstalk i la impedància de retorn. Una altra mesura per incrementar l'apantallament entre seccions de la placa ha sigut la incorporació de microvies a llocs estratègics: en particular, als extrems de la placa i a la separació entre les seccions de fases del motor.

Exceptuant alguns punts estratègics d'alimentació de 5V i 3.3V, l'àrea restant de les capes superficials s'ha baixat a GND, amb l'objectiu de donar una tensió definida a totes les regions de la placa per evitar acumulació de càrrega.

A la capa superior es pot distingir el LDO (inferior esquerra) i les etapes d'excitació de les fases del motor (dreta): s'ha procurat que aquestes últimes estiguin el més a prop possible entre si, fent plans de tensió comuna per reduir la impedància percebuda. Aquests plans de tensió comuna s'han reproduït a la capa inferior, un cop més, per reduir l'apantallament. Pel que fa a la capa inferior, es pot observar que és on es troben els condensadors de *bootstrap* dels drivers i la lògica de detecció de BEMF (al centre). Els primers s'han col·locat just darrere dels drivers per disminuir-ne la distància, i la lògica de BEMF s'ha volgut distanciar de l'etapa de potència.

4.1.4 Verificació de l'anàlisi

Un cop realitzats els càlculs, podem tornar a dur a terme algunes simulacions per comprovar el correcte funcionament dels components dimensionats. Concretament, simularem les capacitats de *bootstrap* i el filtre dissenyat per filtrar els senyals de detecció de la BEMF.

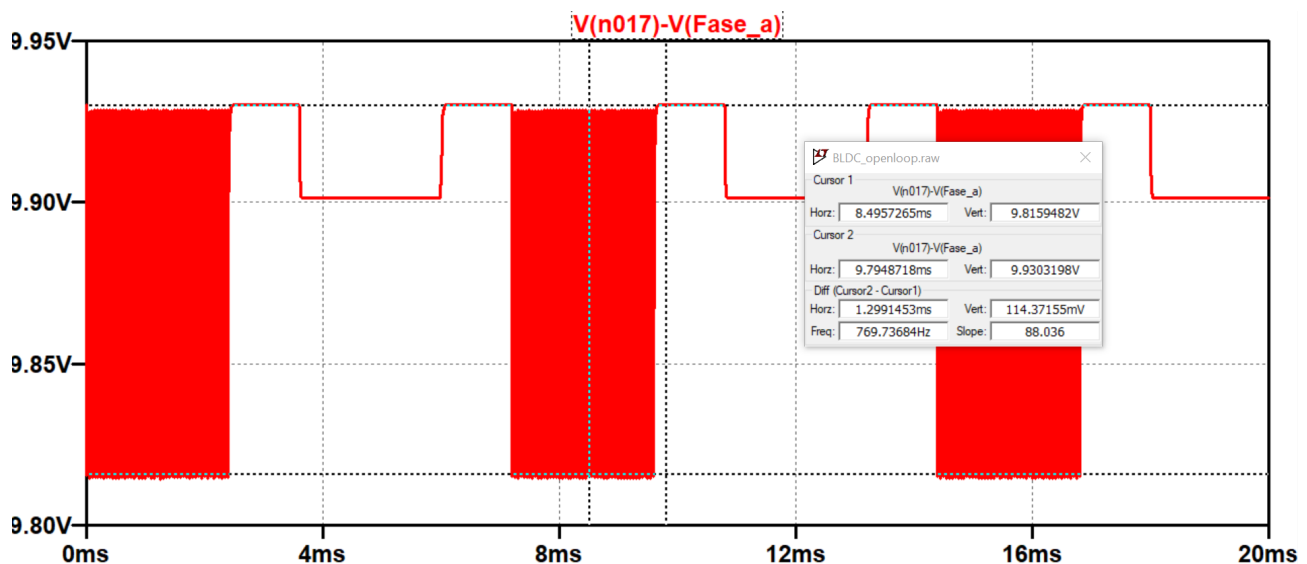


Figura 9: Diferència de potencial entre les plaques del condensador de *bootstrap* durant l'excitació de la fase superior amb senyal *pwm*.

Es pot veure com, per una commutació *pwm* i un *duty cycle* de $D = 0.2$, la tensió del condensador de *bootstrap* varia uns 100mV, que és una variació més que suficient per una alimentació de 12V (menys d'un 1%). Per tant, considerem que els condensadors de *bootstrap* estan ben dimensionats.

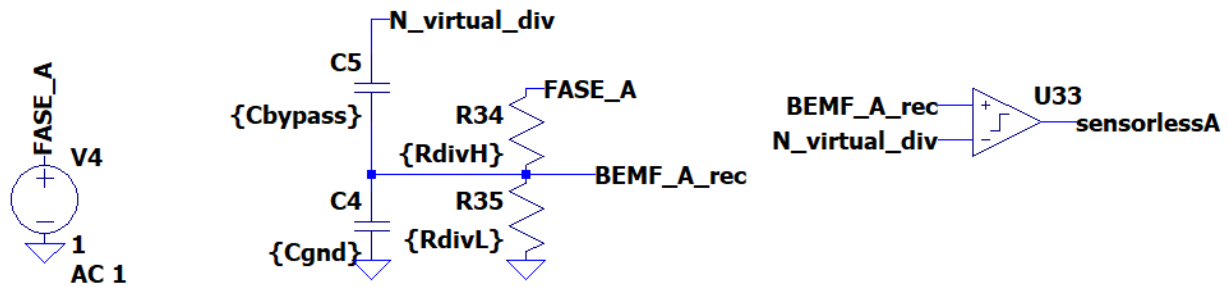


Figura 10: Components necessaris per dur a terme la simulació de la resposta del filtre. Aquesta simulació es duu a terme dins del model del motor, de manera que es considera que FASE_A també està connectada a la fase del motor.

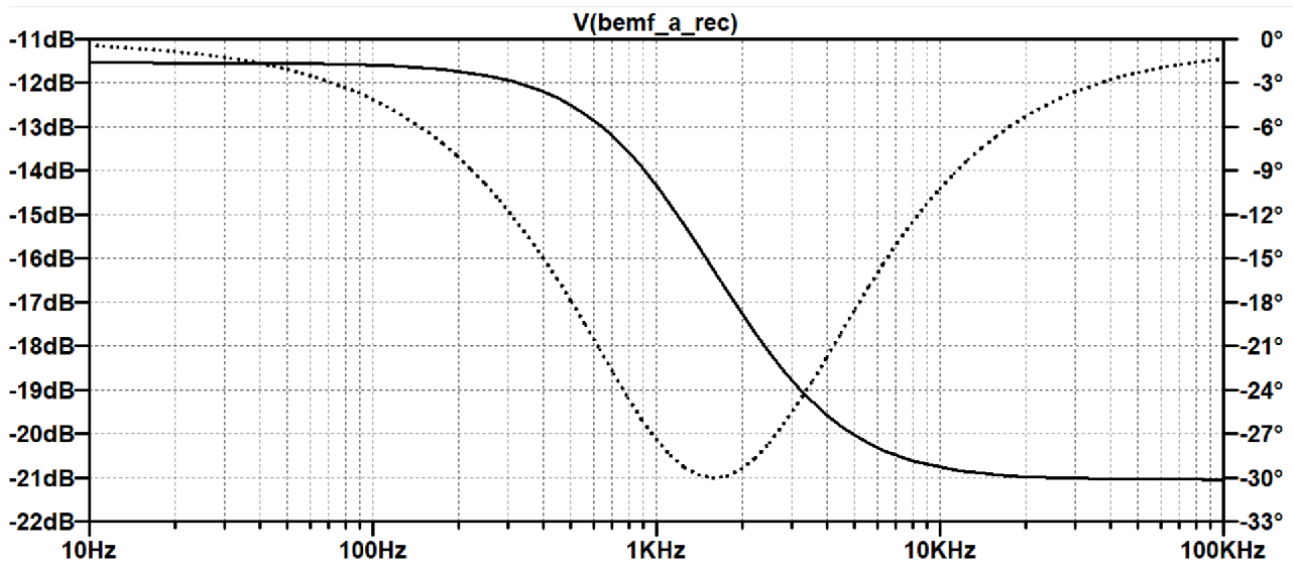


Figura 11: Diagrama de Bode del filtre format per la resistència equivalent del circuit de node virtual i la capacitat de bypass.

Pel que fa a la resposta en freqüència del filtre format als comparadors, a primera vista s'observa un comportament clarament de filtre passa-baixos amb un pol centrat al voltant de 1 kHz, que correspon justament al comportament desitjat: volem detectar el senyal de gir del motor, de l'ordre de 100Hz, i filtrar la freqüència de *pwm*, de l'ordre de 10 kHz. Amb una mica més d'atenció a la fase s'observa un comportament més complex que un filtre passa-baixos de primer ordre: això pot haver succeït perquè s'ha realitzat l'escombrat en freqüències amb el sistema sencer connectat, i aquest presenta diversos comportaments capacitius i inductius que van més enllà del disseny d'aquest filtre. Tot i així, la resposta del muntatge és justament la desitjada, ja que la realimentació del sistema de control en llaç tancat no és directa (el senyal és detectat pel microcontrolador), i l'únic que ens interessa detectar és el pas per zero.

4.2 Disseny del *Firmware*

4.2.1 Definició d'estructures

Hem definit dues estructures per facilitar la redacció i comprensió del codi: *MosfetController* i *ComparatorController*. Aquestes permeten gestionar els senyals de fase i comparador, respectivament, de manera senzilla i intuïtiva. *MosfetController* duu a terme la inicialització dels mòduls de PWM amb una freqüència donada i un duty inicial; disposa també de sis mètodes, un per cada mosfet, amb una entrada binària que permet modificar-ne l'estat. Per una altra banda, *ComparatorController* assigna una subrutina d'interrupció a les commutacions dels comparadors, i permet activar-les i desactivar-les fàcilment. Amb això, treballar amb el col·lectiu de senyals d'entrada i sortida del controlador es redueix a treballar amb dos objectes a nivell de codi.

4.2.2 Llaç obert

El control en llaç obert és el més senzill d'implementar perquè no requereix realimentació. Havent definit ja els sis estats possibles d'alimentació de les fases del motor, farem que el microcontrolador generi senyals corresponents a una seqüència d'aquests estats de forma cíclica, en l'ordre que faci girar el motor. Això permet fixar la durada de cada estat i, sobretot a nivell de desenvolupament, facilita considerablement el *debugging* del motor. L'execució del programa en llaç obert consistirà en la rampa inicial per iniciar el moviment, i seguidament un bucle infinit on es durà a terme la transició periòdica d'estat a estat esperant una durada concreta. Seguint les indicacions del campus virtual, hem fet que $T_{fase} = 1.2\text{ ms}$. La rampa d'arrencada segueix la següent lògica, en el nostre cas:

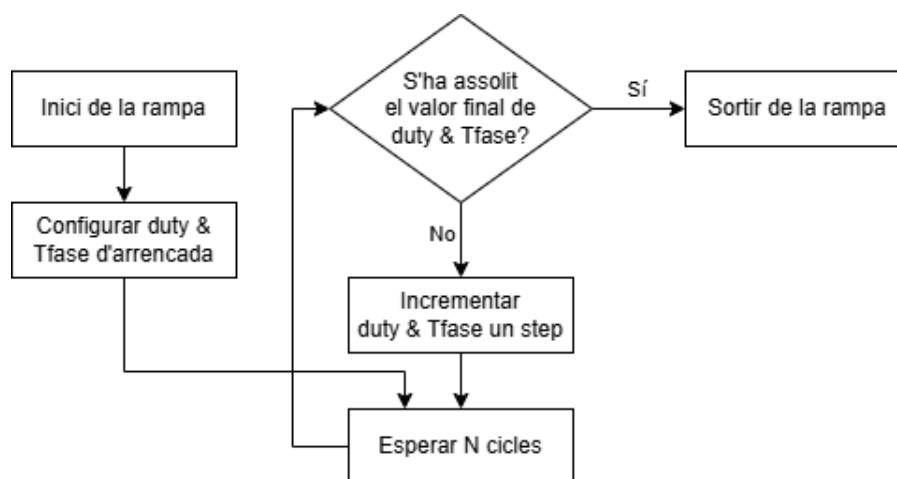


Figura 12: Diagrama de blocs de la rampa d'arrencada. Com es pot veure, el *duty cycle* i T_{fase} creixen solidàriament. El nombre de cicles a esperar N és un valor arbitrari, però hem obtingut bons resultats per $N = 32$.

4.2.3 Llaç tancat

El control de llaç tancat es basa en que, quan el motor gira, cada estat d'excitació té una commutació d'un comparador associada que indica que el motor està avançant. Tan bon punt hagi passat el punt on la BEMF es pot detectar, cal girar el camp (avançar un estat) per a que el motor no s'aturi. Així, un cop s'ha iniciat el moviment amb la rampa d'arrencada, aquest control espera una commutació concreta a cada estat per avançar a l'altre, i no ha d'esperar T_{fase} forçosament.

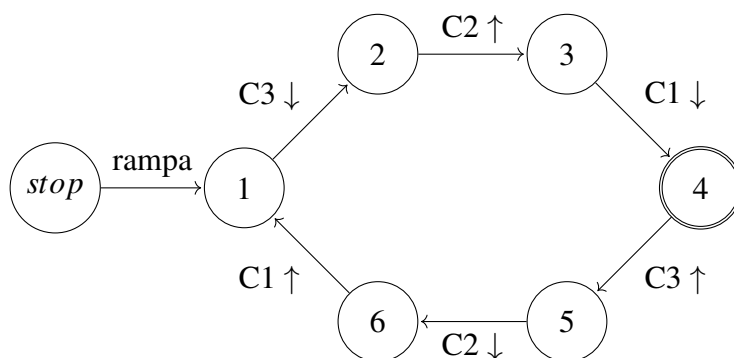


Figura 13: Màquina d'estats del control en llaç tancat

Sabent això, el disseny del software es simplifica considerablement: podem definir una subrutina d'interrupció, assignada a les interrupcions cridades pels flancs dels senyals de comparador, que canviï l'estat d'excitació segons la interrupció detectada. Aquesta subrutina habilitarà la interrupció corresponent a la transició de comparador pertinent per transicionar de l'estat actual al següent. Indicar explícitament la transició esperada al final d'un estat concret (més que esperar una pujada/baixada en general) brinda una major robustesa contra el soroll al programa.

4.2.4 Control per potenciòmetre

4.2.4.1 Control directe

Com s'ha dit en dissenyar el hardware, la velocitat angular del motor és proporcional al *duty cycle* dels senyals de fase: per tant, variant el *duty cycle*, podem variar la velocitat angular del motor. Nosaltres ho hem implementat fent una lectura de tensió d'un potenciòmetre amb un dels ADCs de la TIVA, i mapejant aquest valor a un rang acceptat de *duty cycles*. Considerem aquest mapejat lineal un *control directe*, ja que el *duty cycle* del motor és directament proporcional a la lectura de l'ADC. Una altra opció, però, és controlar el *setpoint* amb el potenciòmetre, i fer que la lògica del microcontrolador adapti el *duty cycle* de manera conseqüent.

4.2.4.2 Control asimètric del *blank time*

Una de les majors limitacions del disseny original del producte és el fet que el *blank time* és estàtic, cosa que suposa un rang dinàmic més curt del dispositiu, ja que un valor fix suposa a un compromís: si

el temps és suficientment llarg per filtrar el pic de soroll inductiu (*flyback*) a baixes revolucions, aquest mateix temps és excessiu a altes velocitats, on acaba emmascarant el pas per zero real i provocant la pèrdua de sincronisme.

Per resoldre aquesta situació, s'ha implementat un control dinàmic on el temps de *blanking* es calcula com una fracció (en aquest cas del 30%) del període de commutació actual. Tot i que això ofereix un rang dinàmic molt superior al del temps estàtic, presenta un risc significatiu de **ressonància** o retroalimentació positiva: si un pic de soroll dispara erròniament el comparador abans d'hora, el sistema mesura un període falsament curt. Si el *blank time* s'actualitza directament amb aquest valor, la finestra de *blanking* es redueix dràsticament pel següent cicle, deixant el sistema encara més exposat al soroll i provocant una fallada en cascada (sovint audible com un “crit” del motor).

Per mitigar aquest fenomen s'ha dissenyat un filtre digital **asimètric** basat en la inèrcia física del motor. El funcionament és el següent:

1. **Mesura de temps:** S'utilitza un *timer* independent (Timer1) per mesurar amb precisió el temps transcorregut entre interrupcions (Δt).
2. **Filtrat Asimètric:** S'actualitza una mitjana mòbil del període (*avg_step_period*) utilitzant coeficients de ponderació (α) diferents segons la tendència de la velocitat:
 - **En acceleració** ($\Delta t < \text{avg}$): S'utilitza un coeficient molt petit ($\alpha_{\text{accel}} \approx 0.1$). El sistema és “escèptic” davant augments bruscos de velocitat, assumint que la inèrcia mecànica impedeix salts instantanis de freqüència. Això permet ignorar els falsos disparells provocats per soroll elèctric, mantenint el *blank time* estable.
 - **En desacceleració** ($\Delta t > \text{avg}$): S'utilitza un coeficient més elevat ($\alpha_{\text{decel}} \approx 0.3$). Això permet al sistema adaptar-se ràpidament si el motor es frena per càrrega, assegurant que la finestra de cegat s'eixampla prou per cobrir els pics inductius, que són proporcionalment més llargs a baixes velocitats.
3. **Límits de seguretat:** Finalment, s'aplica un *clamping* inferior (MIN_BLANK_LOOPS) per garantir que, independentment del càlcul matemàtic, el temps de cegat mai sigui inferior a la durada mínima del transitori dels MOSFETs (aprox. 45 μs).

L'avantatge principal d'aquesta estratègia és el fet que permet operar el motor en un rang molt ampli de velocitats sense reajustaments manuals. Tot i això, la sintonització és complexa; uns coeficients mal ajustats poden provocar una resposta lenta davant acceleracions reals o, per contra, no filtrar prou el soroll en règims estacionaris.

4.2.4.3 Control Integral

Una limitació clau del control “directe” (on el potenciòmetre fixa directament el *duty cycle*) és la incapacitat del motor per mantenir la velocitat davant variacions de la càrrega mecànica. Si s'aplica resistència al rotor, la velocitat cau irremediablement perquè la tensió aplicada és constant.

Per solucionar això sense la complexitat d'un PID complet (que requeriria una sintonització complexa de les constants derivativa i proporcional en un sistema sorollós), s'ha implementat un controlador purament integral (o controlador flotant). Aquesta estratègia no fixa la tensió, sinó que l'ajusta incrementalment fins que l'error de velocitat s'anul·la. El funcionament es detalla a continuació:

1. **Mapejat invers de la referència:** A diferència del mètode tradicional, el valor del convertidor analògic-digital (ADC) no es tradueix a voltatge, sinó a un període "objectiu" (T_{target}). Com que la velocitat és inversament proporcional al període de commutació, un valor alt del potenciòmetre es tradueix en un nombre baix de *ticks* de rellotge entre commutacions, i viceversa.
2. **Control acumulatiu:** A cada cicle del bucle principal, es compara el període real mesurat pel *timer* de les interrupcions ($T_{mesurat}$) amb l'objectiu. La decisió es pren segons el signe de l'error:
 - Si $T_{mesurat} > T_{target}$ (**Motor massa lent**): El sistema detecta que la càrrega ha frenat el rotor. S'incrementa la variable global del *duty cycle* en un pas discret ($\delta \approx 0.05\%$). Això injecta més corrent per vèncer la resistència.
 - Si $T_{mesurat} < T_{target}$ (**Motor massa ràpid**): El sistema redueix el *duty cycle* en el mateix pas discret, permetent que el motor desacceleri de manera natural.
3. **Histèresi i saturació:** Per evitar oscil·lacions contínues al voltant del punt d'operació (*hunting*), s'aplica una banda morta o *dead band* (de ± 50 ticks). Si l'error de velocitat cau dins d'aquest marge, el *duty cycle* es manté inalterat. Finalment, s'aplica un *clamping* al *duty cycle* per assegurar que el controlador integral no porti el sistema a una zona d'operació no desitjada o de pèrdua de sincronisme.

Això resulta en un comportament "elàstic": si es frena el motor amb la mà, el controlador respon augmentant la potència automàticament per recuperar la velocitat consignada, comportant-se com un sistema de llaç tancat similar a un amb PID però amb menys complexitat aritmètica.

4.2.5 Detecció d'aturada

En vista de possibles i inevitables pèrdues de sincronia en situacions reals, i volent protegir el motor de càrregues massa grans com per ser compensades amb un increment de *duty*, s'ha implementat un sistema de detecció d'aturada. Per fer-ho, hem fet servir la mateixa subrutina d'interrupció dels comparadors per anar sumant esdeveniments d'interrupció a una variable, *isr_execution_count*. Aquesta variable es comprova a cada cicle del bucle infinit: si ha passat un cicle sencer i no s'ha detectat cap interrupció nova, es considera que s'ha detectat un error de timeout. Si es detecten més de 10 d'aquests errors seguits, el motor s'atura i es torna a iniciar la rampa d'open-loop (modificant la variable global *started*). El programa també detectarà un error si comprova l'estat actual fent una lectura directa dels comparadors (a la mateixa subrutina d'interrupció) i veient que no encaixa amb el que se suposa per codi: si es detecten més de 5 errors d'aquests, el motor torna a considerar-se aturat.

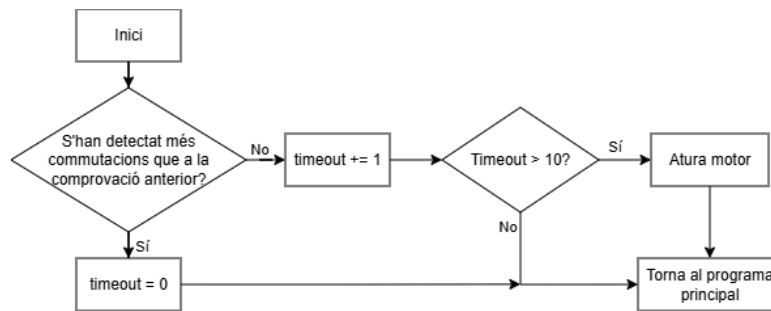


Figura 14: Diagrama de blocs de la comprovació del timeout.

4.2.6 Rutina principal (*main*)

El programa principal consisteix en l'execució de les inicialitzacions necessàries i, seguidament, l'entrada a un bucle infinit on es duu a terme un *polling* per saber en quin mode de control es vol treballar (fixat amb unes variables de control a la capçalera del fitxer). Primer es comprova si el motor està en moviment: si no, s'executa la rampa d'arrencada (el motor pot estar en moviment perquè s'acaba d'encendre o perquè s'ha detectat una aturada). Seguidament, es comprova si s'està treballant en open-loop: si és així, s'avança al següent estat d'excitació i s'espera el temps de fase desitjat. Si no, estem treballant en llaç tancat: si es vol controlar la velocitat amb el potenciòmetre, es duu a terme una lectura de l'ADC i s'actualitza el *duty cycle*. Finalment, es duu a terme el control d'aturada.

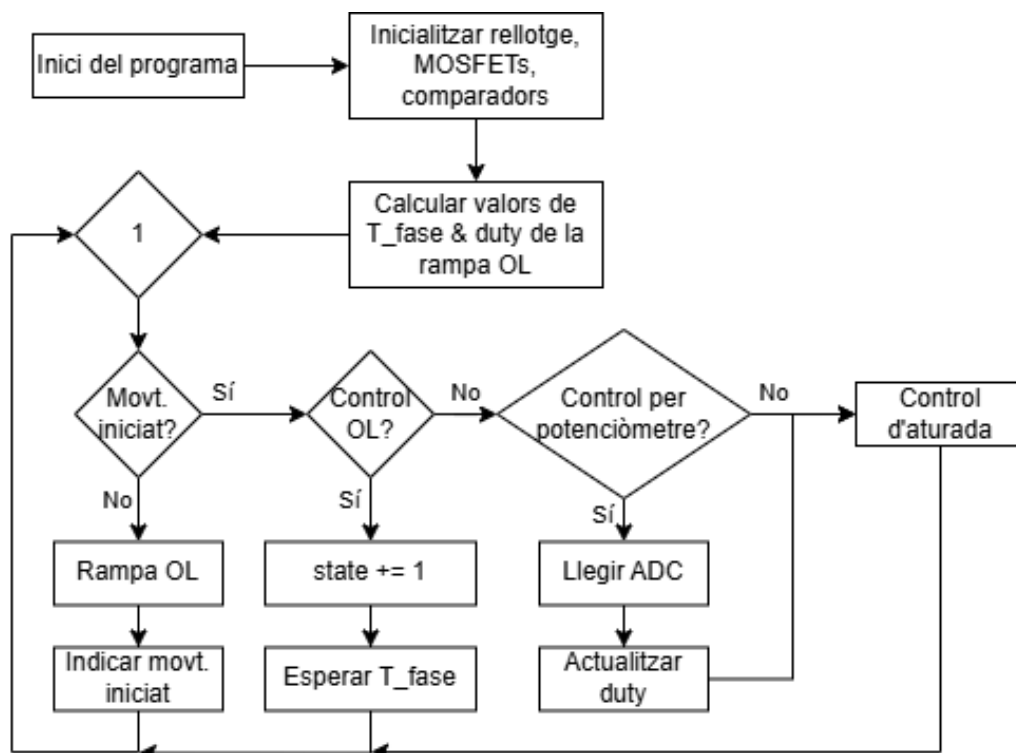


Figura 15: Diagrama de blocs simplificat del programa principal.

5 Resultats

5.1 Open-loop

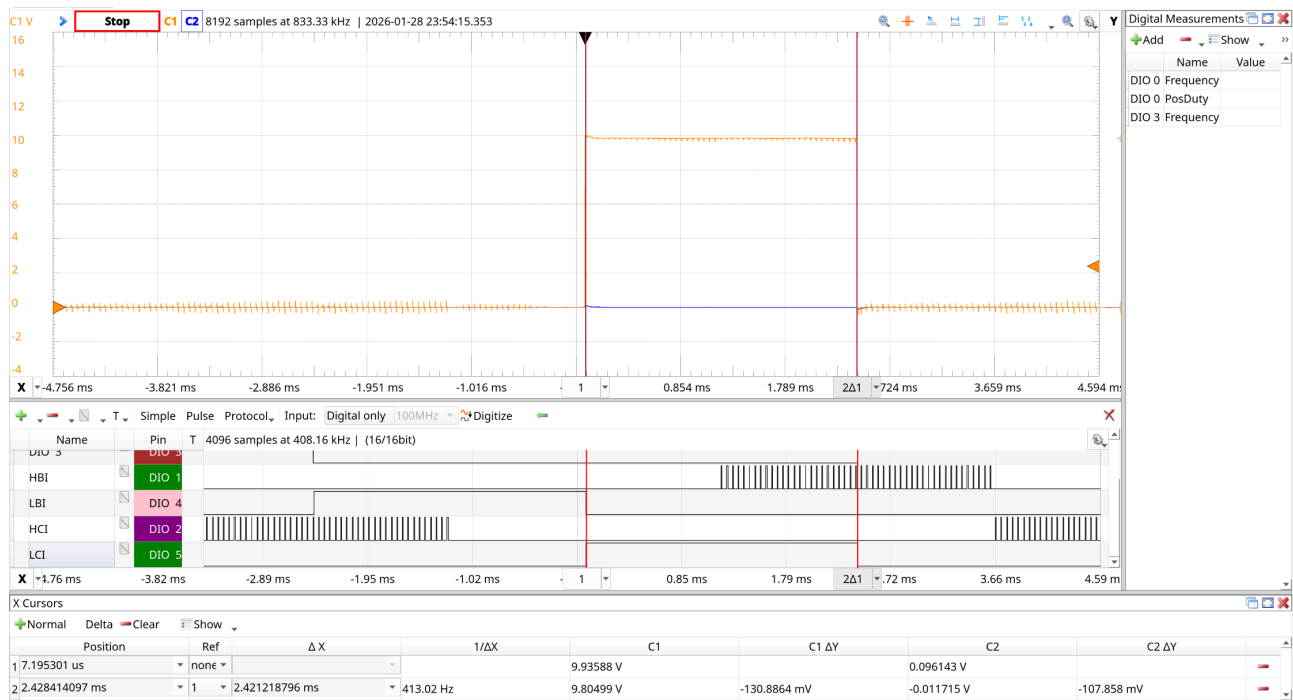


Figura 16: Durada d'una fase d'open-loop: veiem que dura exactament 2.4ms (durada que vam imposar en aquest cas).

5.2 Closed-loop

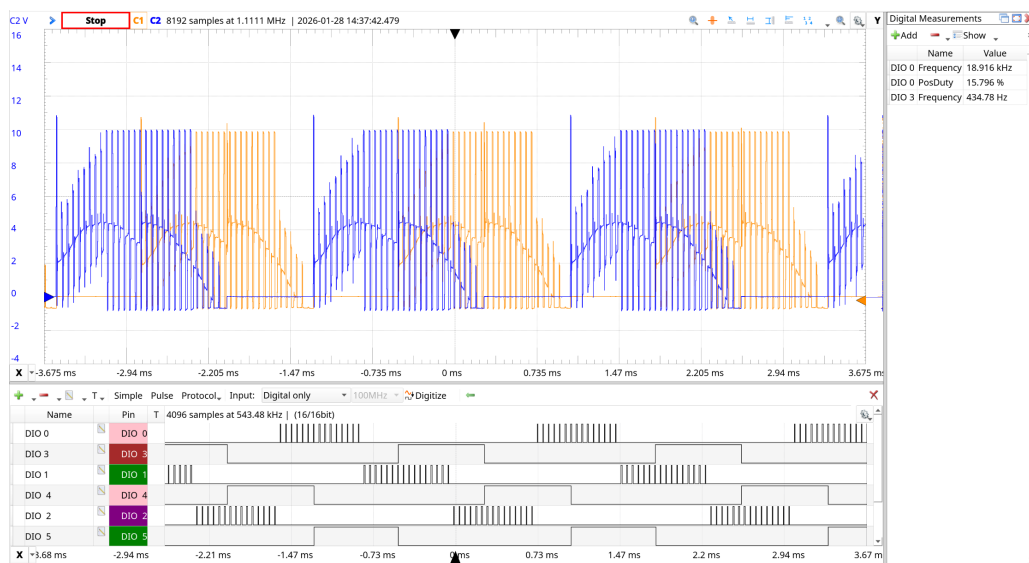


Figura 17: Fases B i C amb els senyals d'excitació corresponents.

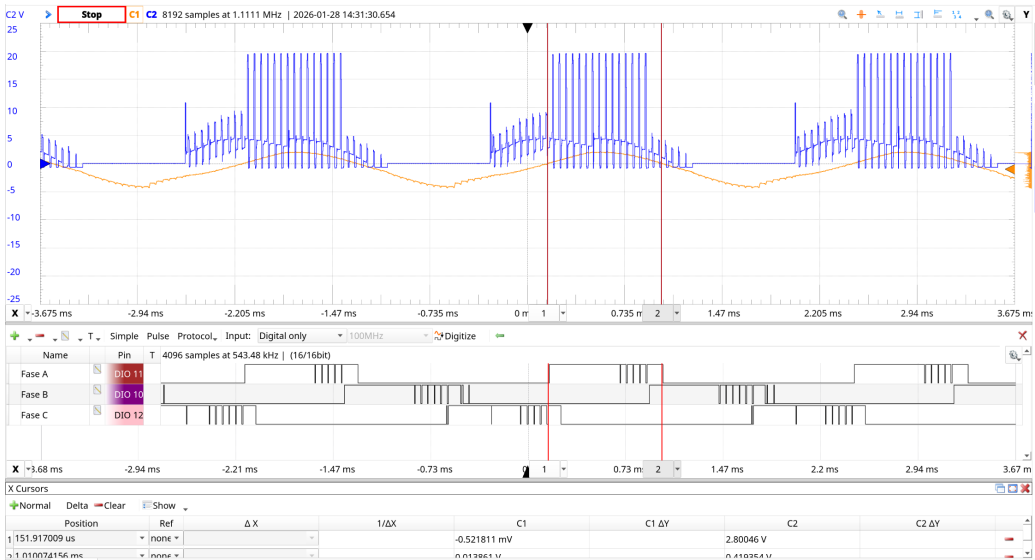


Figura 18: Fase A i BEMF (oscil·loscopi).

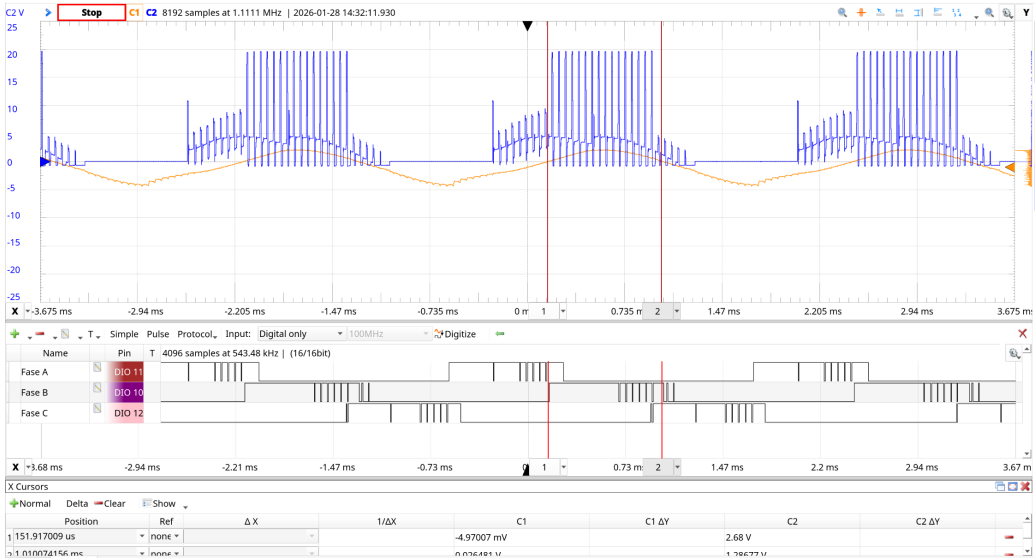
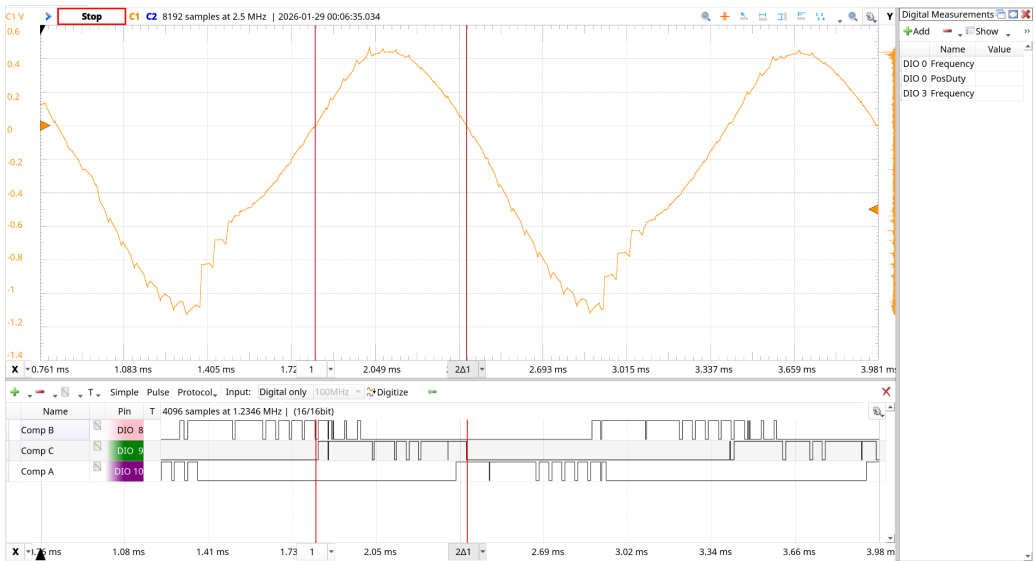


Figura 19: Fase B i BEMF.



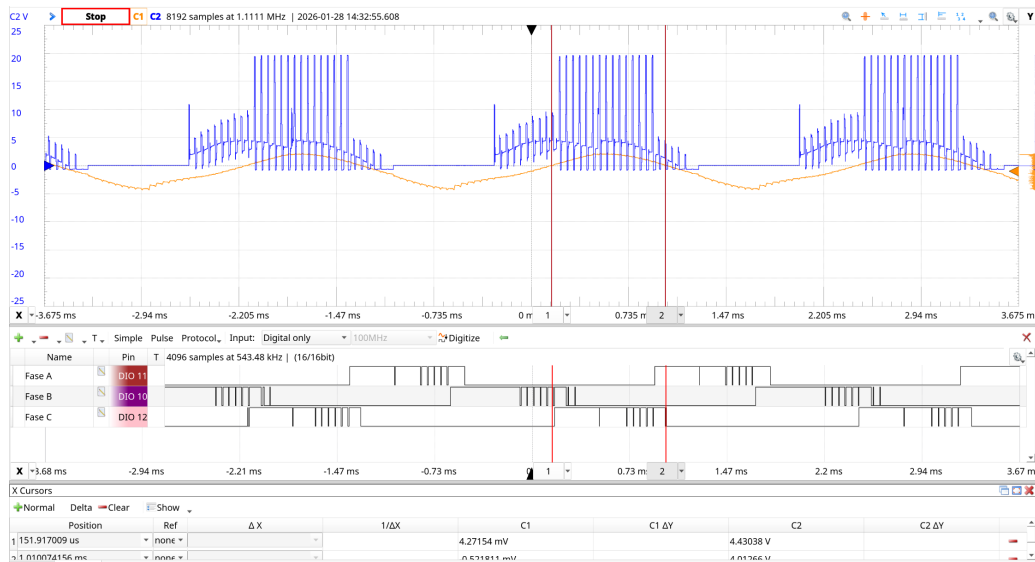


Figura 20: Fase C i BEMF.

Figura 21: Senyal filtrat de la fase 3, mesurat en referència al node neutre: veiem una forma similar a un sinus, i que els seus creuaments pel sero coincideixen amb l'activació del comparador C. Observem també que el soroll del següent flanc del comparador (Comp A) coincideix amb la regió mínima d'aquesta forma d'ona, fet que suggereix que el senyal d'entrada està fent sortir al comparador de la seva regió de treball (ja que el valor de tensió és inferior al d'entrada mínim del comparador, ~ 0.3 V). Tot i així, amb el codi implementat aquest soroll no ens ha suposat un problema notable.

5.3 Control per potenciòmetre

5.3.1 Control directe

Amb un *blank time* de 200 μs , s'ha obtingut un rang dinàmic de 14% fins a 27%. S'han provat diversos valors de *blank time*, però cadascun suposava un rang dinàmic diferent: valors més petits permetien que el motor fos capaç de suportar velocitats més altes, però es comportava pitjor a baixes velocitats (i viceversa).

5.3.2 Control asimètric del *blank time*

La implementació del control asimètric del *blank time* ha permès ampliar significativament el rang operatiu del motor respecte a les proves inicials amb temps fix. Els assajos de càrrega i velocitat han llançat els següents resultats:

A altes revolucions, el sistema manté una commutació neta i estable fins a un *duty cycle* del 63%. En aquest punt, el seguiment del pas per zero (BEMF) és precís i el filtre asimètric aconsegueix ignorar el soroll de commutació sense introduir retards que dessincronitzin el motor.

Si s'augmenta la potència més enllà d'aquest punt, el motor és capaç d'assolir fins a un 70% de *duty cycle*, però el comportament es degrada: s'observa un augment considerable del soroll elèctric i mecànic, indicant que la finestra de *blanking* comença a interferir amb la detecció real del pas per zero, provocant microerrors en la commutació que limiten l'eficiència i l'estabilitat tèrmica del sistema.

Malgrat la millora global, el sistema no és immune a les limitacions físiques del control *sensorless*. S'ha detectat un punt crític de ressonància al voltant del 17% de *duty cycle*. En aquest règim, el motor emet un soroll audible agut (una mena de “crit” agut) i es produeixen vibracions substancials que fan que la base del motor es mogui.

Això s'atribueix a la coincidència entre la durada del pic inductiu (*flyback*) i el límit inferior de seguretat del *blank time*. A velocitats tan baixes, la força contraelectromotriu és feble i el soroll és proporcionalment més llarg; quan el filtre intenta ajustar la finestra, es crea una retroalimentació positiva momentània que provoca pèrdues puntuals de sincronisme fins que el llaç de control aconsegueix establir-se de nou o la velocitat varia lleugerament.

5.3.3 Control Integral

Pel que fa a la implementació del llaç tancat de velocitat mitjançant control integral, els resultats experimentals han estat insatisfactoris a causa de limitacions crítiques en la capacitat de mesurar de manera acurada el temps entre cicle i cicle.

La dificultat principal ha radicat en la lectura precisa de la velocitat (interrupcions per segon). Donada l'elevada constant de velocitat (K_v) del motor utilitzat, el temps transcorregut entre commutacions és extremadament curt. Això provoca que el marge dinàmic del temporitzador (la diferència numèrica

de *ticks* de rellotge entre una velocitat sota càrrega i una velocitat “en buit”) sigui massa estret. Així doncs, la resolució del sistema esdevé insuficient per discriminar petits canvis de velocitat necessaris per a un control fi.

Aquesta limitació es veu agreujada pel *jitter* inherent a l'execució de les interrupcions. Petites variacions en la latència de la ISR (que serien potencialment menyspreables amb un motor més lent) introdueixen un soroll considerable en el càlcul del període. Com a conseqüència, el terme integral del controlador no rep un senyal d'error net, sinó una lectura fluctuant que desestabilitza el llaç de control.

A la pràctica, això s'ha traduït en un comportament erràtic: el sistema tendeix a oscil·lar constantment o a saturar-se cap als límits màxims o mínims, incapaç de mantenir una consigna estable. En lloc d'oferir una resistència progressiva quan es frena el rotor (com faria un sistema robust), el motor respon de manera brusca o amb retard, fent inviable aquesta estratègia de control sense l'ús de perifèrics dedicats de captura de temps (*Input Capture*) de major precisió.

6 Cronograma d'execució

El desenvolupament del projecte s'ha seccionat en 4 fases principals, principalment regides pel calendari acadèmic de l'assignatura i les dates estipulades pels professors de l'assignatura. Així doncs, s'ha dividit en les següents 4 etapes (Taula 2):

Fase	Tasca	Durada
Fase 1	<i>Recerca i Simulació:</i> Estudi de l'estat de l'art, càlculs de components, modelatge a LTSpice del motor i validació de l'etapa de potència.	Setmanes 1-4
Fase 2	<i>Disseny Hardware:</i> Realització de l'esquemàtic i el Layout (4 capes) a KiCad. Generació dels fitxers Gerber i comanda a fàbrica.	Setmanes 5-7
Fase 3	<i>Firmware Inicial i Fabricació:</i> Inici de la programació de la TIVA (configuració de PWM i ADC) aprofitant el temps d'espera de fabricació de les PCBs.	Setmanes 8-10
Fase 4	<i>Muntatge i Validació:</i> Recepció de les plaques, soldadura de components, test elèctric, tancament del llaç de control i redacció final de la memòria.	Setmanes 11-16

Taula 2: Cronograma general amb les fases de desenvolupament.

6.1 EDT

Per tal de dur a terme el projecte dins del termini especificat, però, s'ha descompost el treball en paquets de feina (WP) clarament definits.

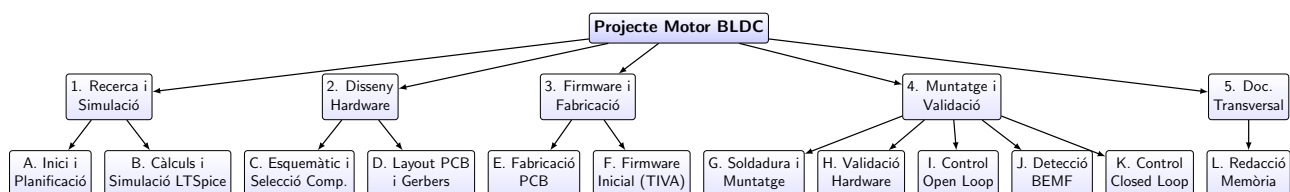


Figura 22: Estructura de Desglossament del Treball (EDT).

Per tal d'especificar amb claredat què implica cada paquet de treball, s'ha elaborat el següent diccionari:

6.2 Diccionari de l'EDT

A continuació es defineix l'abast i els lliurables de cadascun dels paquets de treball (WP) identificats a l'Estructura de Desglossament del Treball (Figura 22):

ACTIVITAT A – INICI I PLANIFICACIÓ: Aquesta activitat engloba la configuració inicial de l'entorn de treball. Inclou la instal·lació del software necessari (Code Composer Studio, KiCad,

LTSpice), la lectura i estudi de la normativa de l'assignatura i la definició de rols i responsabilitats dins de l'equip.

ACTIVITAT B – CÀLCULS I SIMULACIÓ LTSPICE: Consisteix en el dimensionament teòric dels components crítics (condensador de *bootstrap*, divisors de tensió per a la BEMF, filtres) i la realització de simulacions funcionals amb LTSpice per validar el model del motor i la topologia del driver abans de passar al disseny físic.

ACTIVITAT C – ESQUEMÀTIC I SELECCIÓ DE COMPONENTS: Realització del disseny electrònic a KiCad. Implica la selecció de referències comercials (MOSFETs, Drivers, LDOs) disponibles al laboratori o distribuïdors, la creació de símbols i l'assignació de petjades (*footprints*) correctes.

ACTIVITAT D – LAYOUT PCB I GERBERS: Disseny de la placa de circuit imprès de 4 capes. Inclou l'enrutat de les pistes de potència i senyal, la definició dels plans de massa i alimentació per garantir la integritat del senyal, i la generació final dels fitxers de fabricació (Gerbers i fitxers de trepant).

ACTIVITAT E – FABRICACIÓ DE LA PCB: Activitat externa que correspon al temps d'espera mentre el fabricant produeix les plaques. Durant aquest període no es pot avançar en el muntatge físic.

ACTIVITAT F – FIRMWARE INICIAL (TIVA): Desenvolupament dels mòduls bàsics de software sobre la placa de desenvolupament (Launchpad) aprofitant el temps d'espera de fabricació. Inclou la configuració dels timers per generar els senyals PWM i la configuració de l'ADC o comparadors analògics.

ACTIVITAT G – SOLDADURA I MUNTATGE: Assemblatge dels components electrònics sobre la PCB rebuda. Inclou la soldadura de components de muntatge superficial (SMD) i d'inserció (THT), així com la col·locació de connectors i dissipadors si s'escau.

ACTIVITAT H – VALIDACIÓ HARDWARE: Verificació elèctrica de la placa abans de connectar el motor. Es comprova l'absència de curtcircuits, la correcció dels nivells de tensió de les fonts d'alimentació (12V, 5V, 3.3V) i la resposta dels drivers als senyals de control.

ACTIVITAT I – CONTROL OPEN-LOOP: Implementació de la primera estratègia de control. Consisteix a fer girar el motor mitjançant una seqüència de commutació predefinida (rampa d'acceleració) sense realimentació de posició, per verificar la integritat de l'etapa de potència.

ACTIVITAT J – DETECCIÓ BEMF: Ajust i validació del circuit de lectura de la força contraelectromotriu. L'objectiu és detectar nítidament els creuaments per zero (*Zero Crossing*) de la fase flotant utilitzant els comparadors de la TIVA o externs.

ACTIVITAT K – CONTROL CLOSED-LOOP: Implementació de l'algorisme de control final. El codi utilitza els senyals de BEMF validats a l'activitat anterior per autocommutar les fases en el moment òptim, tancant així el llaç de control i permetent un funcionament eficient i estable.

ACTIVITAT L – REDACCIÓ MEMÒRIA: Activitat transversal que es realitza durant tot el projecte. Consisteix en la documentació contínua dels càlculs, dissenys, codis, resultats de les proves i conclusions per conformar el document final d'entrega.

6.3 Anàlisi de precedències

Donada la naturalesa mixta del projecte (Hardware i Firmware), existeixen dependències físiques estrictes: no es pot soldar sense la PCB, i no es pot validar el *Closed Loop* sense haver validat prèviament la detecció de BEMF. S'ha elaborat la següent matriu de precedències (Taula 3) que identifica les activitats crítiques i permet paral·lelitzar tasques on sigui possible (per exemple, avançar en l'estructura del firmware mentre es fabrica la placa).

Ref.	Codi	Activitat	Precedència
-	A	Inici i Planificació	-
1.1	B	Càlculs i Simulació LTSpice	A
1.2	C	Disseny de l'Esquemàtic i selecció components	B
1.3	D	Disseny del Layout (PCB) i Gerber	C
1.4	E	Fabricació de la PCB (Temps d'espera)	D
2.1	F	Configuració inicial Firmware (PWM/ADC a la TI-VA)	A
2.2	G	Muntatge i soldadura del Hardware	E
2.3	H	Validació Hardware (Test elèctric)	G
3.1	I	Control en Llaç Obert (Rampa d'arrencada)	H, F
3.2	J	Detecció de pas per zero (BEMF)	I
3.3	K	Control en Llaç Tancat (Closed Loop)	J
4.0	L	Redacció contínua de la Memòria	A

Taula 3: Matriu de precedència.

Per a la planificació temporal dels paquets de treball (mitjançant PERT i GANTT), s'ha elaborat la Taula 4. El temps esperat de cada tasca s'ha calculat ponderant tres possibles escenaris (Optimista, Més probable i Pessimista) segons la relació següent:

$$T_e = \frac{O + 4M + P}{6} \quad (10)$$

Codi	Tasca	Optimista	Més Probable	Pessimista	Temps esperat T_e
A	Inici	2	3	5	3.2
B	Simulació	5	7	10	7.2
C	Esquemàtic	3	5	8	5.2
D	Layout PCB	5	7	12	7.5
E	Fabricació PCB	21	45	60	43.5
F	Desenv. Firmware	35	60	85	60.0
G	Soldadura i Muntatge	10	14	21	14.8
H	Validació HW	2	3	5	3.2
I	Ajust Open Loop	5	8	14	8.5
J	BEMF	6	10	16	10.3
K	Ajust Closed Loop	6	10	18	10.7
L	Redacció Memòria	60	75	90	75.0

Taula 4: Temps esperats (en dies).

6.4 Mètode PERT

A causa de la incertesa inherent en els terminis de fabricació externa i la complexitat de depurar codi en temps real, s'ha aplicat el mètode PERT. S'han fet servir les estimacions explicitades a la taula 4.

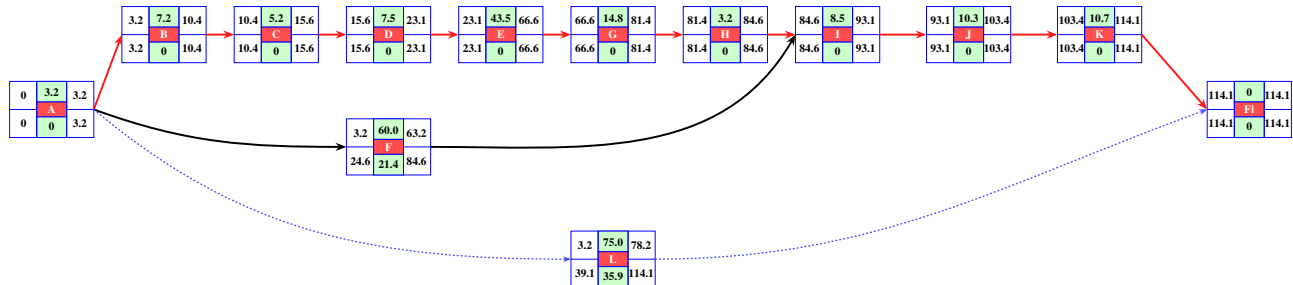


Figura 23: Diagrama PERT.

El diagrama PERT mostra una durada total estimada del projecte de **114,1 dies**, la qual cosa encaixa dins del calendari lectiu del quadrimestre si no es produeixen retards greus (des de l'inici de l'assignatura fins l'entrega i presentació del projecte).

6.5 Camí Crític (CPM)

L'anàlisi del camí crític (representat en vermell al diagrama anterior i al diagrama CPM a continuació) revela que el pes principal del projecte recau en la cadena de **Hardware** durant la primera meitat, i en la **integració de Firmware** en la segona.

Les activitats crítiques són:

$$A \rightarrow B \rightarrow C \rightarrow D \rightarrow E \rightarrow G \rightarrow H \rightarrow I \rightarrow J \rightarrow K$$

Això implica que:

- Qualsevol retard en el disseny (C, D) o fabricació (E) de la PCB suposa un endarreriment directe de la data d'entrega final.
- La tasca F (Configuració inicial del Firmware) té un (*slack*) considerable (aprox. 21 dies). Això ens ha permès als desenvolupar/avançar feina sense que suposi un cost temporal immediat del camí crític fins que arriba la placa.
- Les etapes finals de control (I, J, K) són seqüencials i crítiques; no es poden paral·lelitzar.

6.6 Diagrama de GANTT

El diagrama de Gantt següent (Figura 24) mostra la distribució temporal del projecte al llarg de les 17 setmanes estimades (aprox. 115 dies). S'han agrupat les tasques segons les fases definides.

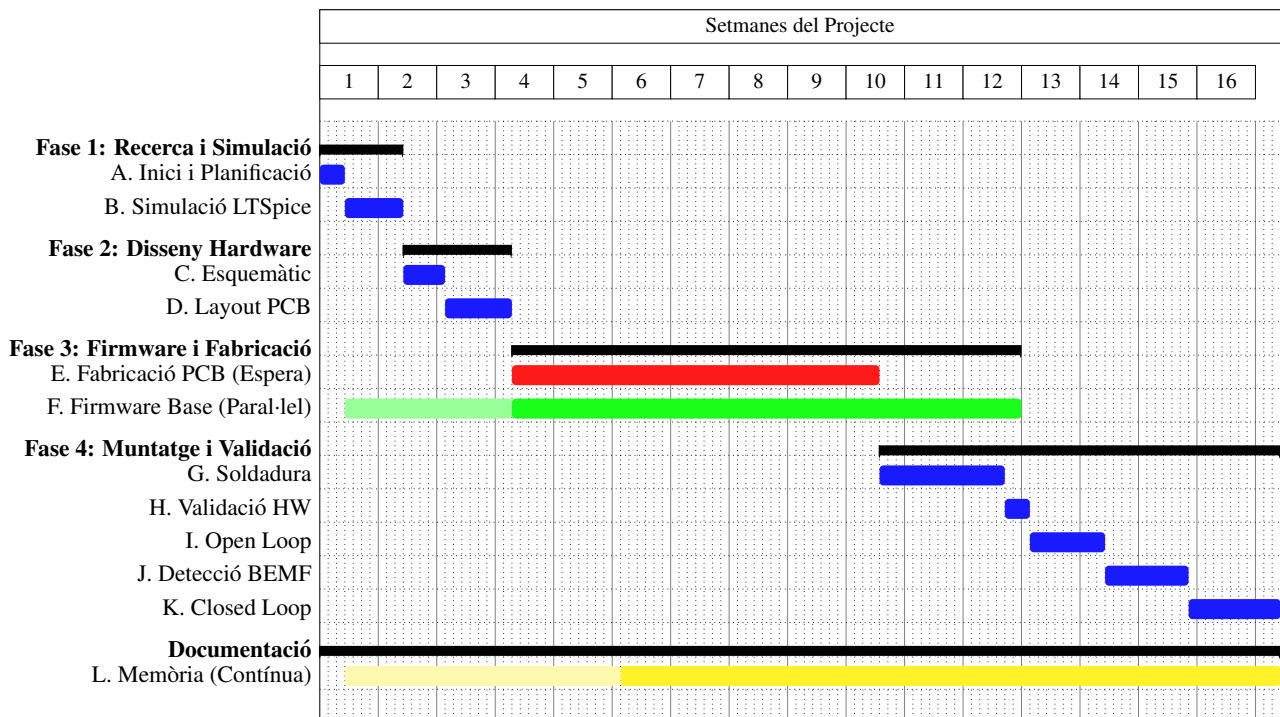


Figura 24: Diagrama de Gantt del projecte BLDC. Els colors vius representen les tasques en si mateixes, mentre que els colors pastel representen el *slack* (o *free float*) associat.

7 Viabilitat econòmica i tècnica

7.1 Viabilitat econòmica

El pressupost es divideix en costos de materials (BOM) per a un prototip i costos de desenvolupament (enginyeria).

7.1.1 Costos de Materials (BOM)

S'han considerat preus unitaris per a petites quantitats (distribuïdors estàndard com Mouser/DigiKey).

Component	Unitats	Preu Unitari (€)	Total (€)
Microcontrolador TIVA C Series (Launchpad)	1	18,99	18,99
Motor BLDC (DJI 920KV)	1	33,81	33,81
MOSFETs de Potència (IRFHM830 o eq.)	6	1,50	9,00
Drivers de porta (IR2301)	3	2,20	6,60
Fabricació PCB (4 capes, color blau, lot de 5)	1	10,13	31,13
Components Passius (R, C, Diodes)	Global	-	8,00
Connectors i mecànica	Global	-	5,00
TOTAL MATERIAL (Prototip)			112,53 €

Taula 5: Cost de materials per unitat. Com es pot veure, el cost total de les PCB és significativament superior al cost nominal del lot, i això és degut al cost de les duanes per importar des de Xina.

7.1.2 Costos de Desenvolupament

Considerant un equip de dos enginyers júnior amb una tarifa estimada de 20 €/hora i una dedicació aproximada de 150 hores per persona al llarg del quadrimestre (6 ECTS):

$$Cost_{Eng} = 2 \text{ enginyers} \times 150 \frac{\text{hores}}{\text{eng.}} \times 20 \frac{\text{€}}{\text{hora}} = 6.000 \text{ €}$$

7.1.3 Cost Total del Projecte

El cost total estimat per al desenvolupament del primer prototip funcional, incloent-hi l'R+D, ascendeix a:

$$Cost_{Total} = Cost_{Material} + Cost_{Eng} \approx \mathbf{6.112,53 \text{ €}}$$

Cal destacar que per a una producció en sèrie, els costos de material es reduirien dràsticament per economia d'escala i el cost d'enginyeria s'amortitzaria entre totes les unitats produïdes.

7.2 DAFO

A continuació es presenta l'anàlisi de Debilitats, Amenaces, Fortaleses i Oportunitats del disseny proposat.

<p style="text-align: center;">DEBILITATS (Internes)</p> <ul style="list-style-type: none"> • Manca de frenada regenerativa: L'arquitectura de control triada (High-side PWM, Low-side GPIO) dificulta la recuperació d'energia. • Detecció a baixes velocitats: La BEMF és feble a baixes RPM, dificultant l'arrencada sense sensors (requereix rampa en llaç obert). • Soroll de commutació: L'ús de commutació trapezoïdal genera més soroll acústic i arrissat de parell que un control sinusoidal pur. 	<p style="text-align: center;">AMENACES (Externes)</p> <ul style="list-style-type: none"> • Saturació del mercat: El mercat dels ESC està saturat; hi ha molts distribuïdors que disposen de molts més recursos i experiència que ofereixen productes de similars prestacions a preus reduïts. • Reemplaçabilitat: En ser un disseny potencialment altament sensible al soroll, i donada la seva posició al mercat, és probable que apareguin sistemes igualment barats i més robustos.
<p style="text-align: center;">FORTALESES (Internes)</p> <ul style="list-style-type: none"> • Baix cost de hardware: Eliminació de sensors físics (Hall/Encoder) redueix el cost final i els punts de fallada mecànica. • Simplicitat de control: L'ús de comparadors per BEMF redueix la càrrega computacional de la CPU respecte a tècniques com FOC. • Disseny PCB robust: Ús de 4 capes amb plans de massa i alimentació dedicats per millorar l'EMC. 	<p style="text-align: center;">OPORTUNITATS (Externes)</p> <ul style="list-style-type: none"> • Escalabilitat: El disseny permetria implementar control SVPWM o afegir sensors Hall en el futur (GPIOs disponibles). • Mercat creixent: Alta demanda de controladors BLDC eficients per a mobilitat elèctrica lleugera i robòtica.

Taula 6: Matriu DAFO del projecte.

7.3 PREN

A partir de l'anàlisi DAFO, es defineixen les següents línies d'actuació estratègica (PREN):

<p style="text-align: center;">REPARAR (Debilitats)</p> <ul style="list-style-type: none"> • Optimització de l'arrencada: Implementar algoritmes de rampa en llaç obert robustos per mitigar la manca de detecció de BEMF a baixes revolucions. • Gestió del soroll: Ajustar la freqüència de commutació PWM al límit superior permès pels drivers per minimitzar el soroll audible típic del control trapezoidal. • Limitació d'ús: Definir clarament el producte per a aplicacions de ventilació o propulsió (càrregues inercials) on la frenada regenerativa no és crítica. 	<p style="text-align: center;">NEUTRALITZAR (Amenaces)</p> <ul style="list-style-type: none"> • Valor afegit (Open Source): Combatre la saturació del mercat oferint un disseny obert i ben documentat, un avantatge clau respecte a les "caixes negres" comercials. • Qualitat de disseny: Fer valdre la robustesa de la PCB de 4 capes com a factor diferenciador de fiabilitat davant de clons xinesos de baix cost (sovint de 2 capes i amb pitjor EMC).
<p style="text-align: center;">POTENCIAR (Fortaleses)</p> <ul style="list-style-type: none"> • Economia d'escala: Mantenir la llista de materials (BOM) lliure de components especialitzats per assegurar el baix cost de producció i facilitar la reparabilitat. • Eficiència de codi: Aprofitar la simplicitat del control per implementar funcions de diagnòstic o comunicació extra a la CPU, ja que el control motor no la satura. • Fiabilitat EMC: Utilitzar el disseny robust com a argument de venda principal per a entorns amb soroll elèctric. 	<p style="text-align: center;">EXPLOTAR (Oportunitats)</p> <ul style="list-style-type: none"> • Versió "Pro" per Software: Desenvolupar un firmware alternatiu que utilitzi els GPIOs lliures per implementar SVPWM o sensors Hall sense canviar el hardware. • Nínxol Educatiu: Orientar el producte cap al mercat creixent de la robòtica educativa, on la simplicitat i la capacitat de modificar el hardware tenen més valor que les prestacions en si mateixes.

Taula 7: Matriu d'estratègies PREN (Potenciar, Reparar, Explotar, Neutralitzar).

8 Conclusions

Al llarg d'aquest projecte hem aconseguit dur a terme el control del gir d'un motor sense escombretes (BLDC) mitjançant commutació trapezoidal. Per aconseguir-ho, hem dissenyat l'esquemàtic i la PCB, i hem dimensionat els components necessaris per el correcte funcionament del sistema, basant-nos en el model físic d'un motor elèctric. També hem programat una placa de desenvolupament EK-TM4C123GXL per dur a terme el control del sistema, tant per la generació dels polsos de control dels semiponts com per la detecció de la força contraelectromotriu del motor (BEMF), fet que permet

implementar un control de llaç tancat.

Hem observat que el control en llaç tancat és notablement més òptim que el control en llaç obert, ja que suposa una velocitat major (i, amb aquesta, un consum menor) pel mateix *duty cycle*. Seguidament, hem provat de millorar el control de llaç tancat estudiant un filtratge del soroll de comparadors dependent de la velocitat (fet que ens ha permès arribar fons a un *duty cycle* del 60%) i començar a assajar un control integral (que no hem pogut acabar d'implementar per manca de temps).

L'aspecte que considerem que podríem millorar és el soroll dels senyals dels comparadors: sospitem que es pot donar per *crosstalk* amb els senyals de fase i/o una sortida del rang d'entrada acceptat dels comparadors. Tot i així, hem implementat mesures per *software* per mitigar aquest soroll, de manera que no ha suposat un problema per anar una mica més enllà a l'hora d'implementar el control de llaç tancat.

9 Bibliografia

Referències

- [1] Paul P Acarnley i John F Watson. “Review of position-sensorless operation of brushless permanent-magnet machines”. A: *IEEE Transactions on Industrial Electronics* 53.2 (2006), pàg. 352 - 362.
- [2] Infineon technologies. *IRFR/UI1205PbF*. URL: <https://www.infineon.com/assets/row/public/documents/24/49/infineon-irfr1205-datasheet-en.pdf?fileId=5546d462533600a40153562d17792047>.
- [3] Linear technology. *LTC4446: High Voltage High Side/Low Side N-Channel MOSFET Driver*. URL: <https://www.analog.com/media/en/technical-documentation/data-sheets/4446f.pdf>.
- [4] Monolithic Power Systems. *Brushless DC (BLDC) Motor Fundamentals*. Descripció detallada de l'estructura de l'estator/rotor i la comparativa amb motors DC amb escombretes. 2020. URL: <https://www.monolithicpower.com/en/brushless-dc-motor-fundamentals> (cons. 27-10-2023).
- [5] Pragasen Pillay i Ramu Krishnan. “Modeling, simulation, and analysis of permanent-magnet motor drives, Part II: The brushless DC motor drive”. A: *IEEE Transactions on Industry Applications* 25.2 (1989), pàg. 274 - 279.
- [6] Texas Instruments. *LMx39-N, LM2901-N, LM3302-N Low-Power Low-Offset Voltage Quad Comparators*. URL: https://www.ti.com/lit/ds/symlink/lm2901-n.pdf?ts=1769591983725&ref_url=https%253A%252F%252Fwww.mouser.it%252F.
- [7] Vishay Semiconductors. *1N4148: Small Signal Fast Switching Diodes*. 2025. URL: <https://www.vishay.com/docs/81857/1n4148.pdf>.

10 Annexos

10.1 Arquitectures alternatives

10.1.1 SVPWM

La modulació SVPWM (Space Vector Pulse Width Modulation) és una tècnica de modulació avançada per inversors trifàsics, que permet sintetitzar una tensió de sortida vectorial rotativa quasi sinusoidal amb una millor utilització de la tensió del bus DC (fins a un 15% més que PWM sinusoidal convencional). Funciona seleccionant combinacions òptimes de vectors d'estat de l'inversor per aproximar el vector de referència, mitjançant el càlcul dels temps d'activació dels vectors actius i zero dins de cada període de commutació.

Tot i que el SVPWM es dissenya habitualment per a inversors amb control total dels sis interruptors (control PWM tant dels 3 MOSFET high-side com dels 3 low-side), es pot implementar una versió simplificada utilitzant només tres canals PWM per als MOSFET de la part alta i tres GPIO per als MOSFET de la part baixa. En aquest esquema, els PWM generen la modulació sobre els MOSFET high-side, mentre que els GPIO activen o desactiven els low-side en funció del sector SVPWM i del cicle de treball corresponent.

10.1.2 Implementació amb només 3 PWM i 3 GPIO

La implementació es basa a calcular, per a cada sector del pla vectorial (6 sectors en total), els valors de ample de pols per a les tres fases, i activar els GPIO corresponents de manera que es permeti el pas de corrent quan el PWM està actiu. Durant els períodes corresponents al vector zero, es poden posar els tres GPIO en estat LOW per aconseguir un estat de flotació o desconexió momentània. Tot i que no es disposa de control complementari ple ni d'injecció simètrica de vectors zero (000 i 111), aquest mètode és suficient per obtenir una modulació amb menor ondulació de parell i menor distorsió respecte a la commutació trapezoidal.

S'han de sincronitzar els canvis d'estat dels GPIO amb els períodes actius dels PWM per evitar condicions de "shoot-through". Això es pot fer amb temporitzadors i interrupcions sincronitzades amb la base de temps dels PWM, o amb DMA (si el microcontrolador ho permet). A més, s'ha de garantir un temps mort (dead time) suficient, especialment si els *drivers* no l'implementen de forma interna.

Aquesta aproximació a SVPWM és especialment útil en sistemes amb recursos limitats o microcontroladors amb només tres canals PWM disponibles, i permet una millora notable del rendiment dinàmic, del soroll i de l'eficiència global del motor, tot mantenint una arquitectura de control relativament senzilla.

10.1.3 *Observer-based Sensorless Estimation*

Els observadors estimen la posició i velocitat del rotor a partir de mesures de tensió i dos corrents de fase, utilitzant un model matemàtic del motor. Són útils especialment en condicions on la detecció directa de la BEMF no és fiable (principalment règims de baixes velocitats).

Principals tècniques

- **Sliding Mode Observer (SMO):** Estima la BEMF mitjançant control en mode lliscant ³. Robust a soroll i variacions paramètriques.
- **Extended Kalman Filter (EKF):** Filtre adaptatiu que proporciona estimacions òptimes en presència d'incertesa, però suposa una major càrrega computacional.
- **Model Reference Adaptive System (MRAS):** Compara un model de referència amb un model adaptatiu per ajustar la posició estimada, amb menor complexitat que l'EKF.

³<https://onlinedocs.microchip.com/oxy/GUID-69278EBA-9F00-4CEE-8103-2998236856BD-en-US-2/GUID-35A8184A-104E-44B9-BABA-6C4F978ADB1.html>

10.2 Simulacions LTSpice

10.2.1 Model del motor

Per tal de poder simular el motor i el seu control, es fa un model funcional del motor a LTSpice, que pren la forma de la figura 25:

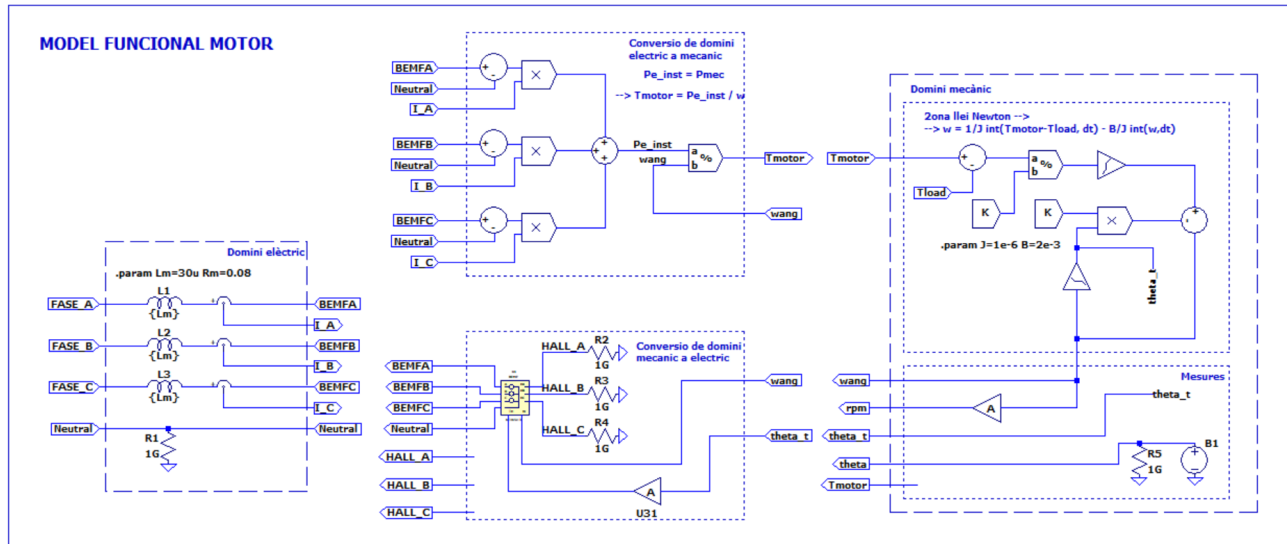


Figura 25: Esquemàtic del model funcional del motor per a la simulació.

Aquest model reproduïx el comportament del motor a partir de les equacions que descriuen les magnituds que intervenen en el seu funcionament. Per això, cal entendre bé com funciona realment. El motor BLDC funciona mitjançant l'excitació consecutiva de tres bobines per generar un camp magnètic giratori que reorienti el rotor. En termes de circuits, aquest aparell és equivalent a una inductància L , una resistència R que modelitza les pèrdues del bobinat, i una força contraelectromotriu originada pel mateix gir del rotor. Per tant, la tensió total en una de les tres branques del motor és expressada com:

$$V = L \frac{dI}{dt} + I \cdot R + K_v \cdot \omega \quad (11)$$

Com fem servir LTSpice, podem implementar L i R directament com a components. La força contraelectromotriu, però, és un fenomen que relaciona el domini mecànic amb l'elèctric, i es calcula a partir de la velocitat angular trobada pel model del motor a cada instant, a l'apartat pertinent (centre inferior). Aquí veiem que els dominis elèctric i mecànic del motor estan relacionats, retroalimentant el seu comportament: una velocitat angular dona lloc a una força contraelectromotriu, i una intensitat circulant per una bobina dona lloc a un parell motor sobre el rotor. Amb això, sabem que el motor és també un aparell amb una mecànica molt concreta: el gir del rotor té una certa velocitat angular i inèrcia, a més del parell motor originat per la càrrega afegida a aquest rotor. Aquestes magnituds es relacionen amb la intensitat amb què s'alimenten les bobines mitjançant la següent equació:

$$K_I \cdot I - T_{load} = J \frac{d^2 \theta}{dt^2} + b \cdot \omega = J \frac{d\omega}{dt} + b \cdot \omega \quad (12)$$

Aquesta segona equació és la que veiem implementada a l'apartat de domini mecànic, rebent un parell motor del motor donat per les tensions BEMF, i retornant una posició i velocitat angular.

Un cop implementat aquest model, tota aquesta etapa pot ser utilitzada tal com faríem amb el mateix motor: introduïrem senyals d'excitació a les línies FASE_x, donant lloc a un moviment giratori que veurem reflectit en una periodicitat de la variable *theta*, o un valor aproximadament constant de *wang* (ambdues a la simulació), que correspondran als valors d'angle i velocitat angular del motor, respectivament (a LTSpice, en unitats de tensió). Així podem realitzar un estudi exhaustiu del motor a nivell elèctric.

10.2.2 Control enllaç obert

Podem fer una primera implementació de l'accionament del motor en llaç obert excitant-lo amb tres senyals de polsos desfasats 120° entre si per fer un primer estudi de com respon a diferents condicions.

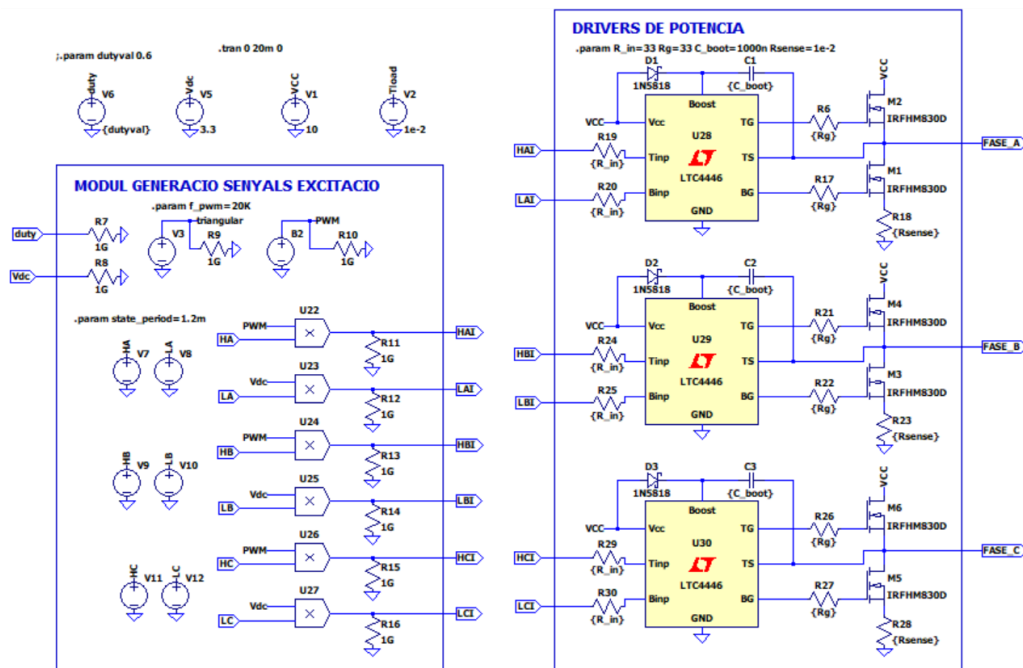


Figura 26: Etapa d'excitació del motor BLDC en llaç obert.

El circuit de control en llaç obert es veu a la figura 26: observem una etapa de generació de senyals d'excitació, que implementa els polsos rectangulars amb els que activarem els MOSFETs. Aquí es transforma el senyal de control dels high-side en un PWM, per evitar sobrecàrregues de la bobina. L'etapa de drivers de potència, de topologia equivalent a tres semiponts, permet regular els corrents de potència elevada amb els que s'excitarà el motor amb senyals de control. Evidentment, tenim un driver per cada bobina del motor. Els MOSFETs high-side i low-side s'excitaran en parelles de diferents drivers per tancar el circuit a través del motor. Cal que dos MOSFETs del mateix driver mai

estiguin activats a la vegada, ja que donaria lloc a un corrent de shoot-through que faria malbé els dispositius.

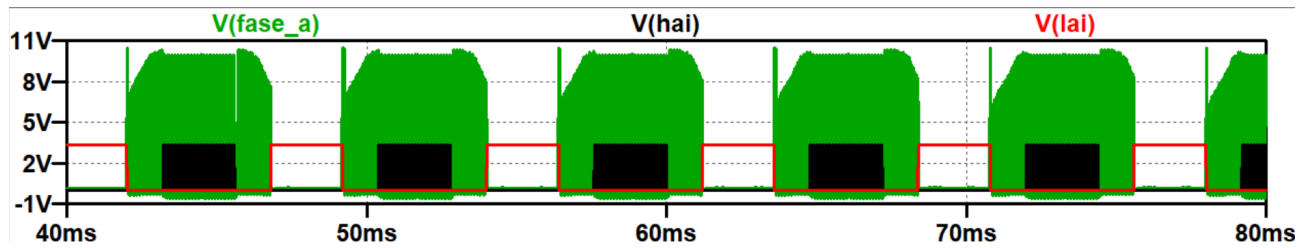


Figura 27: Senyals d'entrada alt i baix (HAI i LAI) del *driver* A, i senyal de sortida (*fase A*).

Com es veu a la figura 27, els senyals d'entrada alt i baix estan desfasats 180° : a més, els tres semiponts estan desfasats 120° entre si, fet que permet obtenir una funció de corrent circulant per les bobines similar a un sinus. Cal dir que aquest senyal no serà exactament sinusoidal, tindrà harmònics superiors que introduiran soroll i pèrdues de potència: com ja s'ha comentat, hi ha mètodes de control més precisos per aconseguir un major rendiment del sistema, però el control trapezoidal és dels més simples d'implementar. Observem que la tensió de sortida, V_{fase_A} , es fa màxima quan es rep el senyal d'entrada alt (alimentant el motor), i zero quan es rep el senyal d'entrada baix (imposant una massa a l'inici de la branca per tancar el circuit al llarg del motor). Amb aquesta excitació esperem veure una circulació alternant del corrent al llarg de les bobines, corresponent a l'excitació cíclica que donarà lloc al gir del motor.

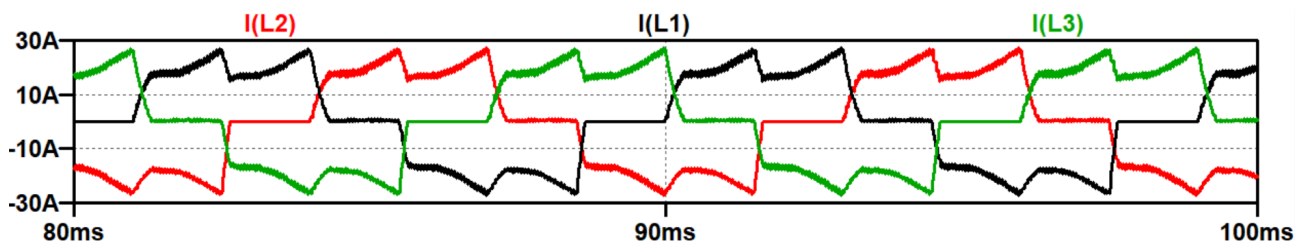


Figura 28: Intensitats de les tres fases del bobinat del motor.

Com es pot apreciar a la figura 28, les intensitats de les bobines oscil·len entre nivells alts i baixos. Aquests senyals tenen una freqüència fonamental que serà la que farà que el motor giri, però els harmònics addicionals que fan que no sigui un sinus perfecte donaran lloc a petites oscil·lacions i inestabilitats que faran que la dinàmica del motor sigui subòptima. Recordem que, en el cas d'una excitació trifàsica perfecta, el camp magnètic generat per les bobines sempre és perpendicular al camp magnètic del rotor, de manera que es maximitza el parell motor en tots els instants. Llegint els valors de θ , ω , i T_{motor} , podem estudiar la dinàmica del nostre motor simulat:

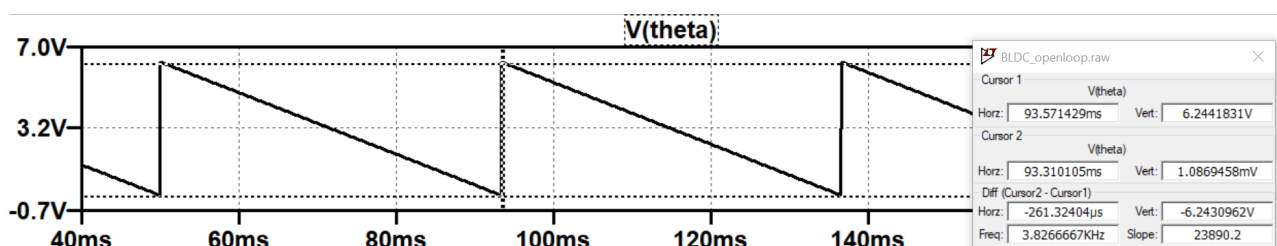


Figura 29: Angle del motor en funció del temps.

A la figura 29 veiem l'angle del rotor respecte l'inicial. Aquest angle varia de forma lineal entre 2π i 0 (unitats de Volts en la simulació), de manera que a primera vista podem dir que el motor està girant amb una velocitat constant.

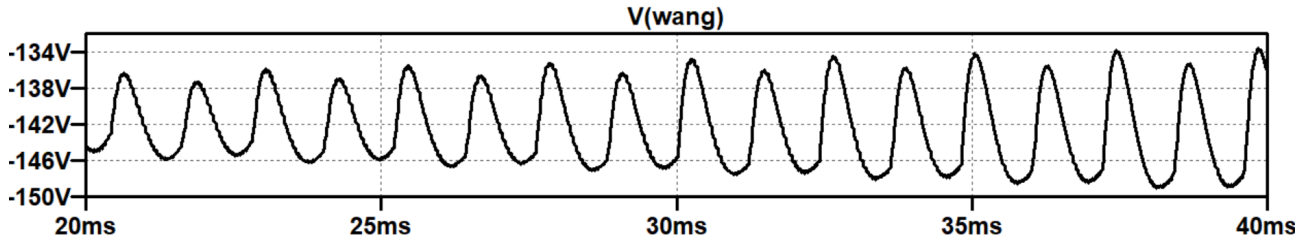


Figura 30: Velocitat angular del motor en funció del temps.

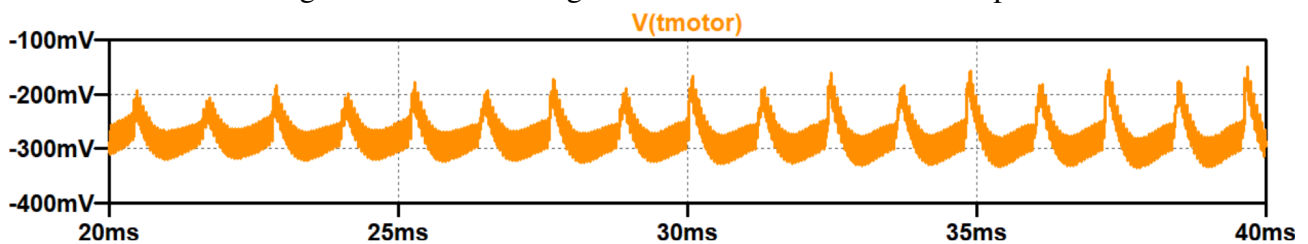


Figura 31: Parell motor exercit pel motor en funció del temps.

Observant els gràfics de la velocitat angular i parell motor (Figs. 30 i 31) exercit en funció del temps, veiem que no són valors constants. Aquestes oscil·lacions són degudes al fet que l'excitació de les bobines no segueix exactament el gir del rotor: el camp magnètic que percep el rotor no és sempre perpendicular al seu, de manera que el moment magnètic (i amb aquest, el parell motor induït) no és sempre el màxim, ni constant. Aquesta energia que no s'inverteix en parell motor es perd en forma de calor, de manera que aquest no és el sistema òptim per alimentar el motor. Tot i així, és el més senzill d'implementar i el que farem servir al llarg d'aquesta assignatura.

10.2.2.1 Dissipació i SOA

Per tal d'assegurar-nos que el nostre sistema serà estable i segur d'operar, cal comprovar que els circuits integrats operen dins de les seves capacitats. Per tal d'assegurar-nos que els MOSFET treballen dins la SOA, cal mirar la duració en temps dels pics de potència, els quals es donen durant la càrrega de la C_{gate} (zona de Miller). Comparant el gràfic del SOA proveït per Infineon (Fig. 32) amb els gràfics $I_D(V_{DS})$ (Fig. 33) i tenint en compte l'amplada dels pics de potència obtinguts (Fig. 34), podem veure que mai operem fora de la SOA. Així doncs, veiem que el nostre sistema pot operar en tot el rang de *duty cycles* simulats (5%-95%). D'altra banda, els drivers no consumeixen ni 2W.

10.2.2.2 Drivers i C_{boot}

Podem observar que el condensador de *bootstrap* proporcionat és adient per aquesta implementació mirant les intensitats a través del díode de *bootstrap* i durant la càrrega del condensador, i el senyal

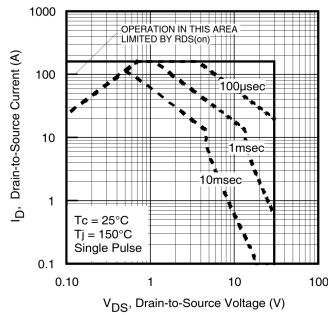


Figura 32: Gràfic del SOA dels MOSFET. Origen: infineon.com

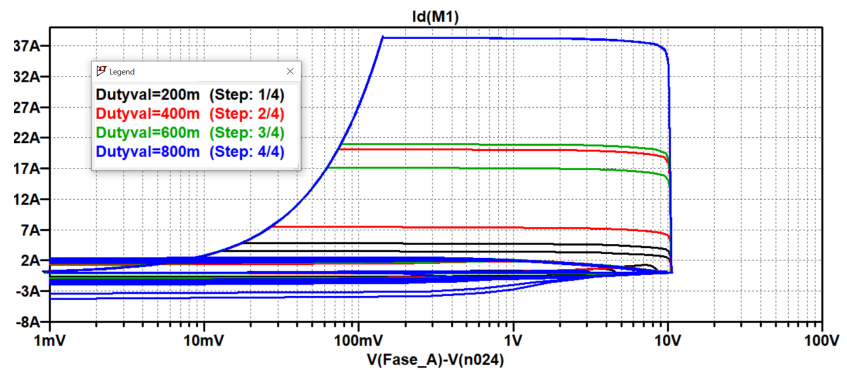


Figura 33: Corrent I_D en funció de la tensió drenador-font V_{DS} per al MOSFET *low-side* M1. Les dades s'han extret d'una simulació .tran amb control de llaç obert.

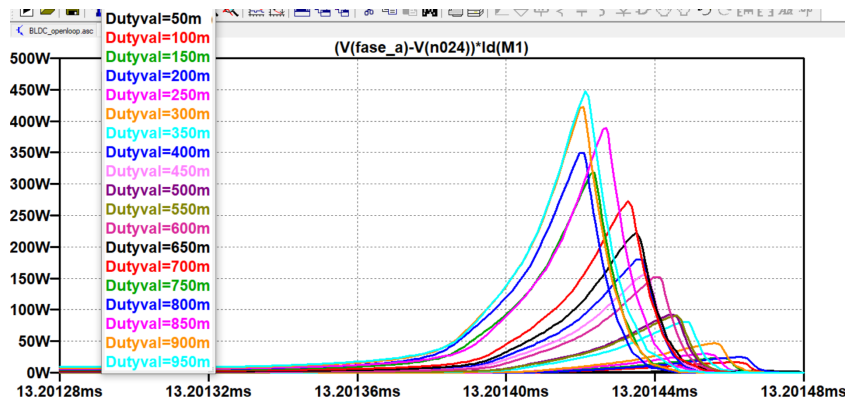


Figura 34: Mesura dels pics de potència durant la zona de Miller.

de sortida del *driver*. Recordem que la capacitat *bootstrap* s'ha de triar amb una magnitud suficient perquè pugui emmagatzemar prou energia, però no massa gran com per alentir el sistema.

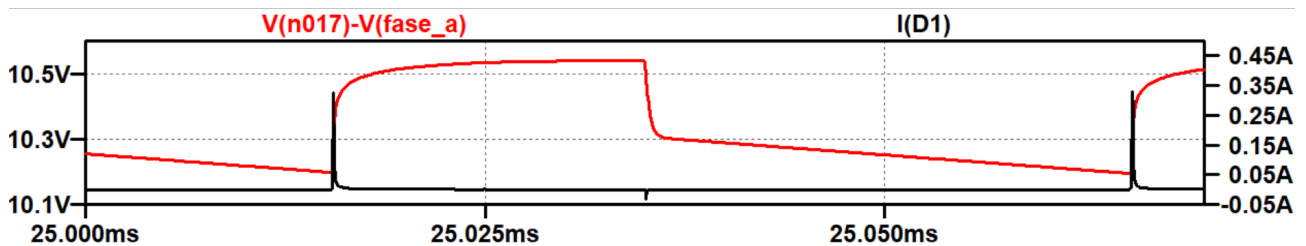


Figura 35: Intensitats del díode i condensador de *bootstrap* durant un seguit de commutacions.

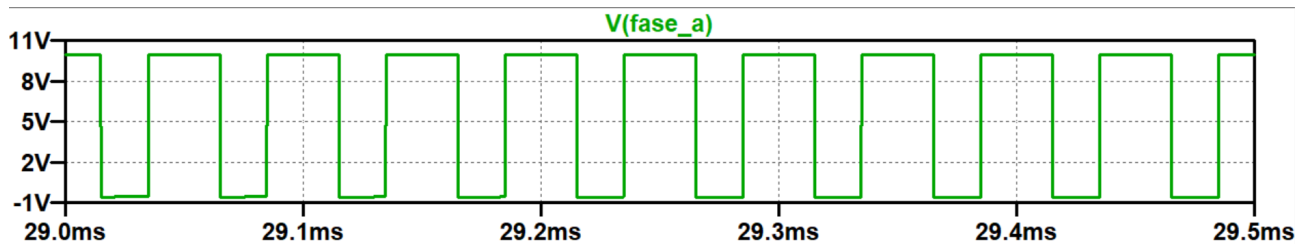


Figura 36: Tensió de sortida del *driver* A.

A les figures anteriors (Figs. 35 i 36) observem que en una commutació tenim prou temps per carregar el condensador de *bootstrap*, i aquest proporciona l'energia adient per obtenir una sortida polsada de

la forma desitjada, sense mostrar distorsions per filtratge.

10.2.2.3 Presència del senyal BEMF

Analizant les tensions i els corrents de la zona del domini elèctric del model funcional del motor, podem observar com, de manera periòdica, apareixen unes forces electromotrius (Fig. 37). Aquestes poden ser, positives, nul·les (negligibles) o negatives, i el pas per zero es correspon amb el canvi de fase flotant. La presència d'aquests senyals és molt útil per a inferir la posició del rotor respecte de l'estator.

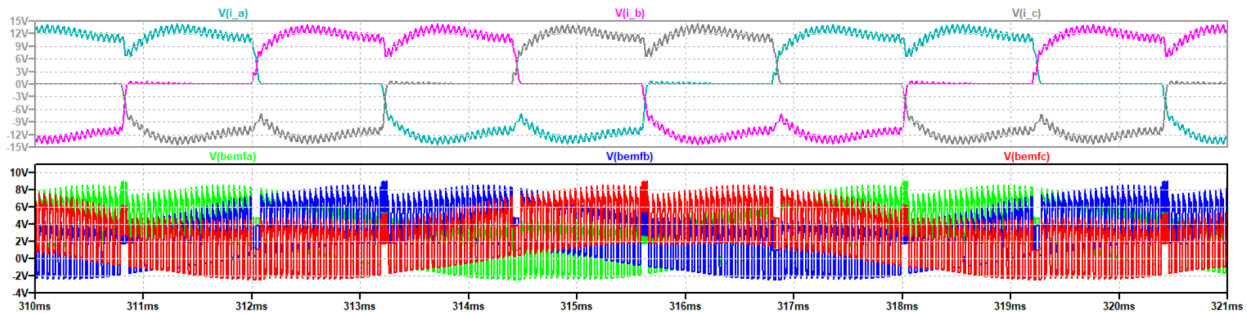


Figura 37: Corrents a les bobines i tensions degudes a les forces contraelectromotrius. Els corrents de les bobines es veuen afectats per la BEMF a cadascuna de les fases.

10.2.3 Detecció de BEMF

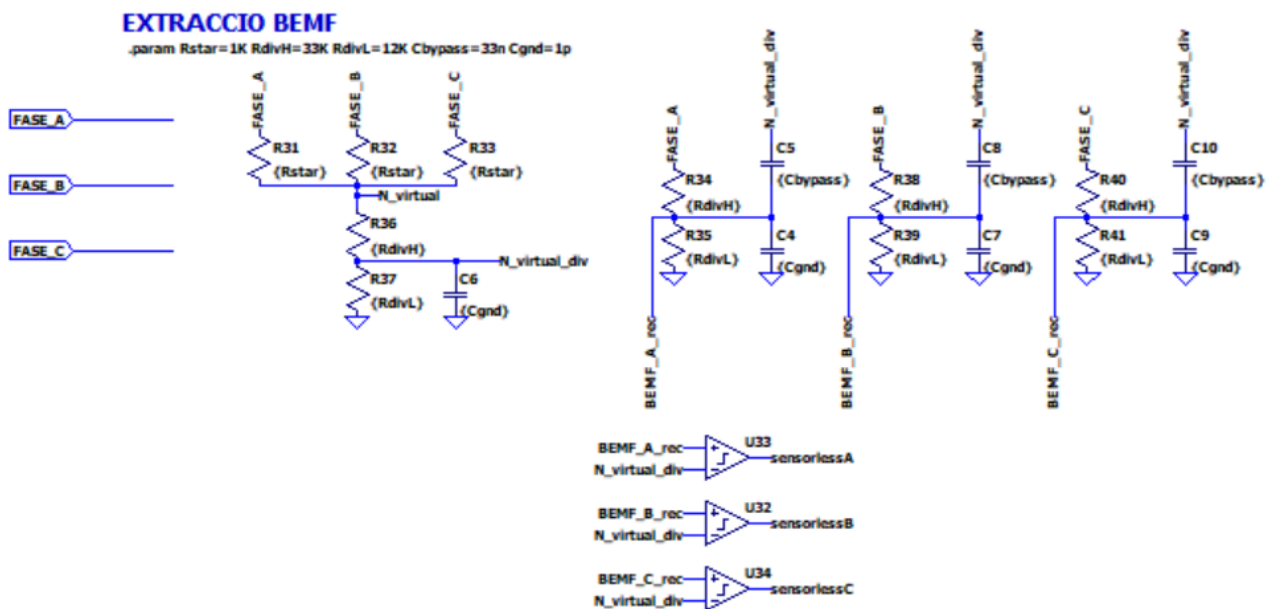


Figura 38: Circuit utilitzat per obtenir els valors de la BEMF dins el motor.

Recordem que el motor BLDC està format per tres bobines connectades a un extrem en un node comú, en forma d'estrella. En cada instant que el motor és alimentat, els MOSFET tanquen un circuit format per la font d'alimentació, dues de les bobines i les seves resistències paràsites: aquest circuit tindrà una certa tensió al node central de les bobines que donarà informació sobre l'estat de gir del rotor,

corresponent a com de càrregades" estaran les bobines. En el cas que el motor giri en circuit obert, les branques actuen com una "dinamo" amb una tensió contraelectromotriu originada pel gir del rotor: sabent que el circuit del motor es tanca fent servir les branques en parelles, sempre en queda una de lliure que juga aquest paper. Per una branca X en circuit obert:

$$V_X - V_N = V_{BEMF_X} \quad (13)$$

Recordant l'expressió de la tensió contraelectromotriu:

$$V_{BEMF_X} = B_m N \omega \sin(\omega t + \phi) \quad (14)$$

És fàcil veure que aquesta tensió depèn de l'angle que té el rotor amb la bobina en cada instant i, per tant, dona informació per trobar l'orientació del motor en temps real. A més, si les tres bobines del motor són iguals, es pot demostrar que el valor de tensió del node central d'aquesta estrella compleix:

$$V_N = \frac{V_A + V_B + V_C}{3} \quad (15)$$

D'aquesta manera, per obtenir el valor del node central només cal obtenir la mitjana de les tres tensions d'alimentació del motor: això es pot aconseguir fàcilment reproduint l'estrella del motor en un circuit similar i extern, conformat per tres resistències iguals, com es veu a l'esquemàtic de la figura 38. El valor del node central queda reproduït a $N_virtual$, d'on es pot extreure amb facilitat. Com ja hem dit, la tensió d'aquest node central incrementarà quan les bobines siguin alimentades

Per interpretar aquesta informació, comparem la tensió del node central amb la d'excitació de les bobines. Un altre factor a considerar és que aquest valor presenta un soroll inherent en la ràpida commutació del sistema de control: per eliminar-lo s'incorpora un filtre passa-baixos format per la resistència equivalent anterior al comparador i una capacitat C_{bypass} . Amb això, s'obté una entrada adequada pel comparador, i una sortida que indica quan el motor està passant per davant de la bobina X , fet que permet saber quan activar en el moment adequat la següent bobina i així implementar un control enllaç tancat per optimitzar el consum del motor. Les tensions al node virtual es poden veure a la figura 39.

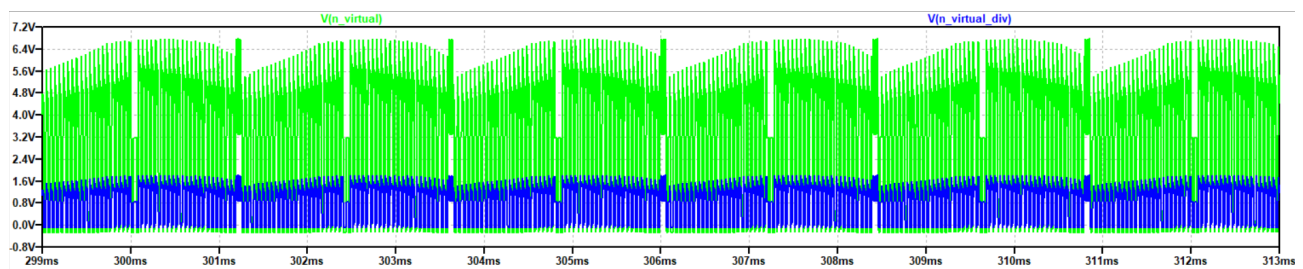


Figura 39: Valors de les tensions al node virtual i al divisor de tensió després del node virtual.

Estat	CmpA	CmpB	CmpC	AH
1	1	0	1	1
2	1	0	0	1
3	1	1	0	0
4	0	1	0	0
5	0	1	1	0
6	0	0	1	0

Figura 40: Taula de lectures dels comparadors per cada estat, amb la sortida de la banda alta de la fase A per comparar.

10.2.4 Control en llaç tancat

La detecció de la força contraelectromotriu a través de les tres bobines serveix per aproximar l'orientació i velocitat angular del rotor, si es pot mesurar el temps que dura cada senyal dels comparadors: aquesta informació permet establir un sistema de control en llaç tancat. Es pot veure que cada configuració d'excitació del motor BLDC ve definida per una combinació única de tres sortides binàries corresponents als tres comparadors. A més, la seqüència d'estats d'excitació és la mateixa tota l'estona. Sabent això es pot implementar una màquina d'estats que canviï els senyals d'excitació del motor per avançar en la seqüència d'estats constantment: cada cop que es detecta un canvi d'orientació (el rotor ha girat d'una orientació a la següent) s'apaguen les bobines actuals i s'exciten les de l'orientació següent.

És fàcil veure que es pot codificar l'estat lògic del senyal HA en funció dels valors lògics dels comparadors (en aquest cas $HA = A \cdot \bar{B}$): aquest concepte es pot extrapolar per tots els senyals d'excitació del motor. Aquest control es pot implementar amb LTSpice fent servir fonts de tensió dependents, de la següent manera:

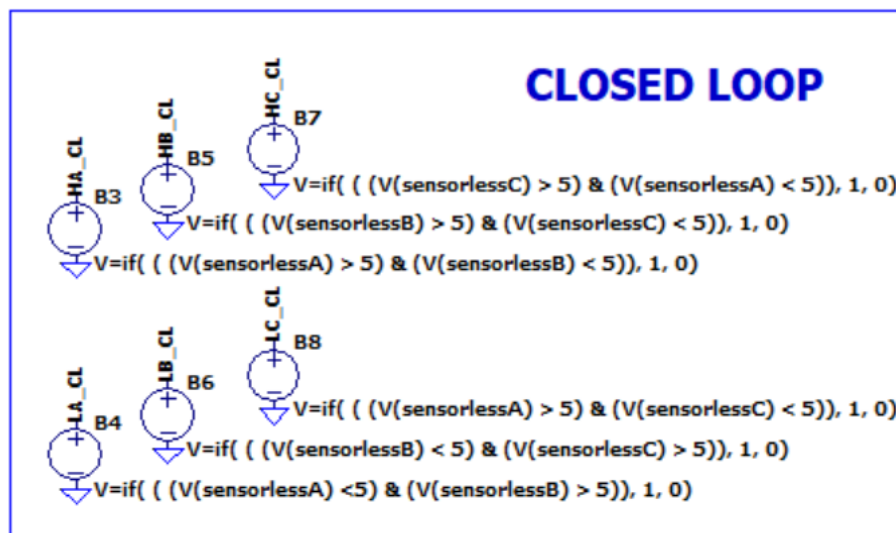


Figura 41: Fonts dependents de les tensions de sortida dels comparadors per detectar els diferents estats d'orientació.

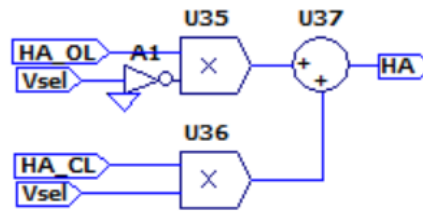


Figura 42: Multiplexor implementat per seleccionar els modes de control en laço obert i laço tancat amb un senyal V_{sel} .

Cal indicar que, en fer girar el motor des del repòs, cal fer servir un control OL durant un temps limitat en el que el motor s'excita d'una forma potent i concreta per vèncer la fricció estàtica (rampa en open loop). Un cop implementat el control en laço tancat veiem que tornem a obtenir un senyal de ω_{ang} estable, però lleugerament oscil·lant:

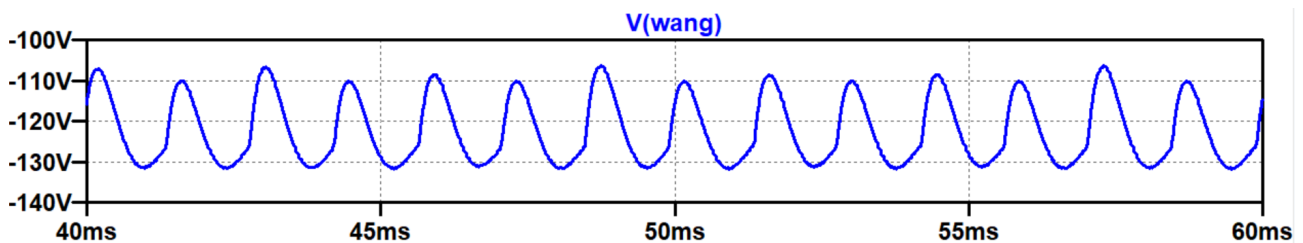


Figura 43: Freqüència angular del motor en un tram de control en laço tancat.

Aquestes oscil·lacions són difícilment evitables pel tipus de control que estem implementant ara, el control trapezoidal: com ja s'ha esmentat, el control SVPWM proporciona un major torque i més regularitat en el moviment, però també comporta una implementació bastant més complexa.