

Serieller 4-Bit-Empfänger mit Speicherlogik

Der in dieser Dokumentation beschriebene 4-Bit-Empfänger empfängt und speichert vier Zeichen eines über Datenleitung angeschlossenen seriellen 4-Bit-Senders. Die empfangenen Zeichen können über Siebensegment-Anzeigen ausgegeben werden.

In diesem Dokument finden Sie Angaben zu den Anforderungen, der Funktionsweise des seriellen 4-Bit-Empfängers und dessen Speicherlogik sowie Schaltungsvarianten zu diesem Empfänger.

1. Anforderungen

Benötigt wird ein *FPGA prototype board* und ein Designprogramm sowie ein serieller 4-Bit-Sender.

Hardware und Software

FPGA prototype board. Der 4-Bit-Empfänger wurde getestet mit Altera cyclon IV FP2C35F62C6.

FPGA design software. Der 4-Bit-Empfänger wurde entworfen mit Quartus II v12.1.

Serieller 4-Bit-Sender, z. B. entworfen mit einem weiteren *FPGA prototype board*.

Einstellungen

Vor dem Hochladen der Datei auf das *FPGA prototype board* ist die Pinzuweisung zu verifizieren.

2. Funktionsweise Empfänger mit Speicherlogik

Vier Zeichen werden über die Datenleitung seriell eingelesen und parallel über die Empfängerlogik an die vier Register weitergegeben (Abbildung 1). Von den Registern werden die Zeichen an den Siebensegment-Anzeigen ausgegeben.

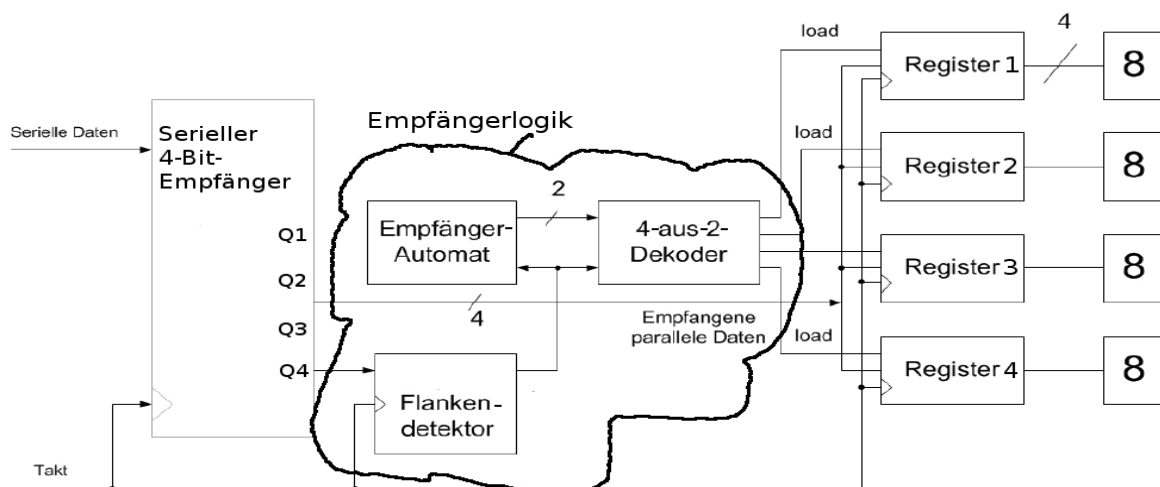


Abb.1: Blockdiagramm serieller 4-Bit-Empfänger mit Speicherlogik [1]

Die Empfängerlogik besteht aus einem Flankendetektor, der die steigenden Flanken erkennt, dem Empfänger-Automaten und dem 4-aus-2-Dekoder. Die Empfängerlogik steuert den Speicherprozess. Das erste Zeichen wird in Register 1, das nächste in Register 2 usw. gespeichert. Die Speicherlogik wird im nächsten Kapitel beschrieben.

Serieller 4-Bit-Empfänger

Das Startbit des Senders ist logisch Null. Nach der Übertragung des vierten Bits wird das Stoppbit mit logisch Eins übertragen. Der Flankendetektor überwacht den Ausgang des vierten Bits (Q4) und leitet dessen Zustand an den Empfänger-Automaten.

3. Funktionsweise Speicherlogik

Die Zeichenverwaltung wird über den Empfänger-Automat gesteuert. Der Start und das Ende von Datenpakten übermittelt der Flankendetektor.

Flankendetektor

Der Flankendetektor liest den logischen Wert an Q4 ein. Wechselt Q4 von logisch Null auf logisch Eins, ist dies das Startsignal für ein neues Zeichen. Der Detektor sendet eine steigende Flanke, die vom Empfänger-Automaten ausgewertet wird.

Empfänger-Automat

Der Empfänger-Automat funktioniert als *state machine* mit vier Zuständen. Die Übergänge sind in der Tabelle 1 aufgelistet, ebenso die inhaltliche Bedeutung der logischen Zustände. „Flanke“ entspricht der steigenden Flanke des Flankendetektors, die Q4 auslöst. Der Automat gibt das 2-Bit-Steuersignal an den 4-aus-2-Dekoder.

Flanke	Aktueller Zustand		Folgezustand	
logisch	logisch	Bedeutung	logisch	Bedeutung
0	00	Register 1	00	Register 1
1	00	Register 1	01	Register 2
0	01	Register 2	01	Register 2
1	01	Register 2	10	Register 3
0	10	Register 3	10	Register 3
1	10	Register 3	11	Register 4
0	11	Register 4	11	Register 4
1	11	Register 4	00	Register 1

Tab.1: Zustandstabelle des Empfänger-Automaten [2]

4-aus-2-Dekoder

Entsprechend dem 2-Bit-Steuersignal der *state machine* übermittelt der 4-aus-2-Dekoder dem entsprechenden Register das Signal logisch Eins zum Laden des Zeichens.

Register

Erhält der Multiplexer logisch Eins vom 4-aus-2-Dekoder, so geht er in die Position *load*. Das Register wird mit der nächsten steigenden Taktflanke geladen.

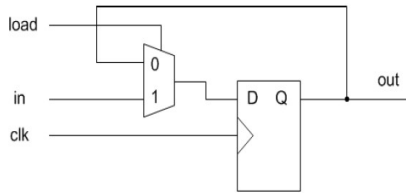


Abb.2 : D-FF mit Multiplexer [2]

4. Schaltungsvarianten

Der beschriebene Empfänger speichert und gibt mit vier Registern „nur“ vier Zeichen aus. Die Anzahl aufzunehmender Zeichen kann ohne grossen Aufwand erweitert werden. Der Empfänger-Automat führt dann entsprechend mehr Zustände.

Standardmässig wurde die Datenausgabe an die Siebensegment-Anzeigen implementiert. Auch andere Ausgaben sind möglich.

5. Bemerkung

Der beschriebene serielle 4-Bit-Empfänger mit Speicherlogik kompiliert fehlerfrei und das Laden auf das Altera *prototype board* ist gelungen. Trotz synchronem Takt ist die Datenübertragung nicht gelungen.

6. Quellenverzeichnis

- [1] Abb.1: Hans-Joachim Gelke (2012): anl_lab10.pdf, S.29, Unterlagen Vorlesung DTP1, ZHAW, Winterthur. Bearbeitung, Katrin Bächli.
- [2] Tab.1: Katrin Bächli (2012): Praktikumsnotiz.
- [3] Abb.2: Hans-Joachim Gelke (2012): anl_lab10.pdf, S.28, Unterlagen Vorlesung DTP1, ZHAW, Winterthur.