

9 Laborübung 9:

9.0.1 Was sie nach dieser Laborübung können:

1. Die Grundlagen einer synchronen Datenübertragung
2. Vertiefung in Schaltungen mit Schieberegister

9.1 LNW-II Synchrone Datenübertragung

Eine 4-bit serielle synchrone Datenübertragung soll realisiert werden. Synchron heisst, dass der Sender und der Empfänger über eine gemeinsame Taktleitung und Datenleitung verfügen. Im Ruhezustand, wenn keine Daten übertragen werden, ist die Datenleitung 1. Eine Datenübertragung wird mit einem Startbit, dass immer 0 ist eingeleitet. Nach der Übertragung der 4-bits, wird das Stop Bit übertragen, welches immer 1 ist.

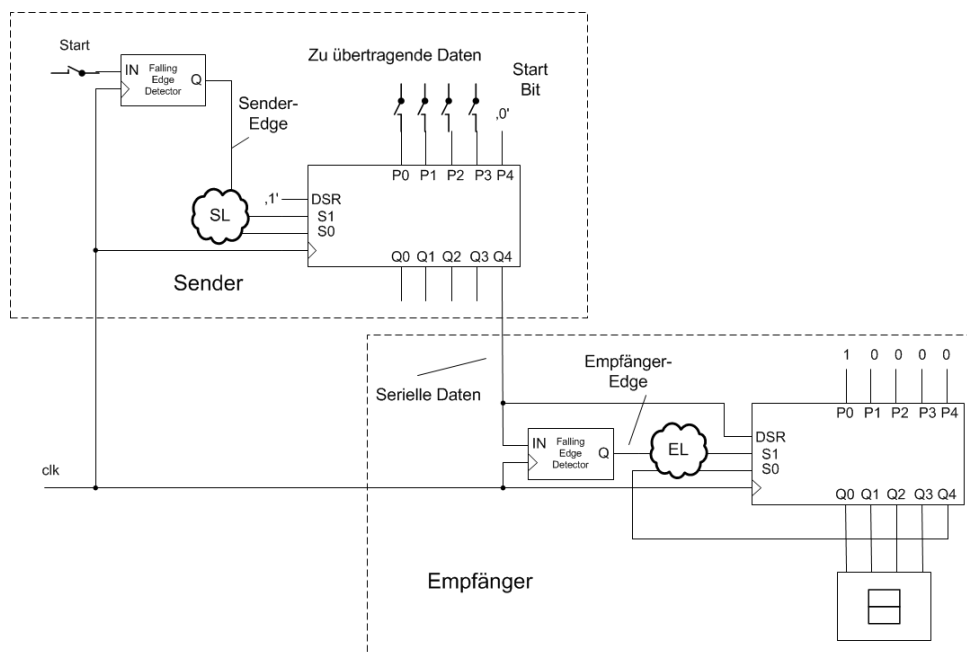


Abbildung 9.1: Block Diagram von sender und Empfänger

9.1.1 Sender

Eine Datenübertragung wird durch das Betätigen der *Start* Taste eingeleitet, der Senderseitige Edge-Detektor sendet einen Puls von genau einer Taktperiode an das Sender Schieberegister. Dieser Puls bringt das Senderseitige Schieberegister für genau eine Taktperiode in den *Load* Modus. Damit wird das Start Bit 0 und die zu übertragenden 4 Daten Bits in das Schieberegister eingelesen. Da das Start Bit nach dem Laden des Sender Schieberegisters als erstes am Datenausgang anliegt, leitet eine High zu Low

Flanke die Datenübertragung ein. Mit jedem Takt wird ein weiteres Datenbit aus dem Sender Register herausgeschoben. Gleichzeitig wird das Senderegister mit Logisch 1 gefüllt. Wenn am Ende alle Daten herausgeschoben sind, bleibt die Datenübertragsleitung auf 1, was dem Stop-Bit entspricht. Der Sender sendet so lange eine 1, bis ein erneuter *Load* Puls das Start-Bit wieder auf 0 setzt.

Die Logik *SL* ist so zu entwerfen, dass das Schieberegister beim detektieren eines Start Pulses Das Schieberegister mit den zu übertragenden Daten und dem Start-Bit lädt.

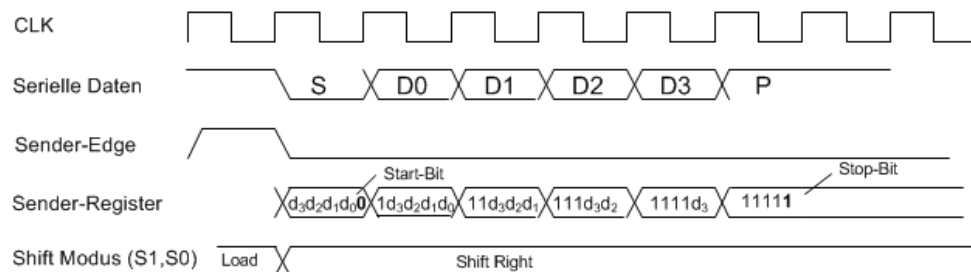


Abbildung 9.2: Zeitverläufe im Sender

9.1.2 Empfänger

Da das Start-Bit die Datenleitung von 1 nach 0 wechselt, triggert dies den Edge-Detektor im Empfänger. Daraufhin wird das linke Bit des empfängerseitigen Schieberegisters mit einer 1 geladen. alle anderen Bits werden mit einer 0 geladen. Die 1 dient als Markierungs-Bit. Danach wird das Schieberegister mit jedem Takt nach rechts verschoben, während die Datenbits von der Datenleitung in das Register geschoben wird. Sobald das Markierungs-Bit das rechte Ende das Schieberegisters erreicht hat, wird das Einschleusen der Daten gestoppt, damit die empfangenen Daten im Register erhalten bleiben. Erst beim nächsten Start-Bit werden weitere Daten in das Schieberegister eingelesen.

Die Empfängerlogik *EL* muss so ausgelegt werden, dass das Schieberegister nach Rechts schiebt, so lange das Bit q_4 des Empfängerregisters auf 0 ist. Bei einem Puls vom Edge-Detector muss das empfängerseitige Schieberegister mit *0b10000* geladen werden. In allen anderen Fällen schiebt das Schieberegister Daten nach Rechts.

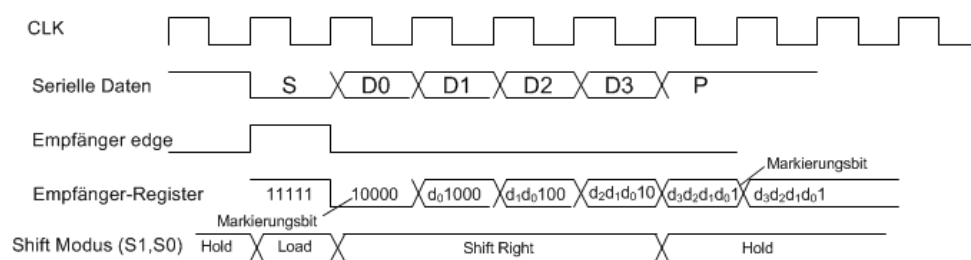


Abbildung 9.3: Zeitverlaufsdiagramm des Empfängers

1. Entwerfen sie die Logik für *SL* und *EL* und bauen sie die Schaltung mit Ihren im Labor 7 erstellten Schieberegistern und im Labor 6 erstellten Edge-Detektoren auf. Verwenden sie zunächst Key[0] als Taktquelle. Wenn die Schaltung verifiziert ist, können sie die 50 MHz Clock verwenden.
2. Die Daten und Taktleitungen (Ein und Ausgänge) sollen über die GPIO Pins geführt werden. Ziel ist es später zu den Schaltungen ihrer Kommilitonen zu verbinden und so die Datenübertragung zu testen. Damit dies funktioniert, müssen sie sich genau an das erklärte Protokoll halten