

24 Übung 13: Signaltap

In dieser Laborübung lernen Sie:

- Sie setzen Signaltap auf
- Sie untersuchen Ihr Design im FPGA mit Signaltap

Schließen Sie ein DE2 Board an den USB Blaster Port am Ihren PC an, und schalten Sie es ein. Wählen Sie **Tools** → **Signaltap II Logic Analyser**

1. Öffnen Sie das Quartusprojekt, das Sie analysieren wollen
2. Wählen Sie die Verbindung: *USB Blaster* zu Ihrem DE2 Board im Hardware:... Setup
3. Wählen Sie ein Taktsignal, das zum Abtasten Ihrer Signale dienen soll; dies sollte hoch genug sein. Taktsignale sind mit C gekennzeichnet. Eventuell erscheint die Nachricht: "Do you want to set netlist type post fit". Antworten Sie mit "Ja".
4. Fügen Sie die Signale dazu, die Sie beobachten wollen (z.B. h_count). Rechte Maustaste im Data Fenster. Add Nodes und Node Finder benutzen.
5. Aktivieren Sie das *Set Up Fenster* und wählen Sie einen Trigger z.B. steigende Flanke (**Achtung:** Busse müssen dazu expandiert werden). Der Trigger dient dazu Ihren Simulator an einer bestimmten Stelle anzuhalten. Wählen Sie einen Trigger z.B. ein Chip Select etc.
6. Stellen Sie die "Sample Depth" ein (z.B. 128)
7. Binden Sie Signaltap in Ihren Entwurf ein, in dem Sie neu synthetisieren. Achten Sie darauf, dass Ihre Pinbelegung richtig ist. Auf die Frage, ob Sie .stp speichern und Signaltap enablen sollen, antworten Sie mit *Ja*
8. Starten Sie den Altera Programmierer und laden Sie den neu kompilierten Code in das FPGA. Auch der Programmierer muss auf USB-Blaster eingestellt sein!
9. Gehen Sie wieder ins *Signal Tap* Fenster und starten Sie die Analyse mit dem Run Knopf
10. Vergessen Sie nicht Signaltap wieder zu entfernen, wenn der Code läuft, denn Signaltap benutzt zusätzliche Hardwareressourcen. *Assignments* → *Settings* → *Signal tap*

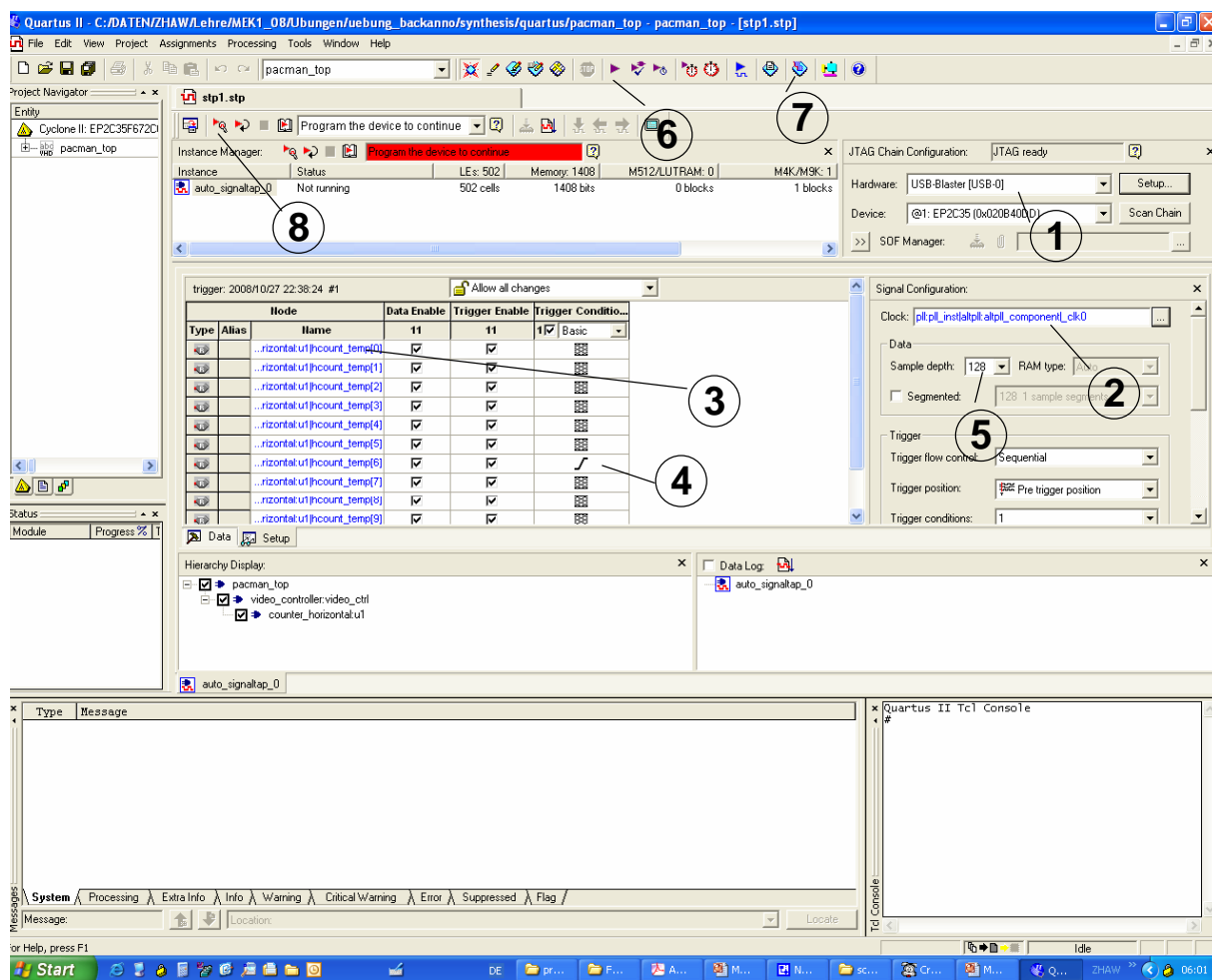


Abbildung 24.1: Signal Tap Fenster