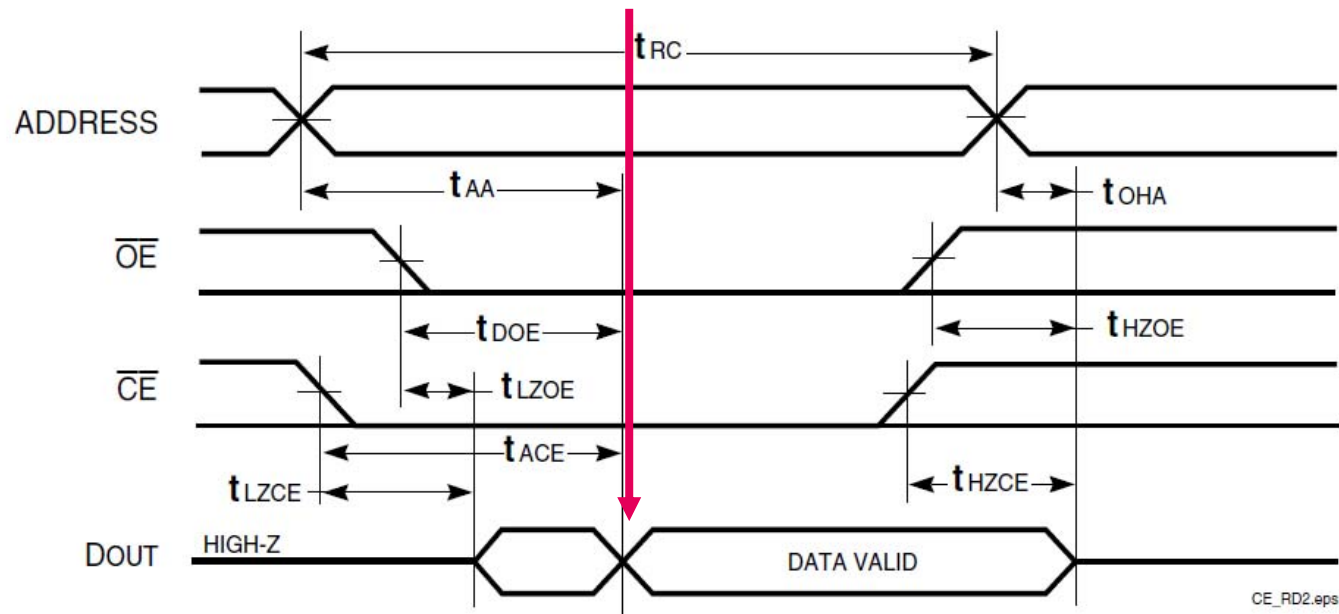


## DTP2 Projekt Extra-Features: SRAM & LCD

# **SRAM ZUM ABSPEICHERN VON AUDIO**

# SRAM Read Cycle

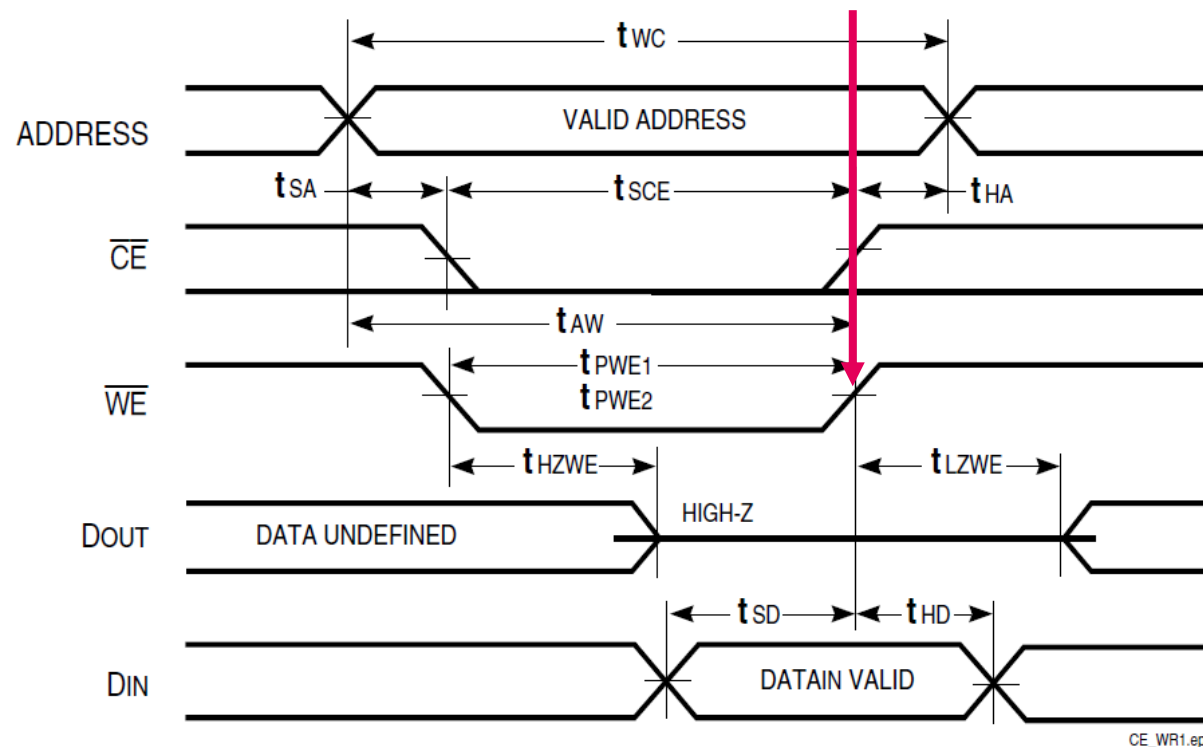
Daten für Playback stehen ab hier zur Verfügung



- $CE_n$  wird permanent auf Low angeschlossen
- Die Länge von  $OE_n$  aktiv muss mindestens 10 ns betragen
- Die Zugriffszeit  $t_{AA}$  und  $t_{DOE}$  ist minimum 10 ns

# SRAM Write Cycle

Hier werden Daten ins RAM übertragen



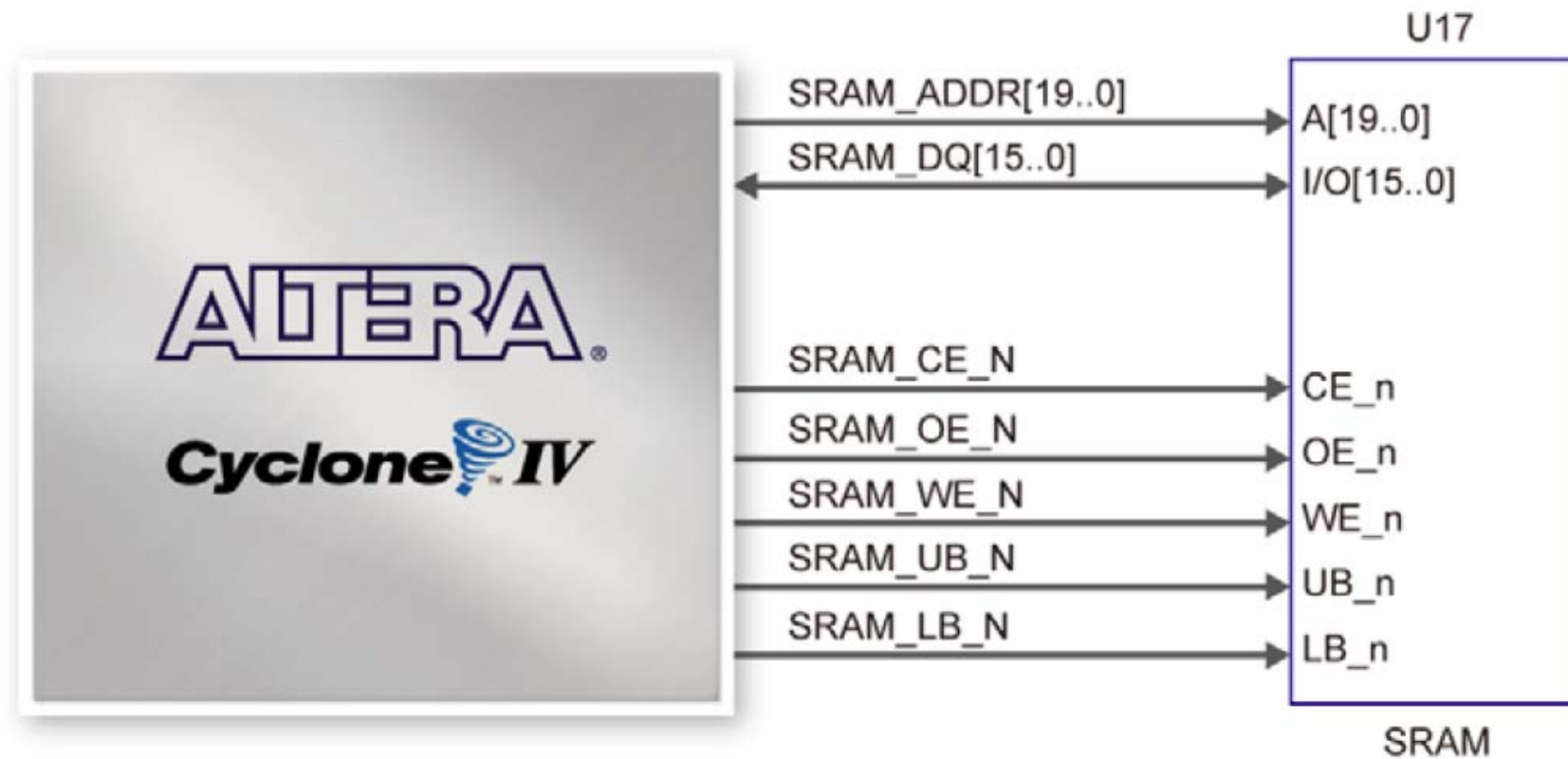
- $\overline{CE}_n$  wird permanent auf Low angeschlossen
- Die Schreibadresse muss vor ( $t_{SA}$ ), während ( $t_{PWE}$ ) und nach ( $t_{HA}$ ) der  $\overline{WE}_n$  aktiv Periode, stabil sein
- $t_{SA} = 0ns$ ,  $t_{HA} = 0ns$ ,  $t_{PWE} = 8ns$

# Deaktivieren des FPGA Ausgang während RAM Read

```
IF playback = '1'  
    ram_data_out <= (OTHERS => Z); -- Ausgänge Tristate  
ELSE  
    ram_data_out <= ram_data_register; --Ausgänge getrieben  
END IF;
```

Deaktivieren des Bidirektionalen RAM Datenausgangs  
am FPGA während Playback

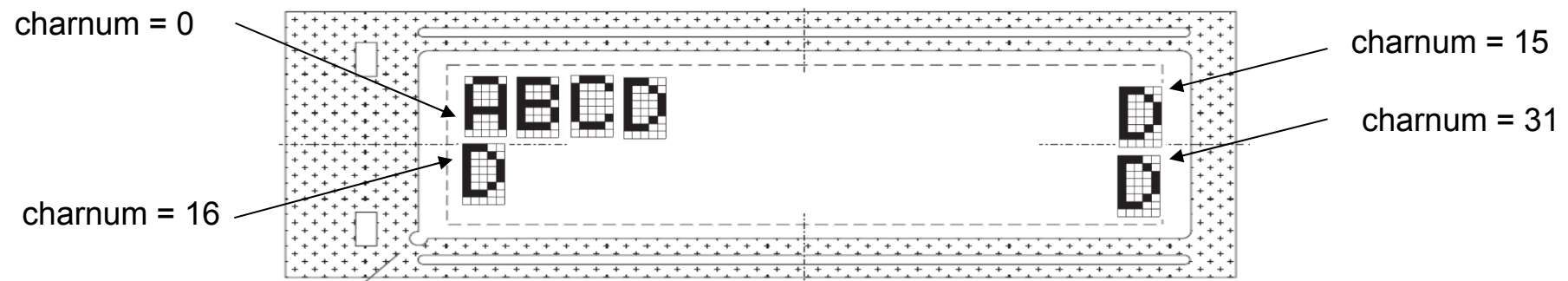
# Benennung der SRAM pins im .tcl



- SRAM\_CE\_N permanent auf Low legen
- UB\_N, LB\_N permanent auf Low legen

# **ANSTEUERUNG DES LCD SCHIRMS**

# 2 Zeilen 16 Character LCD Display





# ASCII Zeichensatz

Die Buchstaben A, B und C als Sieben-Bit-Code

Schriftzeichen	Dezimal	Hexadezimal	Binär
A	65	41	(0)1000001
B	66	42	(0)1000010
C	67	43	(0)1000011
...	...	...	...

ASCII-Codetabelle, Nummerierung in Hex

Code	...0	...1	...2	...3	...4	...5	...6	...7	...8	...9	...A	...B	...C	...D
0...	<i>NUL</i>	<i>SOH</i>	<i>STX</i>	<i>ETX</i>	<i>EOT</i>	<i>ENQ</i>	<i>ACK</i>	<i>BEL</i>	<i>BS</i>	<i>HT</i>	<i>LF</i>	<i>VT</i>	<i>FF</i>	<i>CR</i>
1...	<i>DLE</i>	<i>DC1</i>	<i>DC2</i>	<i>DC3</i>	<i>DC4</i>	<i>NAK</i>	<i>SYN</i>	<i>ETB</i>	<i>CAN</i>	<i>EM</i>	<i>SUB</i>	<i>ESC</i>	<i>FS</i>	<i>GS</i>
2...	<i>SP</i>	!	"	#	\$	%	&	'	(	)	*	+	,	-
3...	0	1	2	3	4	5	6	7	8	9	:	;	<	=
4...	@	A	B	C	D	E	F	G	H	I	J	K	L	M
5...	P	Q	R	S	T	U	V	W	X	Y	Z	[	\	]
6...	`	a	b	c	d	e	f	g	h	i	j	k	l	m
7...	p	q	r	s	t	u	v	w	x	y	z	{		}

# LCD Anschlüsse am DE2-115 und DE2-classic

LCD\_RW = '0'

LCD\_ON = '1'

(1) LCD\_BLON = Backlight nicht unterstützt, nicht angeschlossen

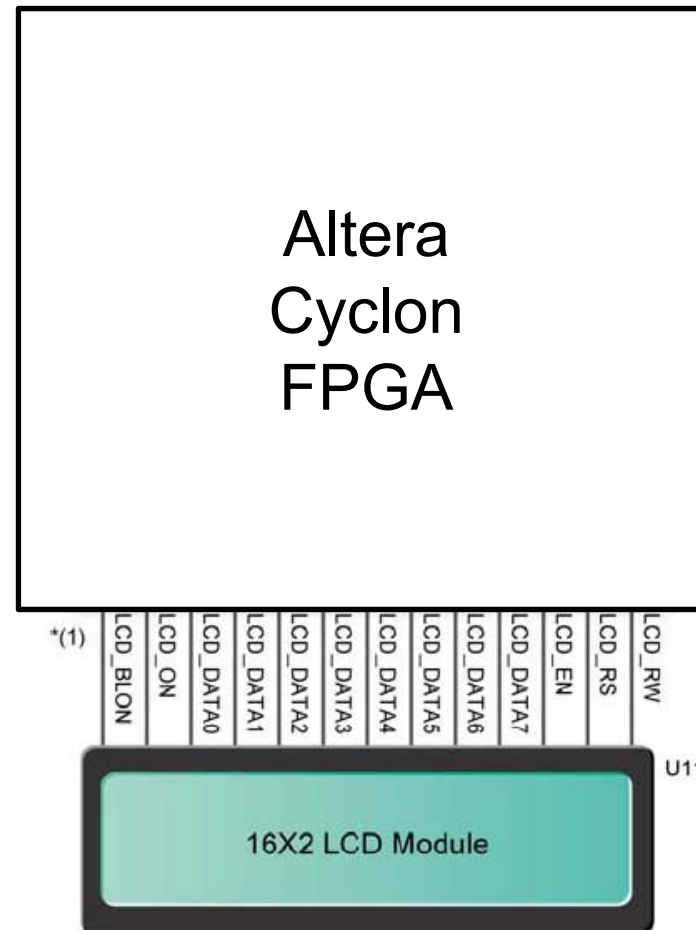
## Achtung:

Der LCD VHDL Driver Block arbeitet im 4-bit Modus

LCD\_DATA7 = MSB

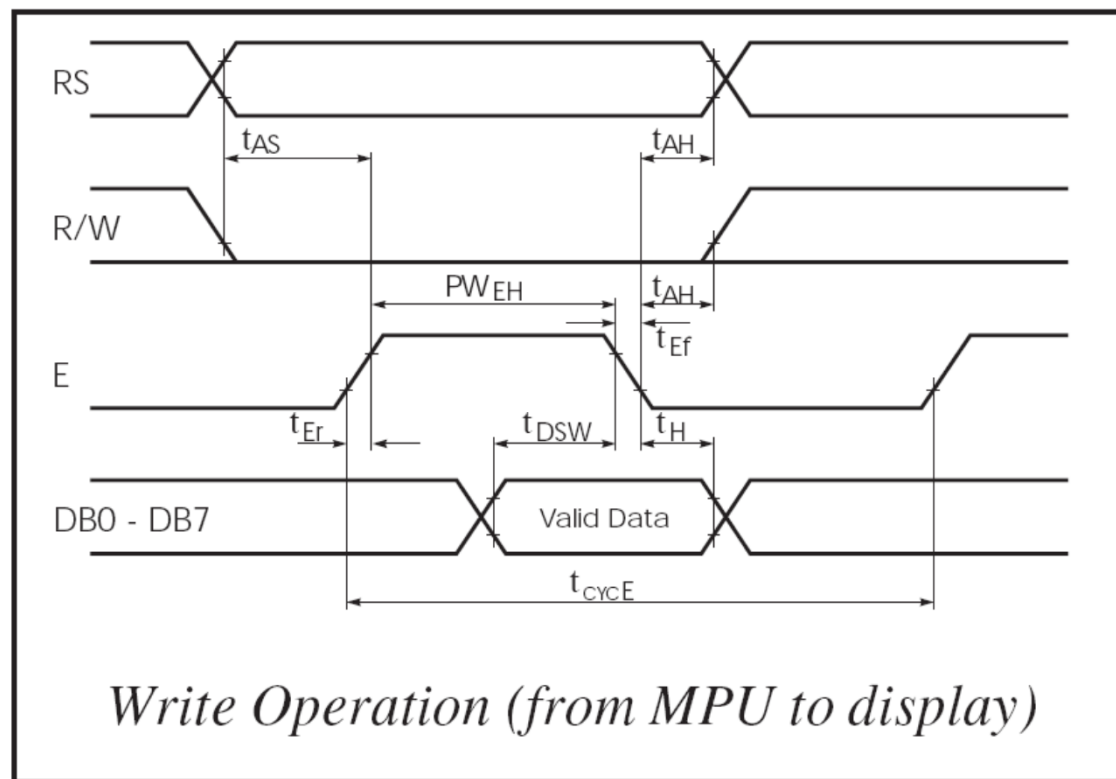
LCD\_DATA4 = LSB

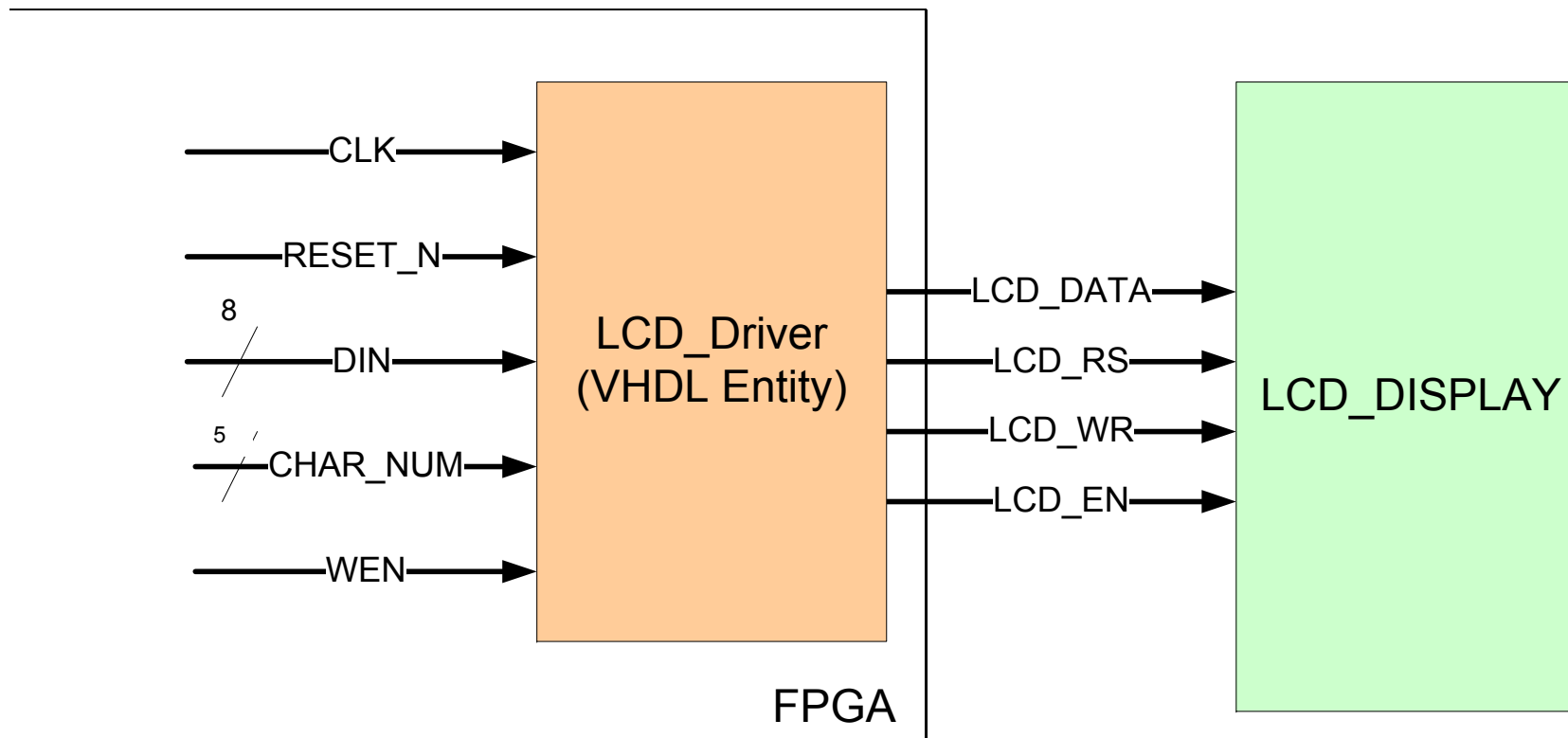
LCD\_DATA0-3 = nicht angeschlossen



# Schnittstelle: LCD-Driver zu LCD-Display

Wird vom LCD Driver (gegebenes VHDL) erzeugt

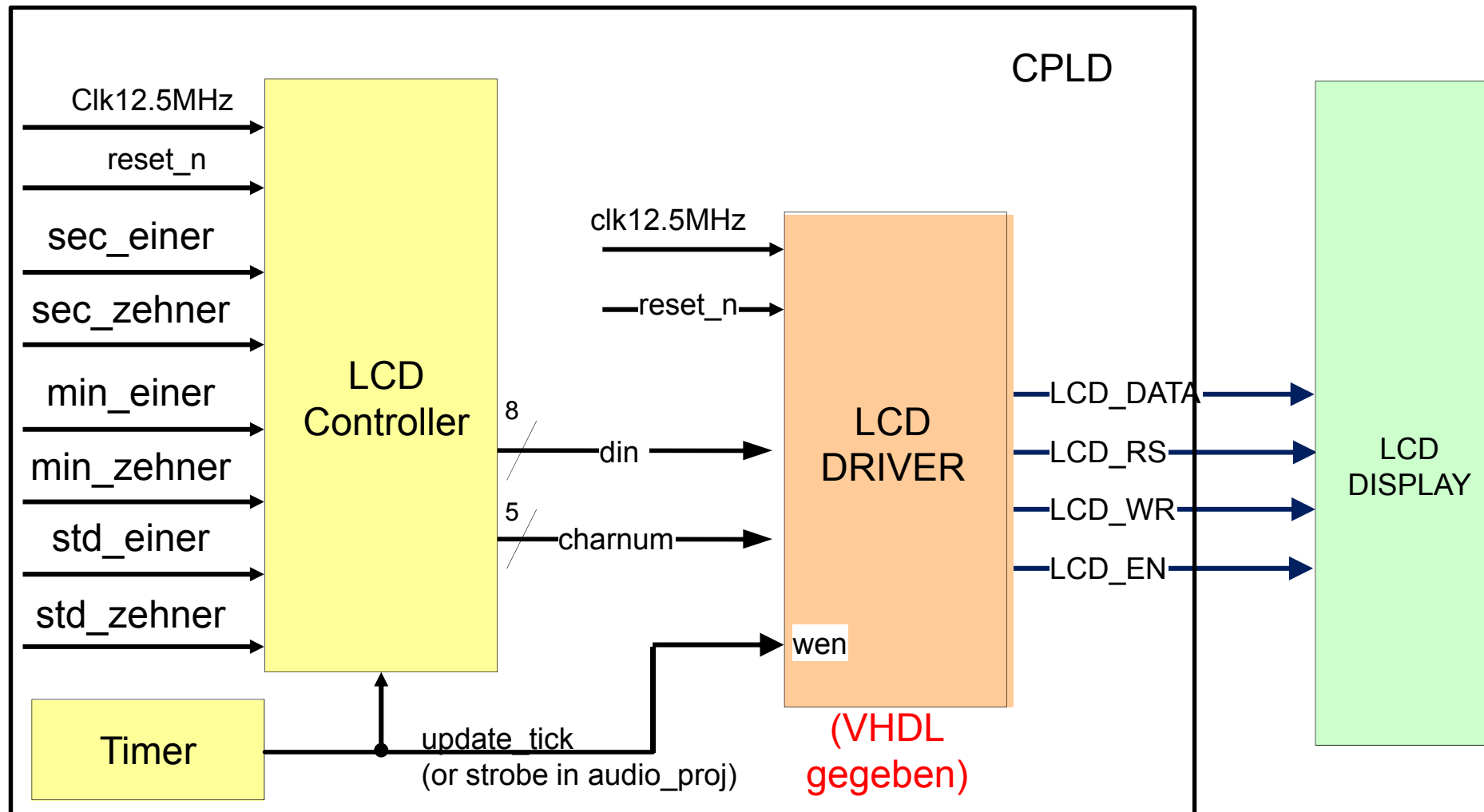




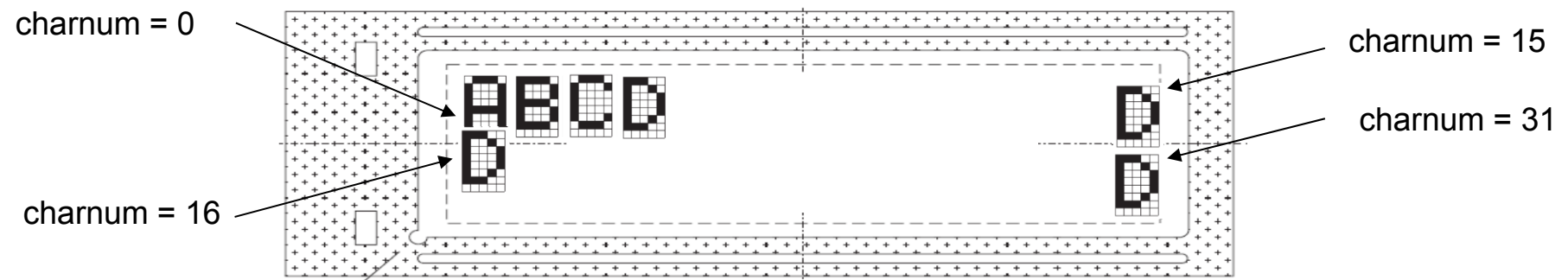
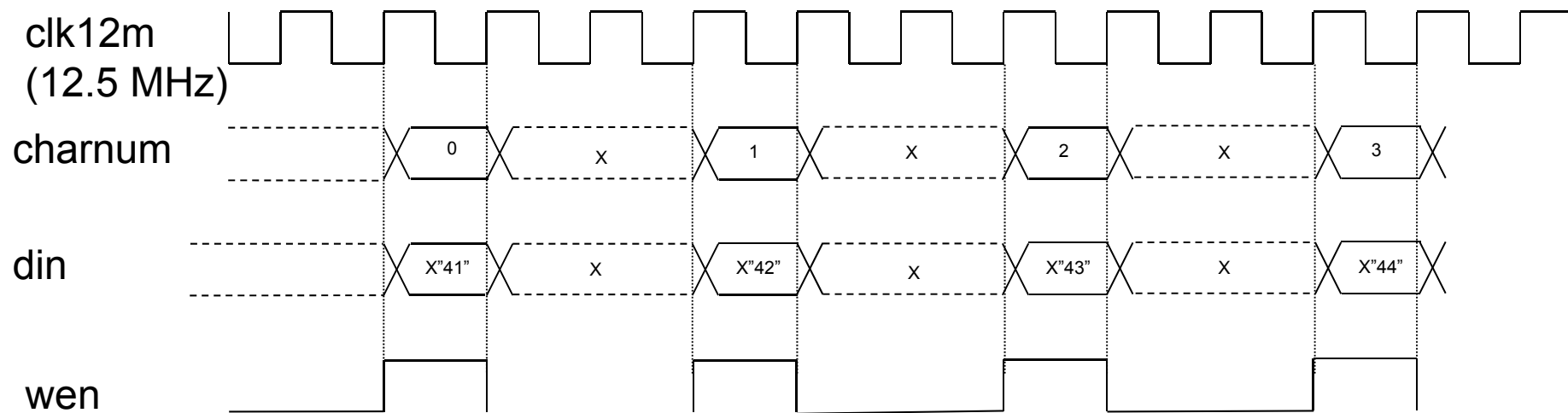
## Achtung:

- Nur die MSB Datenleitungen **LCD\_DATA(7..4)** am Display anschliessen
- Reset zum LCD Driver High Active

# LCD Controller



# Schnittstelle: LCD-Controller zu LCD-Driver



# Testen des LCD-Controllers auf Board

