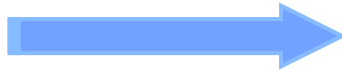


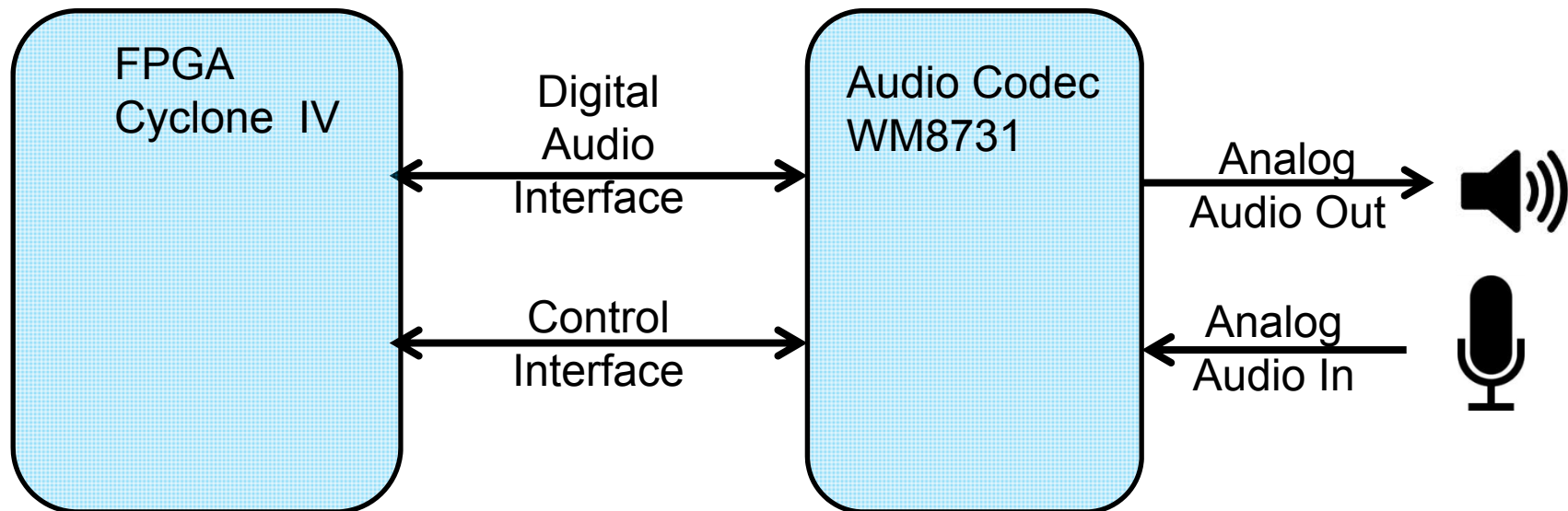
DTP2 Projekt: Audio Synthesizer (FPGA Jukebox)



Audio Project

Thema: Tone Synthesizer & Music Sequencer

Platform: DE2-Board



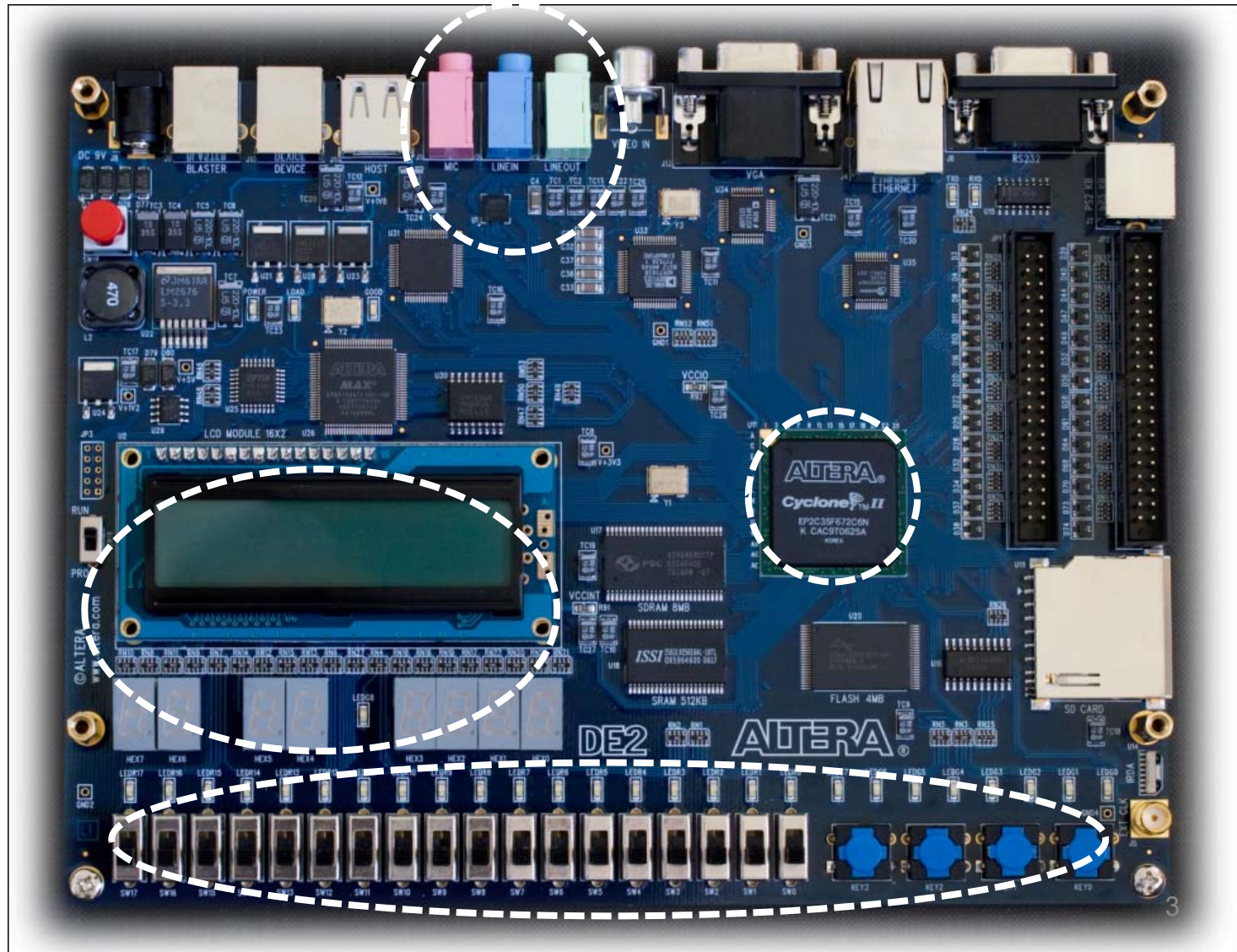
DE-2 Board Resources

*Audio In/Out
& Codec*

FPGA

Displays

Digital In/Out



FPGA Jukebox: Prototyp-1

**We will
Rock You
with 308 FFS !**



Tested Features:

- **Control and Audio Interface to Codec ;**
- **Complete Inbuild Tone Generator from single sinus table;**
- **Selectable sound timbre with 2-operator FM;**
- **Selectable play mode (sequencer for melody box or piano-key mode)**

Planned Features:

- **Volume Control ;**
- **Percussive Tracks;**
- **Selectable Bypass mode**
- **....**
- **Customer wishes... ;o)**

Projekt Einführung

Organisatorisches

Top Level Block Diagram

Basic and Extra Features

Projekt Meilensteine

Meilenstein-1 Analog Audio-Loop

(Control IF via I2C)

Meilenstein-2 Digital Audio-Loop

(Dig. Audio IF via I2S)

Meilenstein-3 Tone Synthesizer

(mit DDS Block)

Meilenstein-4 Demo Komplett Projekt

(Basics + Extra Features)

Meilensteine

Phasen und Rollen

Infrastructure Block

Taktteiler

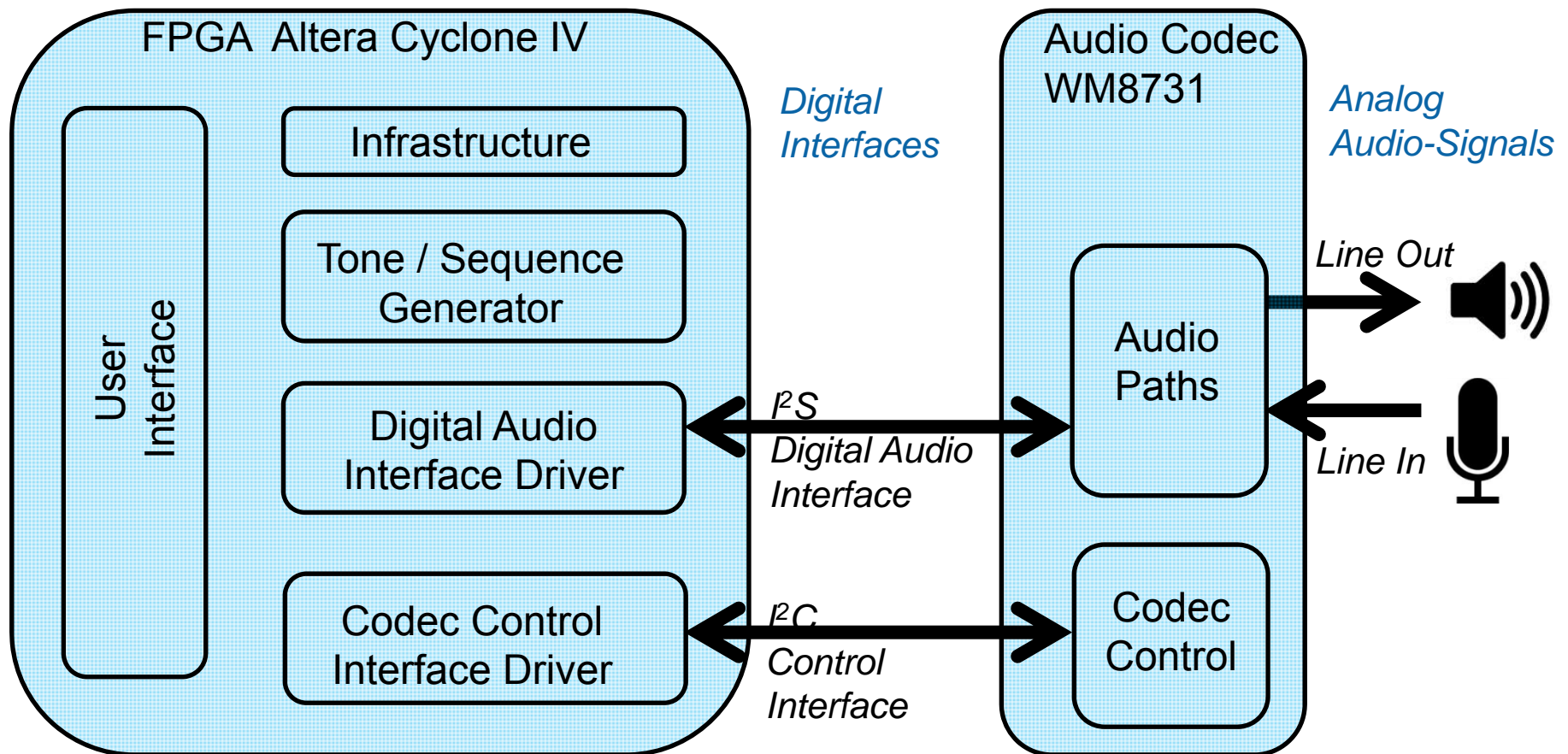
Synchronisierung von Eingangssignalen

- Es wird in Gruppen von 3 Personen gearbeitet
- Das gesamte Projekt ist in Fertigstellungsstufen unterteilt (Meilensteinen). Jede Stufe beinhaltet: Block-Design, Block-Testbench und Integration (im Top-Level plus Test und Debug
- Jede Stufe wird von der Gruppe gemeinsam erarbeitet. Die Rollen der Gruppenmitglieder wechseln mit jeder Stufe
- Jede Stufe hat ausführliche „Testbenches“ auf Block-Level und Top-Level.
- Eine selbstprüfende Testbench pro Person

Technische Benotungskriterien

- Läuft der Audio Synthesizer nach der minimalen Spezifikation. Zusatzpunkte für extra Funktionen.
- Wie gut ist die Dokumentation (nicht wie dick ist die Doku)
 - Blockdiagramme
 - Timingdiagramme
 - Statemachine Diagramme
 - Keine VHDL Ausdrücke, Datenblätter etc.
 - Zusammenhängender, korrekter Text
- Wie ausführlich sind die Tests, werden Fehler automatisch erkannt (assert statements)
- Einhalten der Design Rules: überall synchrone Logik, keine Latches, handliche Entities, Überschaubare Prozesse.
- Präsentation

Audio-Synthesizer in DE2-115 Board



Audio Synthesizer Project

Basic Features:

Program in VHDL + Integrate and Test the following blocks

- Codec Control Interface Driver (based on reference I²C Master code)
- Digital Audio Interface Driver (I²S Master Block)
- Infrastructure Blocks (Synchronise Inputs + Taktteiler for Audio-Clock)
- Tone Generator (based on Sinus LookUp Table – DDS –)
- User Interface (reset, tone selection, volume control)

Extra Features:

Choose, specify and Implement selected feature(s)

- Melody Box (play predefined tone sequences)
- Anschluss eines Keyboards (via Midi Interface)
- FM Synthesizer (modulate tone to vary timbre –Klangfarbe-)
- Recorder (register short sequences and play-back)
- Track Library (play predefined sound tracks, e.g. percussions)
- Sequencer (combining tracks and tones)
- Display (drive LCD for friendly user Interface)
- etc... (Infrared Remote Control, Audio Effects, ... **or your original idea!!!**)

Minimale Funktionen:

- Steuerung des Audio Codecs WM8731 fürs Abspielen von Digital Audio-Data und Lautstärkeregelung .
- Synthese von Audio-Ton mit steuerbaren Frequenzen.
- Als Zeitbasis steht ein 50 MHz Oszillator zur Verfügung.
(Empfehlung: mit internem Taktteiler erzeugen Sie ein 12.5 MHz Taktsignal).
- Alle Flip Flops müssen synchron betrieben werden.
- Das Projekt muss mit der zur Verfügung gestellten Platine realisiert werden.

Extra Funktionen:

Es gibt zahlreiche Möglichkeiten in drei Gebieten:

- Audio Funktionen (Melodien, Klangfarbe, Sequenzen, Tracks, Aufnahme ...)
- Benutzerschnittstelle (Keyboard, Anzeige, Fernbedienung, ...)
- Audio Effekte (Variation Tempo, Pitch, Fade, Reverse, Echo, ...)

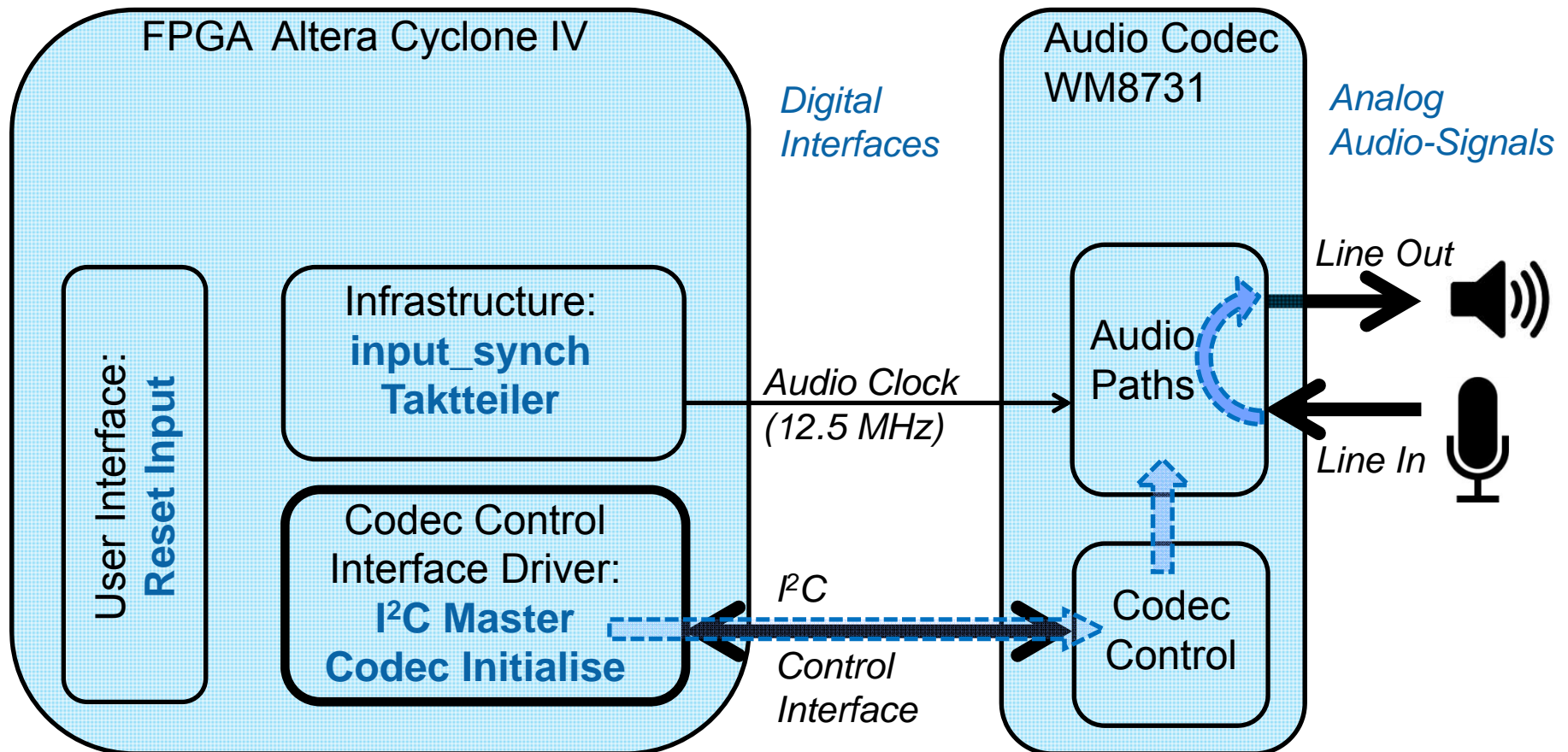
Projekt Phasen und Zeitplan

Phase	Sem Woche	Aktivität	Meilenstein
0	1-2	VHDL Lernen und Üben (Hierarchy, Testbench, Simulation)	Lab 1-2 fertig
1	3-5	Infrastructure (Taktteiler Integration) Control-IF (I2C Integration + Test)	Meilenstein-1: Analog Audio-Loop
2	5-8	Dig Audio-IF (I2S Design + Integr + Test)	Meilenstein-2: Digital Audio-Loop
3	8-12	Basic Features Tone Generator (DDS Design + Integr + Test) User Interface (FSM Design + Integr + Test)	Meilenstein-3: Tone-Synthesizer
4	11-14	Extra Features + Documentation	Meilenstein-4: Projektdemo

→ Überlappung! Empfehlung: fangen Sie die Extra Features vor Abgabe von MS3 an

Phase-1 *Milestone-1*

Analog Audio-Loop Test

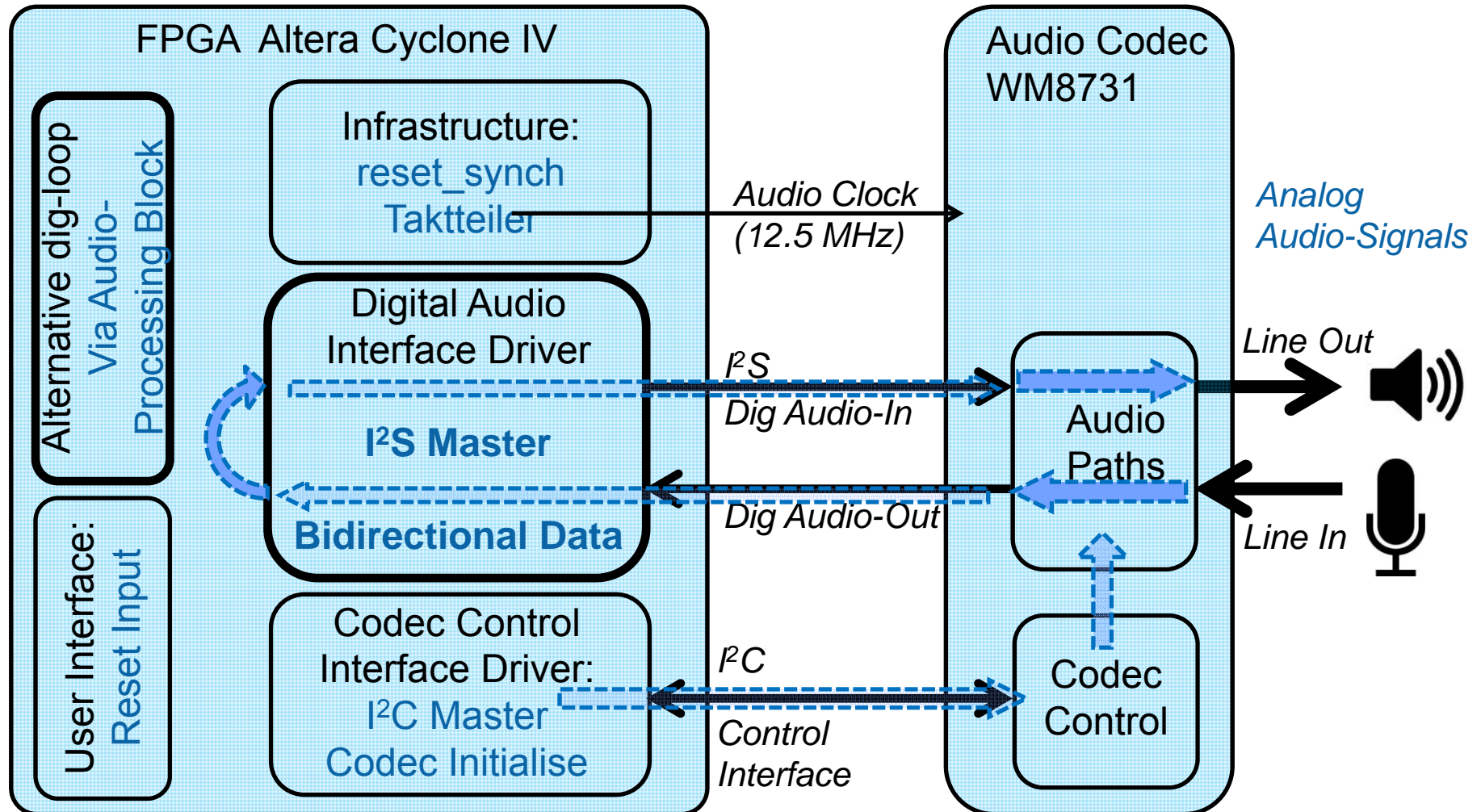


Objective: test for control interface driver

(I²C block integration, design driver block, codec registers setup)

Phase-2 Milestone-2

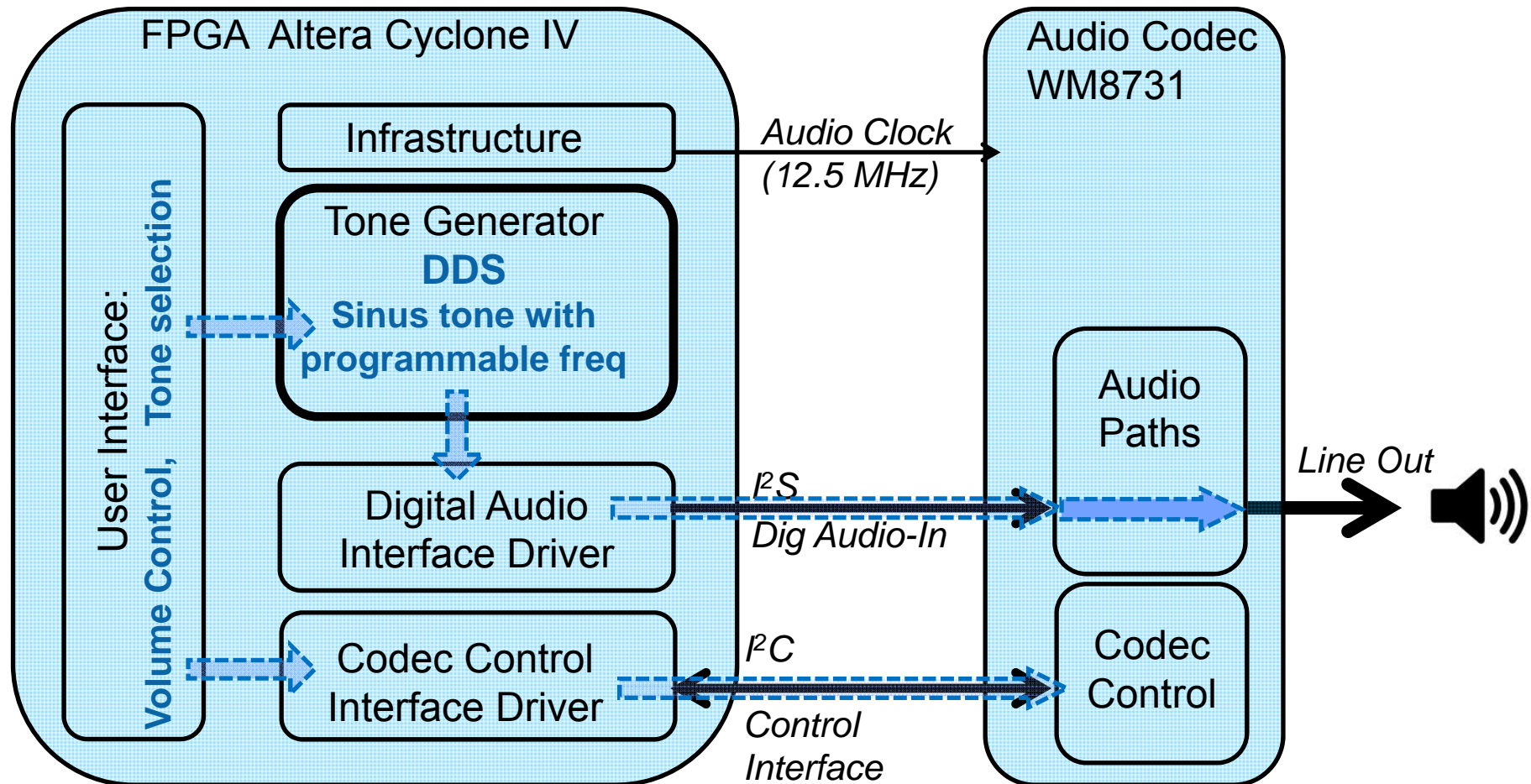
Digital Audio-Loop Test



Objective: test for digital audio interface driver (I²S Block Design)

Phase-3 *Milestone-3*

Tone Synthesizer



Objective: test tone generator and user interface (DDS Block Design, User Interface)

Meilensteine und Rollen

Datum	Meilensteine	Rollen (per Block)		
		Designer	Tester	Integrator
?? Spätestens SW-5	MS1: Analog Audio Loop (Design Control-IF Driver, integration I2C Master)			
?? Spätestens SW-8	MS2: Digital Audio Loop (Design Dig. Audio-IF Driver I2S Master + Control Blocks)			
?? Spätestens SW-12	MS3: Tone Synthesizer (DDS + User-IF block-design, -testbench, -integration)			
?? Spätestens SW-14	MS4: Extra Features Implementation (design, testbench, integration) + DEMONSTRATION	Funktionen Vorführen und Code erklären		
Prüfungs Woche	Projektpräsentation + Dokumentation abgeben			

Rollen:

Block-Designer:

Schreibt und debugged den VHDL Code des Blockes.

Vorschlag: grob-Debug (synthesis: syntax + RTL); fein-Debug (Rückmeldung vom Tester und Integrator)

Wichtig: Code soll kommentiert sein, so dass man die Funktionalität nachvollziehen kann.

Block-Tester:

Erstellt zuerst visuelle und danach selbstprüfenden Testbench (mit assert statements).

Wichtig: Code soll kommentiert sein, so dass man das Test-Szenario nachvollziehen kann.

Block-Integrator:

Baut Block in Top-Hierarchie ein und testet diesen in HW.

Wichtig: Pin-Zuweisungen für FPGA-programmierung (evtl. Debug- Testausgänge) vorbereiten

Project Tracking Page

(Übersicht auf einer Seite)

DTP2 Projekt : **FPGA Jukebox**

Kurzname: *We will rock you*

Gruppe Mitglieder: *Thomas, Lea, Dario*

Geplante extra Funktionen:

- *Melody Box171717*
- *FM-Synthesizer*
- *Percussion Tracks*

Meilenstein-1:

- Datum: *(vorgeführt am...)*
- Bemerkung: *(wird von Dozent(in) ausgefüllt)*

Meilenstein-2:

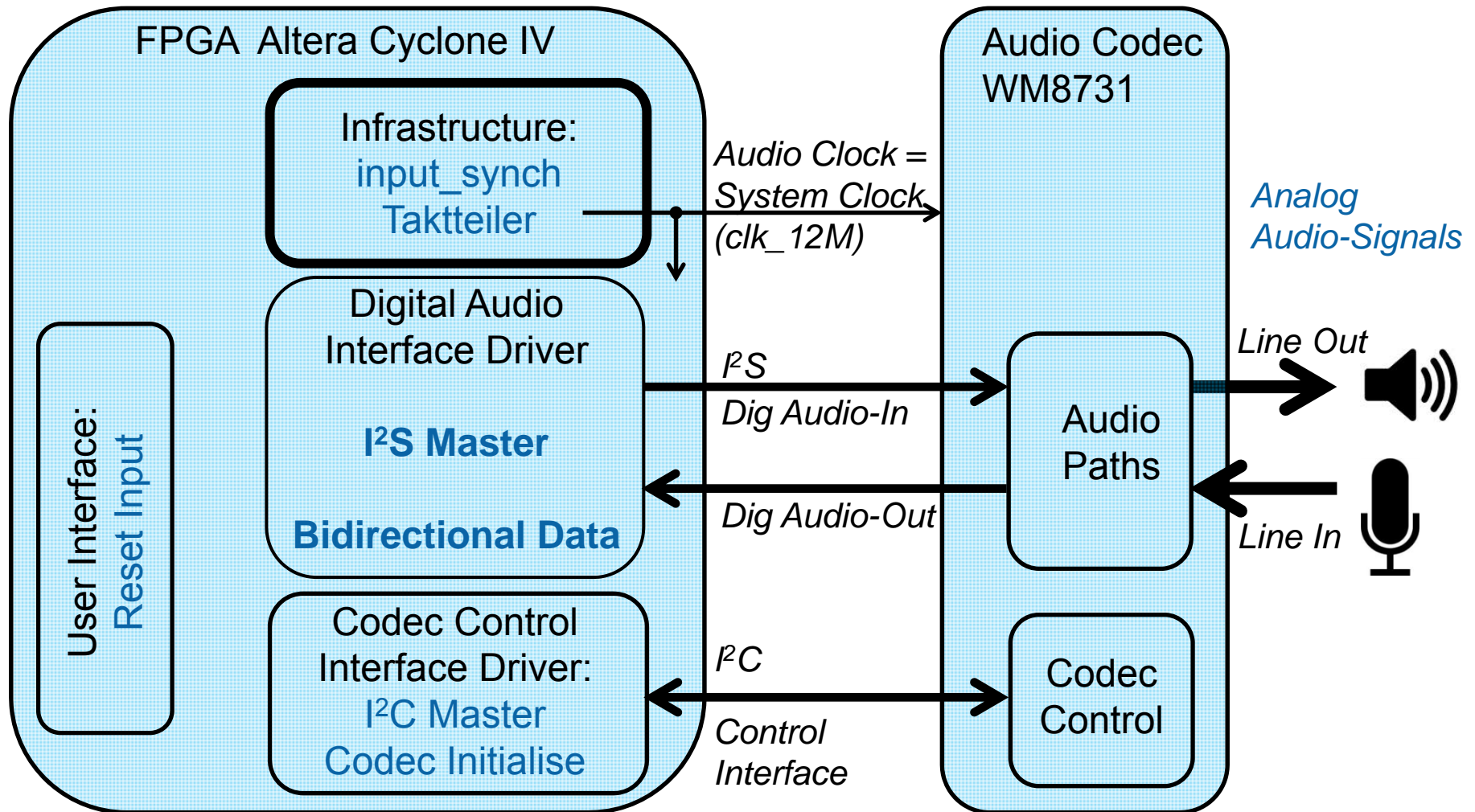
- Datum:
- Bemerkung:

...

Log-File:

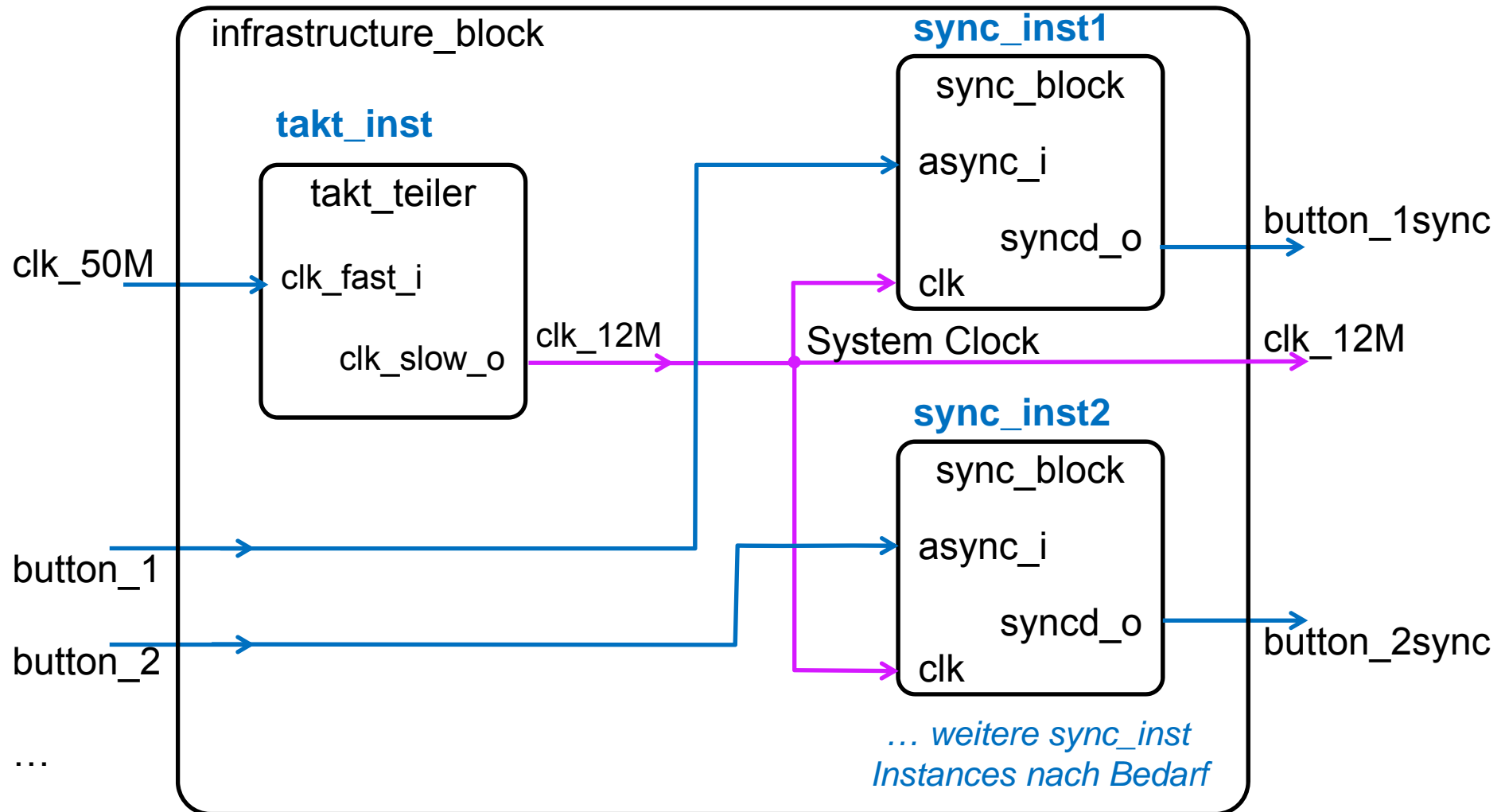
- Datum / Ereigniss / Author *(Ihre Kommentare zu wichtigen Schritte/Entscheidungen/Lösungen...)*
- Repository URL : *<https://parma.zhaw.ch/svn/wm8731>*
- *July_2012 : started trials in MAX-II plus extension board (went till sequencer) _ ritz/dqtm*
- *Nov_2012 : transfer to DE2-115 board of digital loop _buan*
- *Feb_2012 : transfer sequencer + add FM-synthesizer and play_mode (piano or 4-melodies)_dqtm*
- ...

Infrastructure Block (Teil von Phase-1)



Infrastructure Block

Synchronisierung + Taktteiler

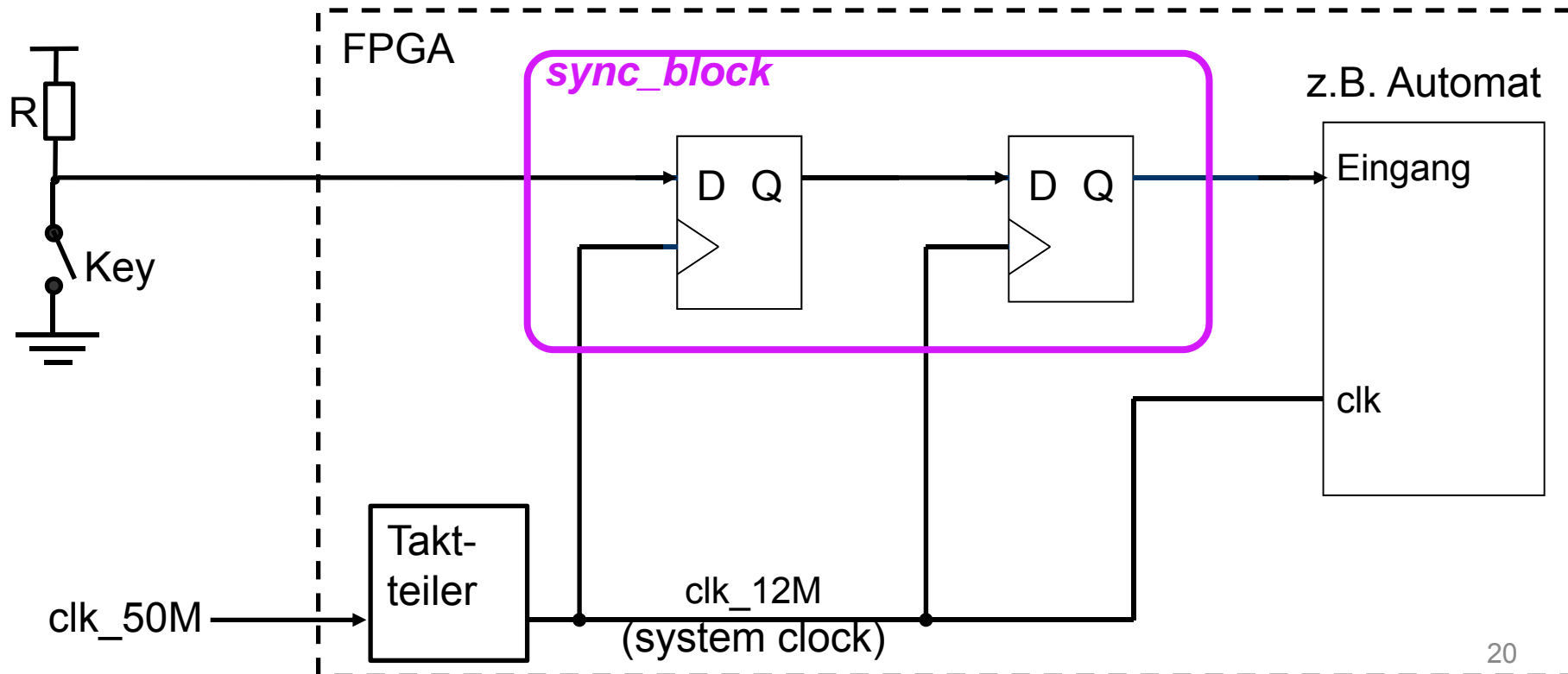


Bmk: man kann auch zuerst reset mit 50MHz synchronisieren vor Benutzung im Taktteiler₉

FPGA Eingangssignale müssen synchronisiert werden

(Reset)-Tasten, Schalter und asynchrone Signale von anderen Chips)

Synchronisierschaltung



FPGA System Clock

- Gemeinsames Taktsignal für alle FPGA-Blöcke (System Clock)
- Wegen Audio Codec wurde die System Clock (clk_12M) mit Frequenz 12.5 MHz gewählt.
- Erzeugung mit Hilfe des internen Taktteiler-Blocks aus dem 50MHz Taktsignal



Für Integration im Top-Level Block:

- *Taktteiler* Component Declaration
- *Taktteiler* Instantiation

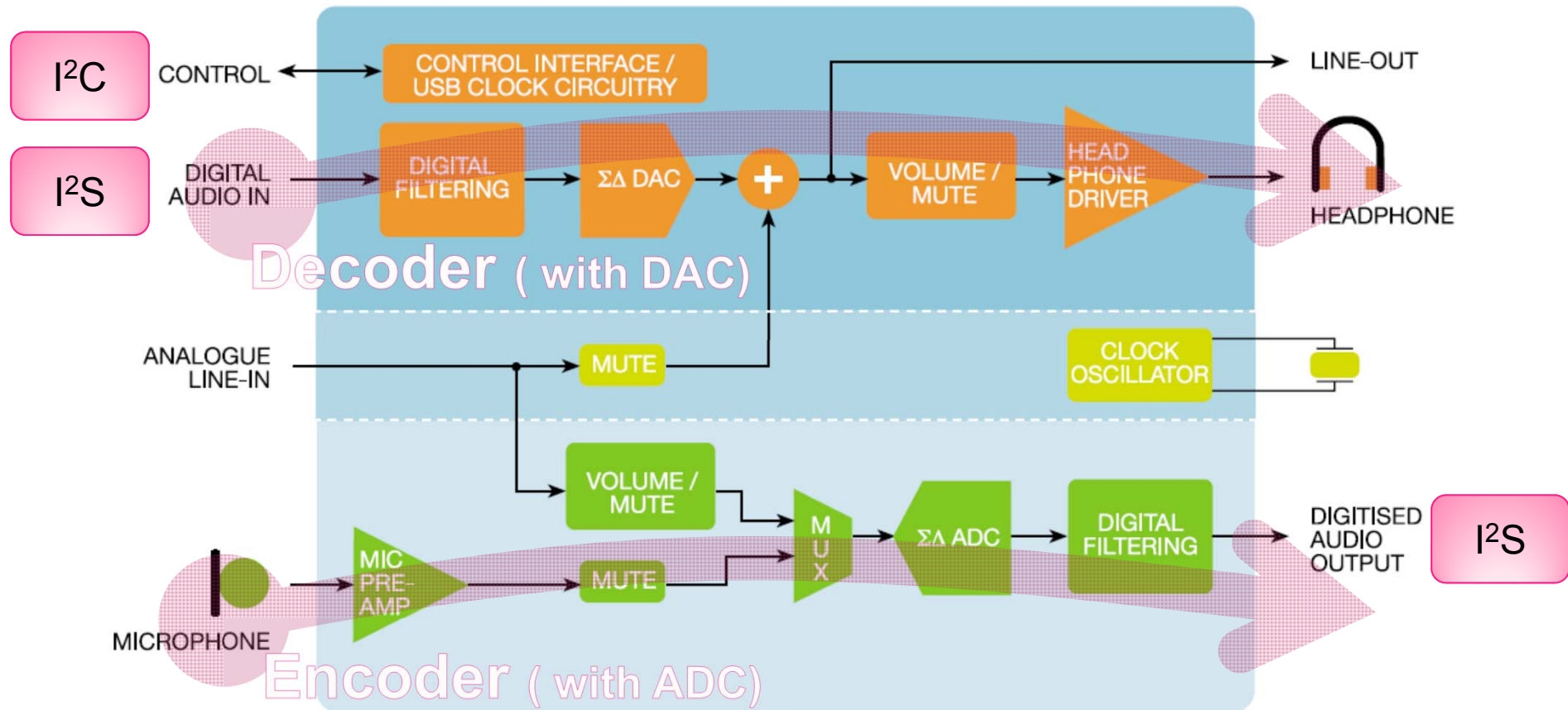
Für Simulation:

- *Weil der Block kein reset besitzt, es wird eine Anfangsbedingung gebraucht (beim Signal-Deklaration)*
Bmk: das ist eine Ausnahme!

Extra Slides (not for Plenum)

Following slides, give details of the Audio Codec WM8731
(block diagrams corresponding to the modi we use)

Audio Codec WM8731

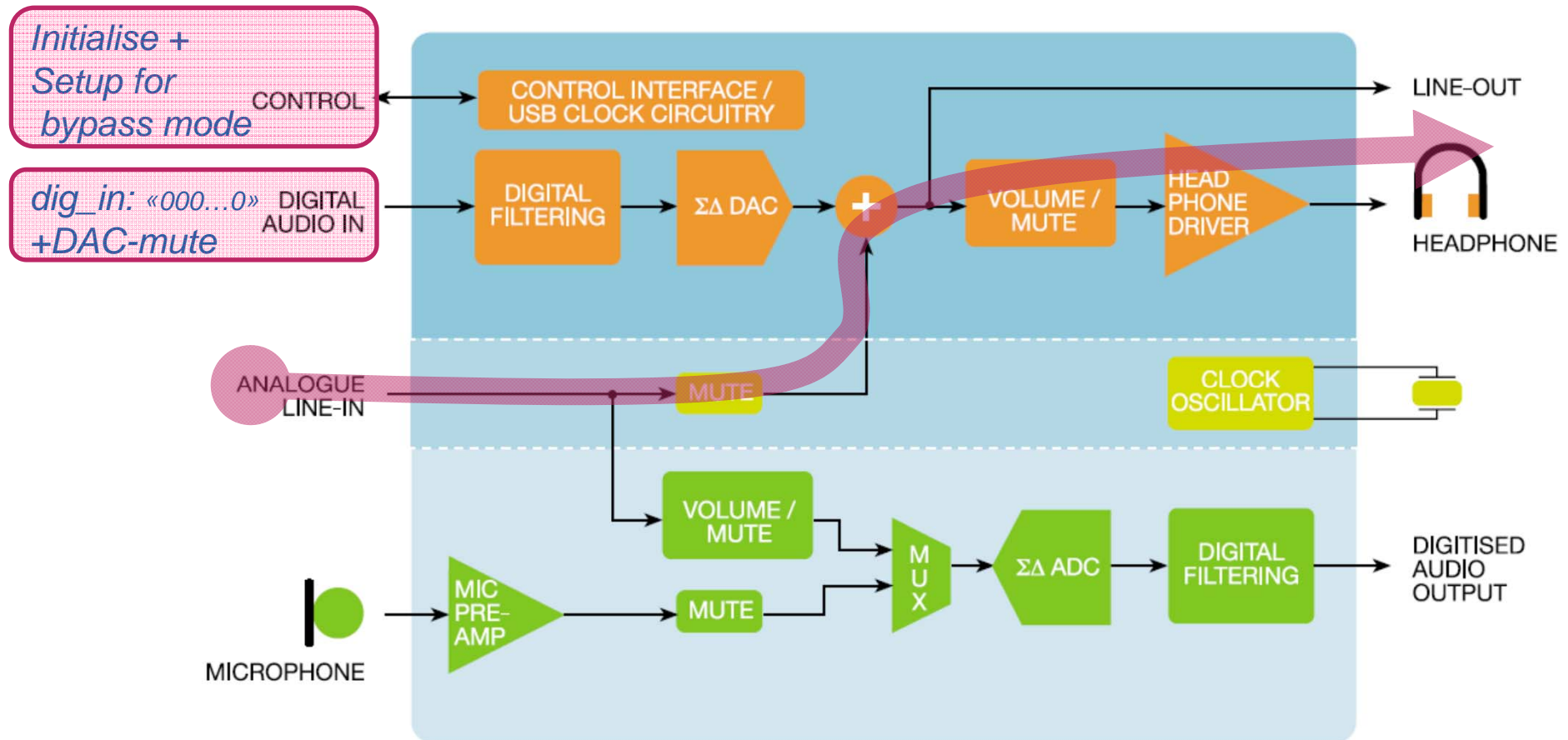


WM8731 Diagram with Functions and Audio Paths: Audio Encoder (ADC) + Decoder (DAC)

Typical Application: portable audio products (MP3 player/recorder; mobile phones,...)

Phase-1 Milestone-1

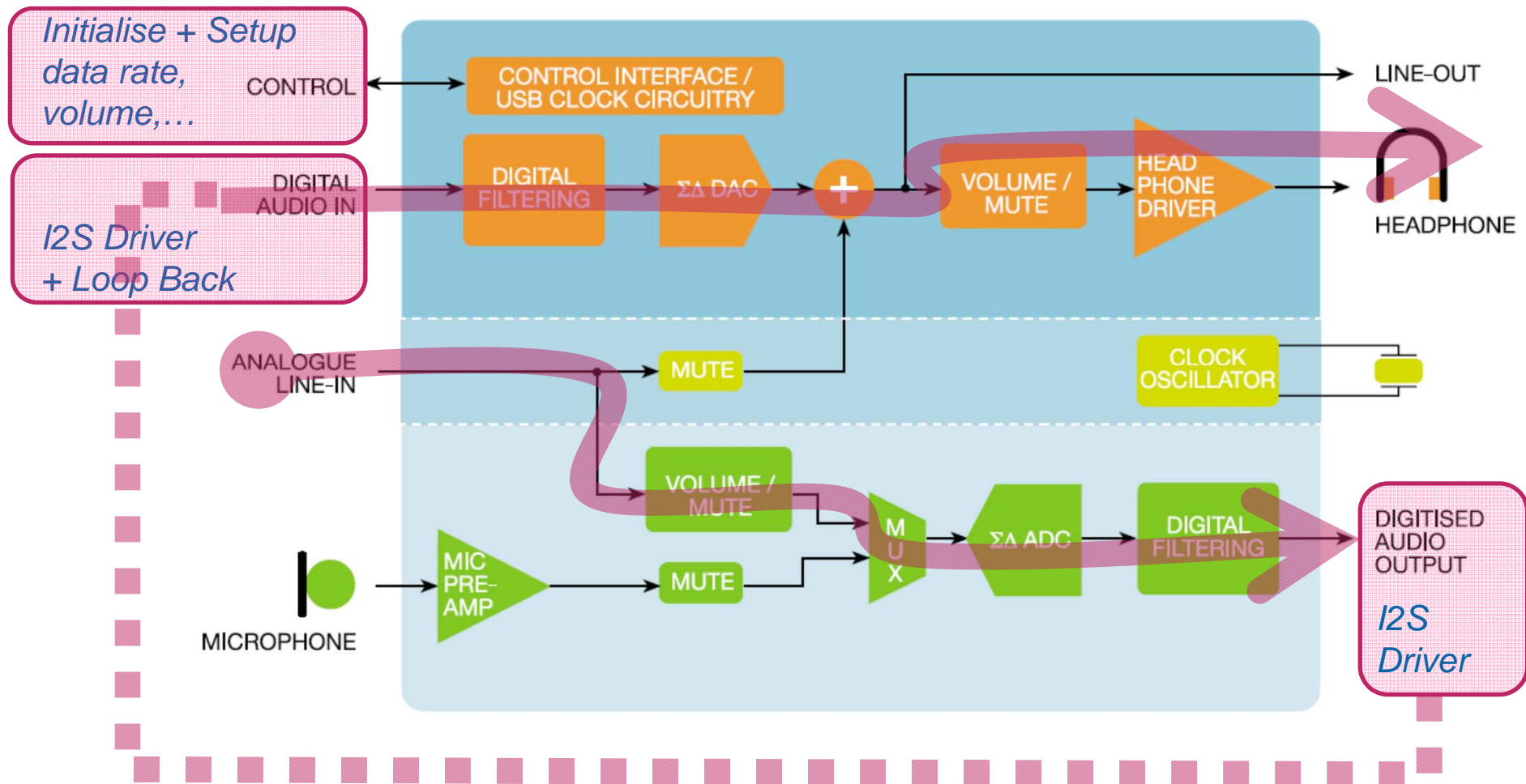
Analog Audio-Loop Test



Codec in Bypass mode; digital audio input equals 0
Direct link from analog audio input to analog audio output

Phase-2 Milestone-2

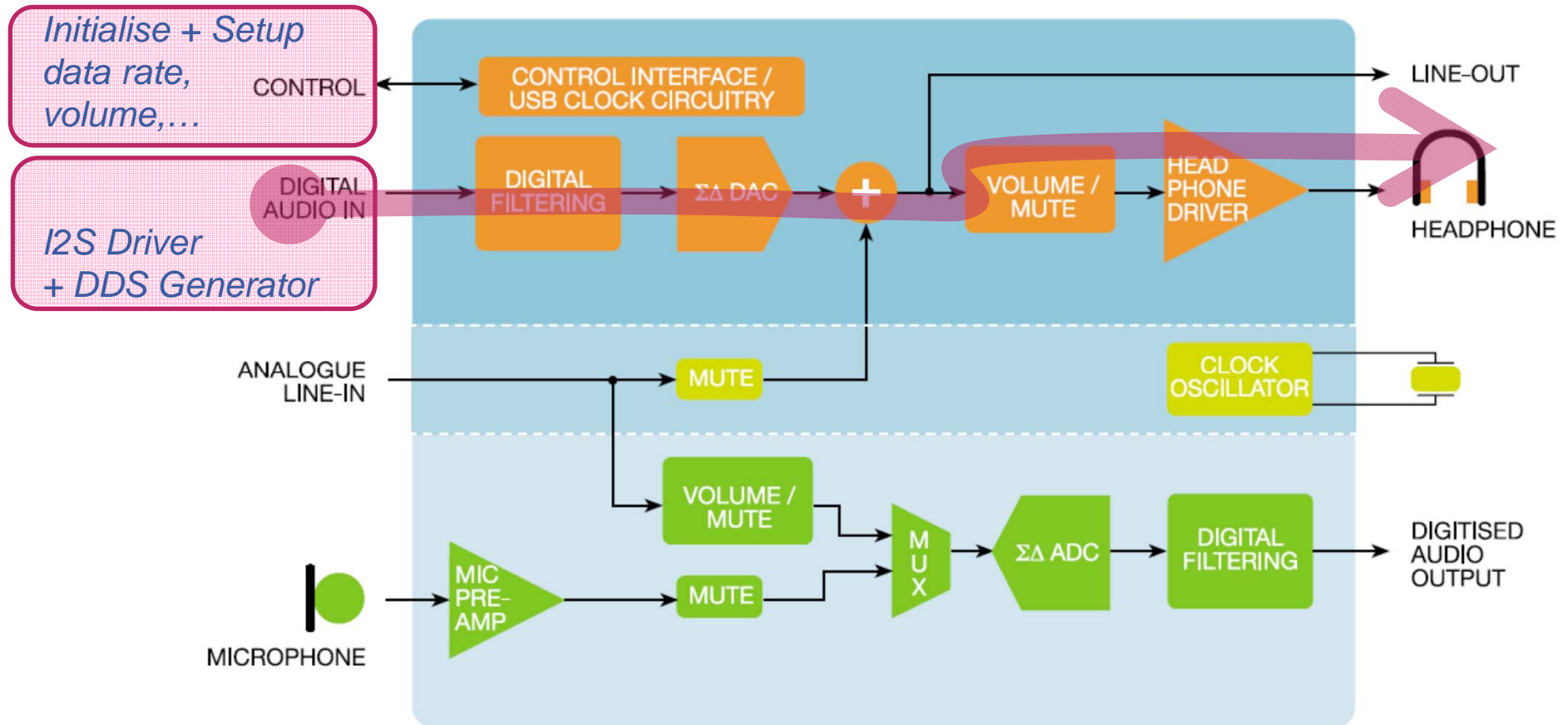
Digital Audio-Loop Test



Codec both ADC and DAC paths are active,
plus both bus interfaces (control-I2C and audio-I2S) are tested.

Phase-3 *Milestone-3*

Tone Synthesizer



*Codec only DAC path is active,
both bus interfaces (control-I2C and audio-I2S) are required.*