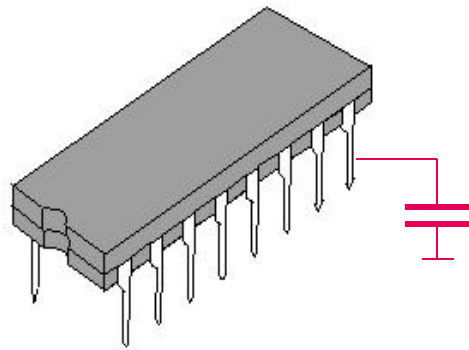
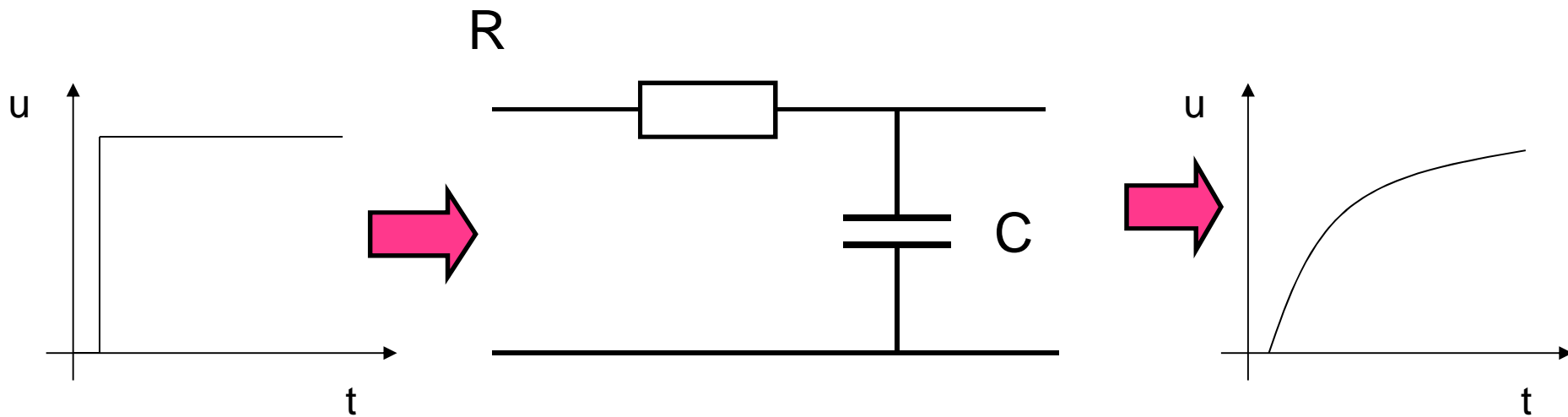
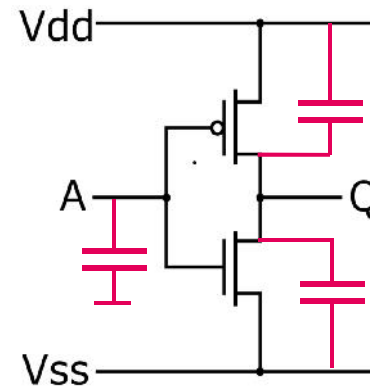


- Zeitverhalten zwischen Eingängen und Ausgängen von FFs
 - $T_{\text{clk-to-Q}}$
- Zeitverhalten zwischen den Eingängen (CLK und D) von FFs
 - Setup Zeit
 - Hold Zeit
- Zeitparameter gebräuchlicher Flip-Flops
- Berechnung der maximalen Taktfrequenz von Flip-Flops
- Metastabilität
- Synchronisierschaltung

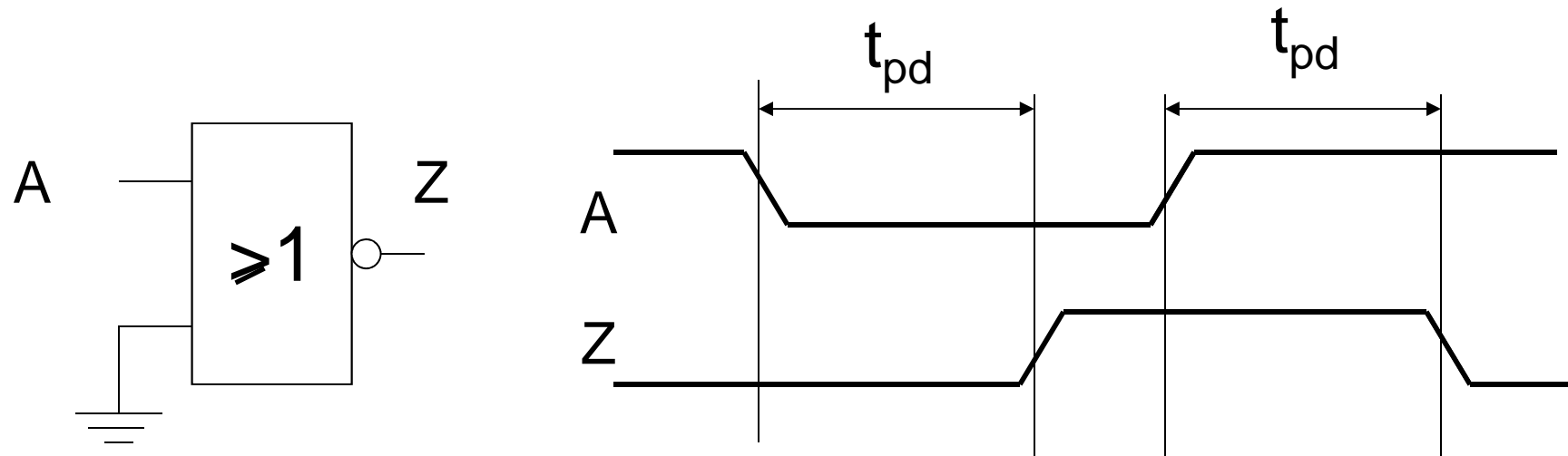
Verzögerung durch parasitäre Kapazitäten



Parasitäre
Kapazitäten

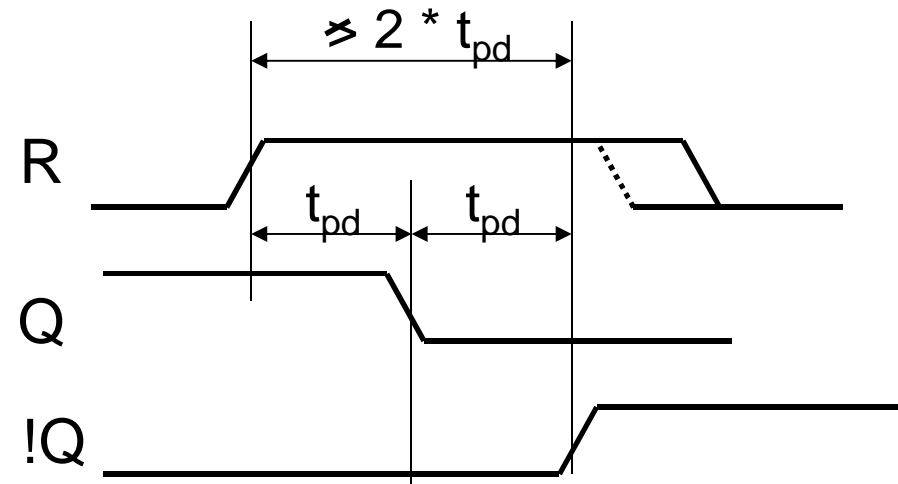
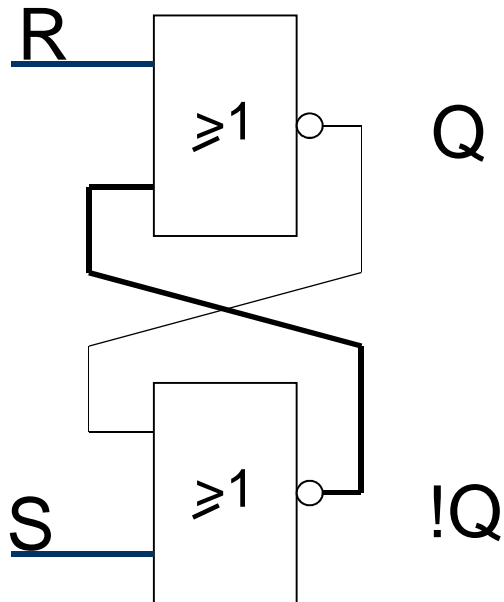


Zeitlicher Verlauf der Signale beim NOR Gatter

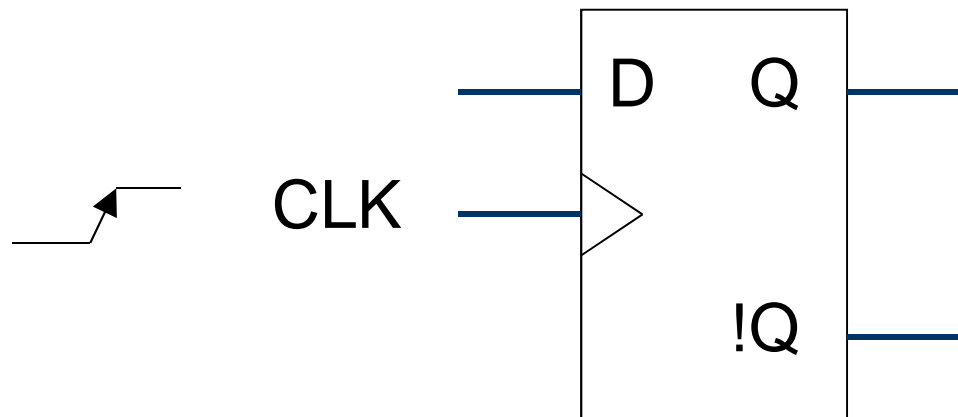


Propagation Delay = Durchlaufverzögerung

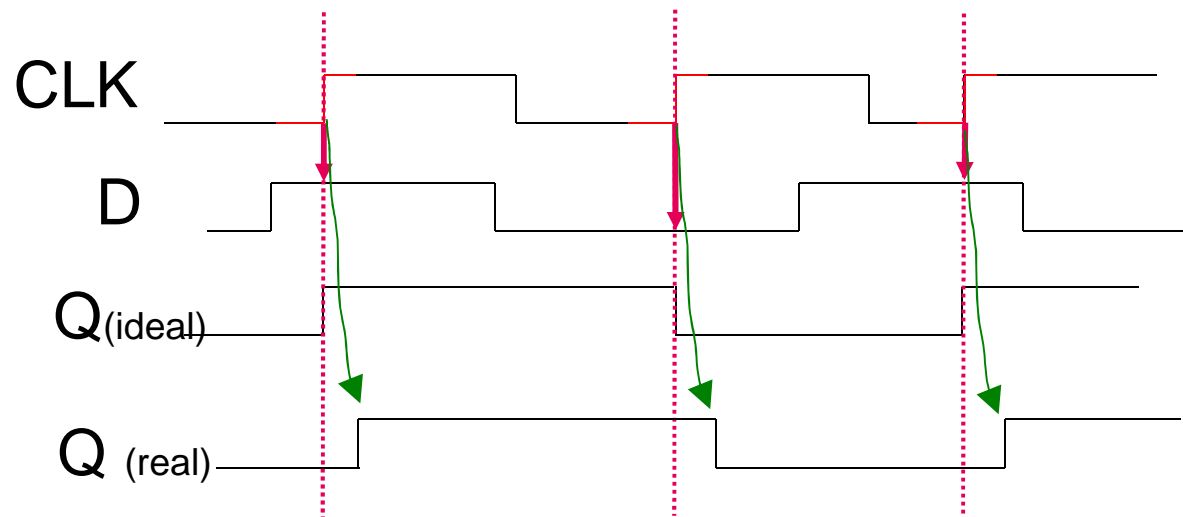
Zeitlicher Verlauf beim RS - Flip Flop



D-Flip-Flop : Zeitverhalten

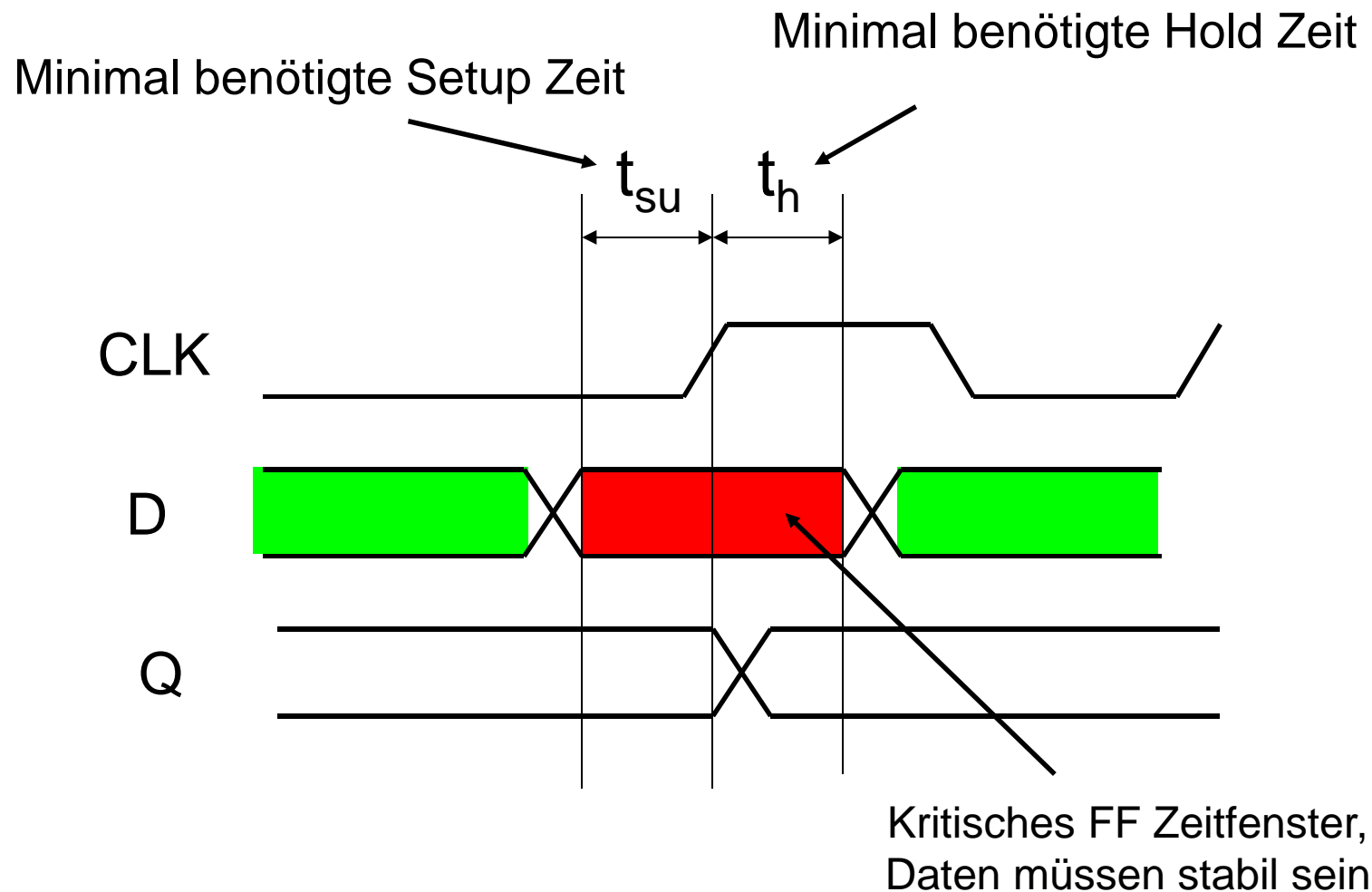


**IEC Symbol
des D-Flip-Flop**

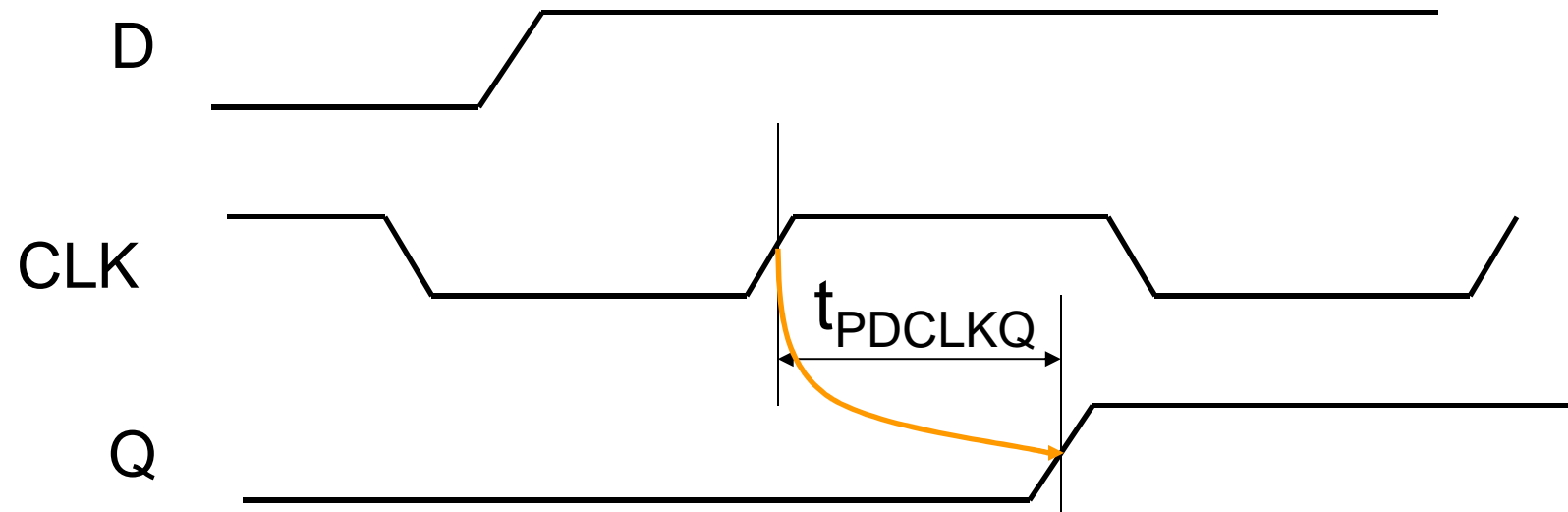


*Wie lange muss
vor und nach
der steigende
Takt-Flanke
D stabil sein ?*

Setup und Hold Zeiten beim D-FF Eingang

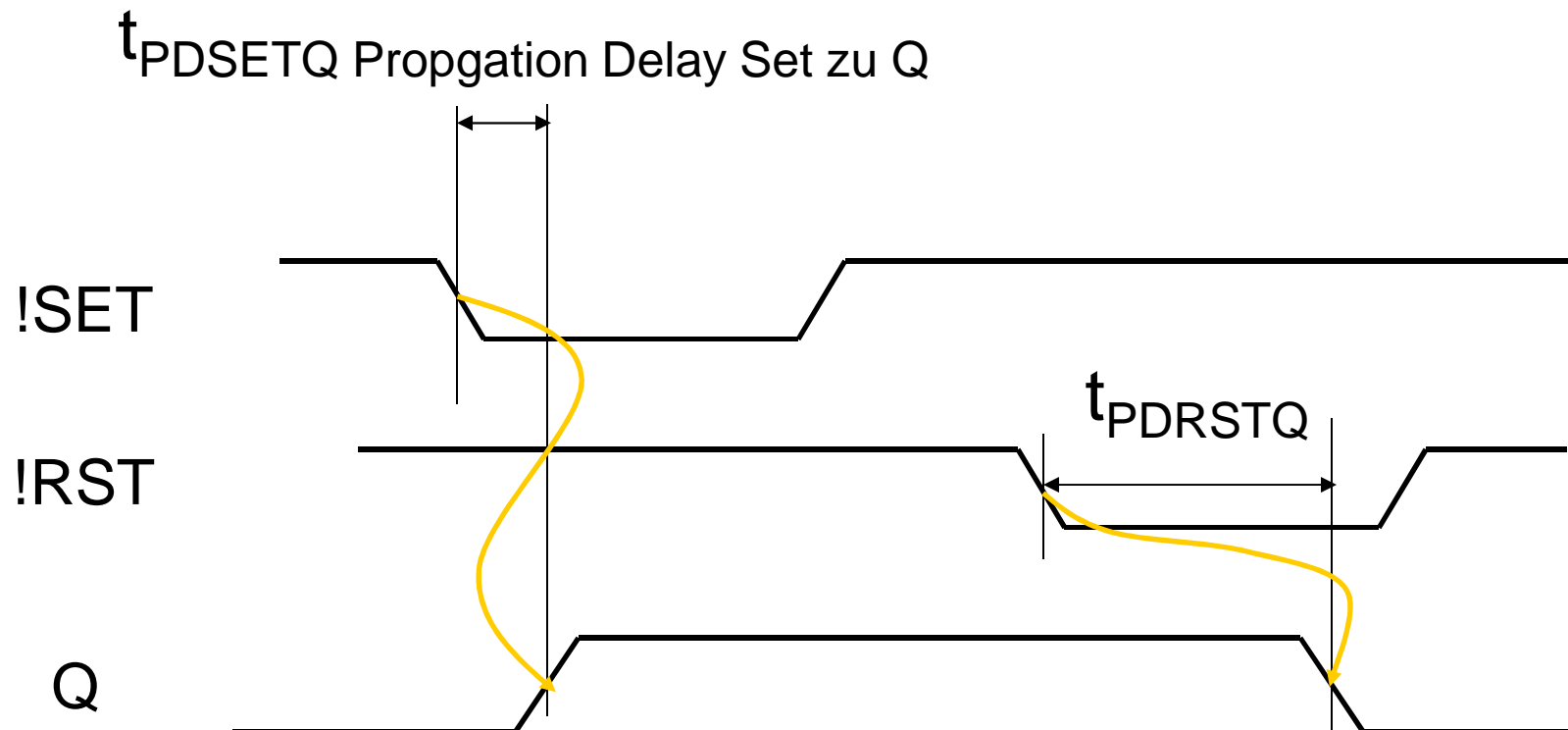


Verzögerungszeit CLK Eingang zu Q Ausgang

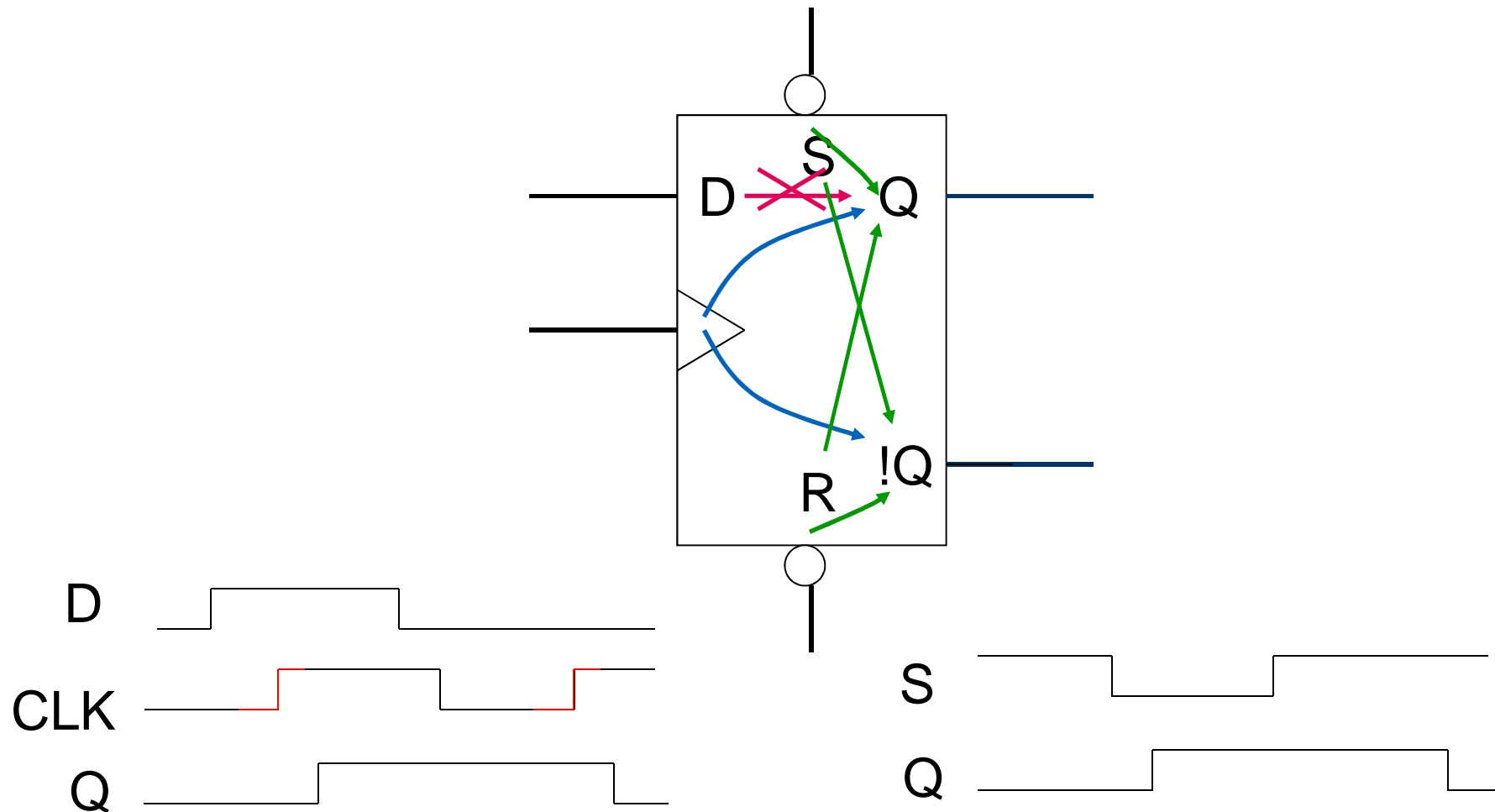


Verzögerungszeiten

Asynchroner Set/Reset zu Q

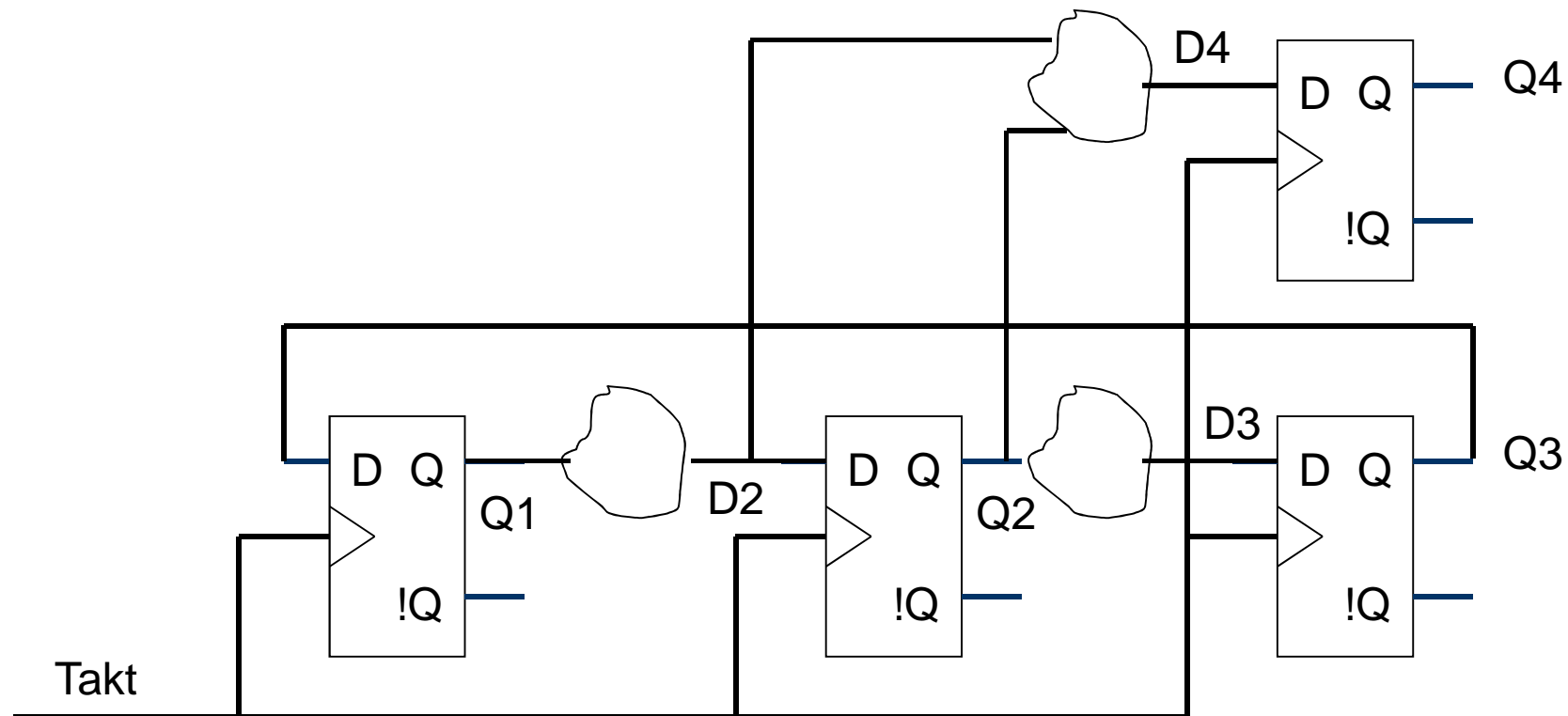


Zusammenfassung Zeiten zwischen Eingängen und Ausgängen von Flip Flops

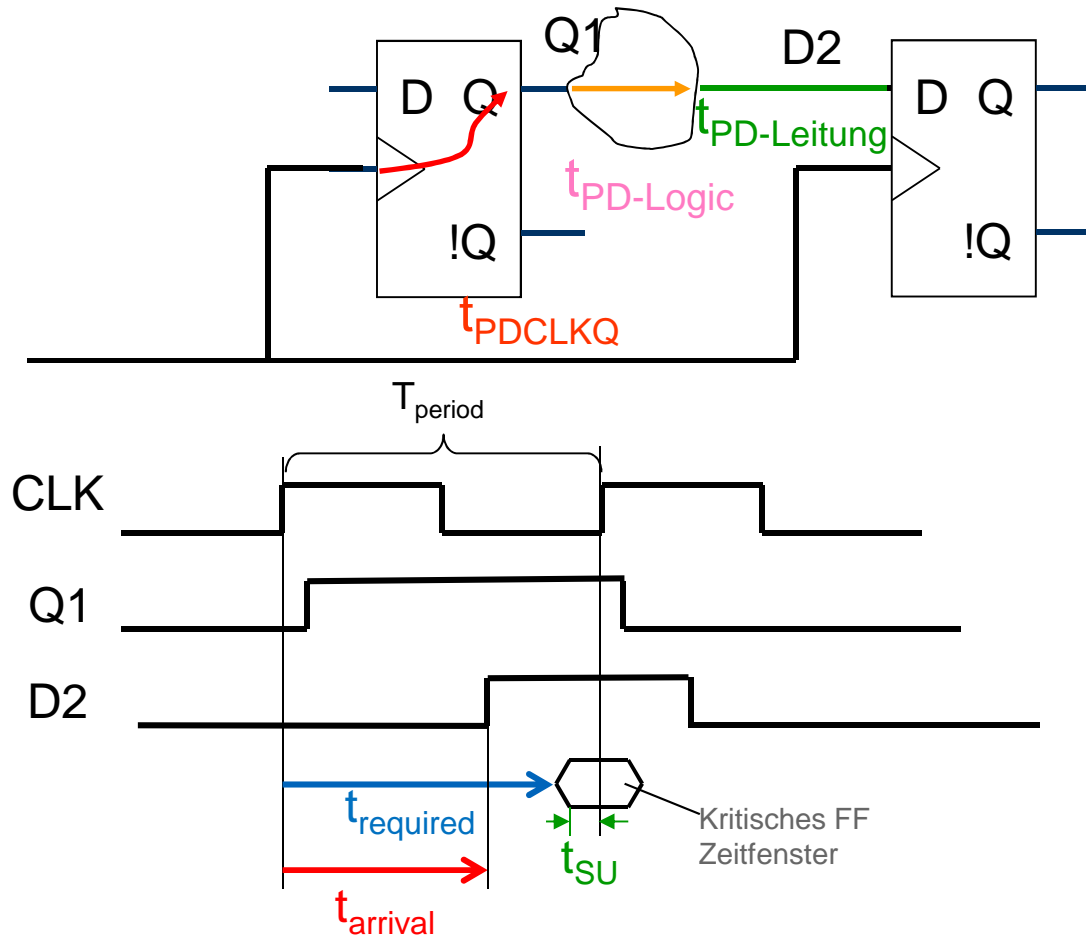


Berechnen der maximalen Taktfrequenz in synchronen Systemen

(sequentieller Logik)



Einhalten der Setup Zeit



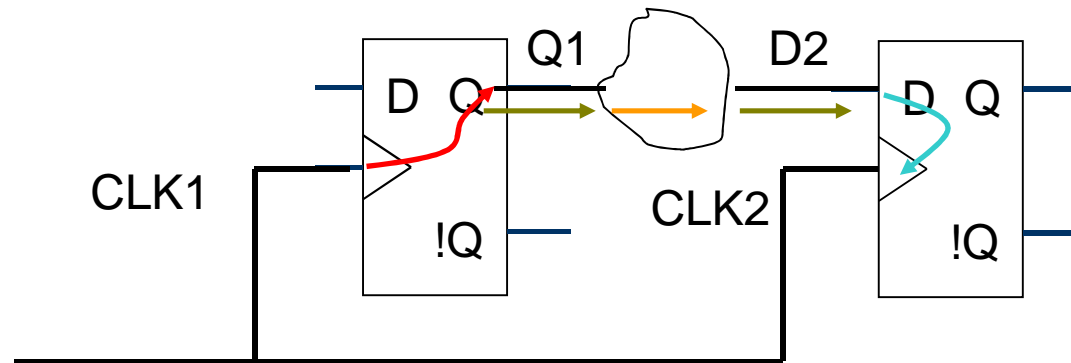
Arrival Time: $t_{arrival} = t_{PDCLKQ} + t_{PD-Logic} + t_{PD-Leitung}$

Required Time: $t_{data_required} = t_{period} - t_{SU-FF2}$

Für das Einhalten
der Set Up Zeit gilt:

$$t_{required} \geq t_{arrival}$$

Berechnungsbeispiel: Maximale Taktfrequenz



$$t_{\text{required}} \geq t_{\text{arrival}}$$

$$t_{\text{period}} - t_{\text{SU-FF2}} \geq t_{\text{PDCLKQ-FF1}} + t_{\text{PD-Logic}} + t_{\text{PD-Leitung}}$$

$$t_{\text{PDCLKQ-FF1}} = 5 \text{ ns}$$

$$t_{\text{period}} \geq t_{\text{PDCLKQ-FF1}} + t_{\text{PD-Logic}} + t_{\text{PD-Leitung}} + t_{\text{SU-FF2}}$$

$$t_{\text{PD-Logic}} = 10 \text{ ns}$$

$$t_{\text{PD-Leitung}} = 2 \text{ ns}$$

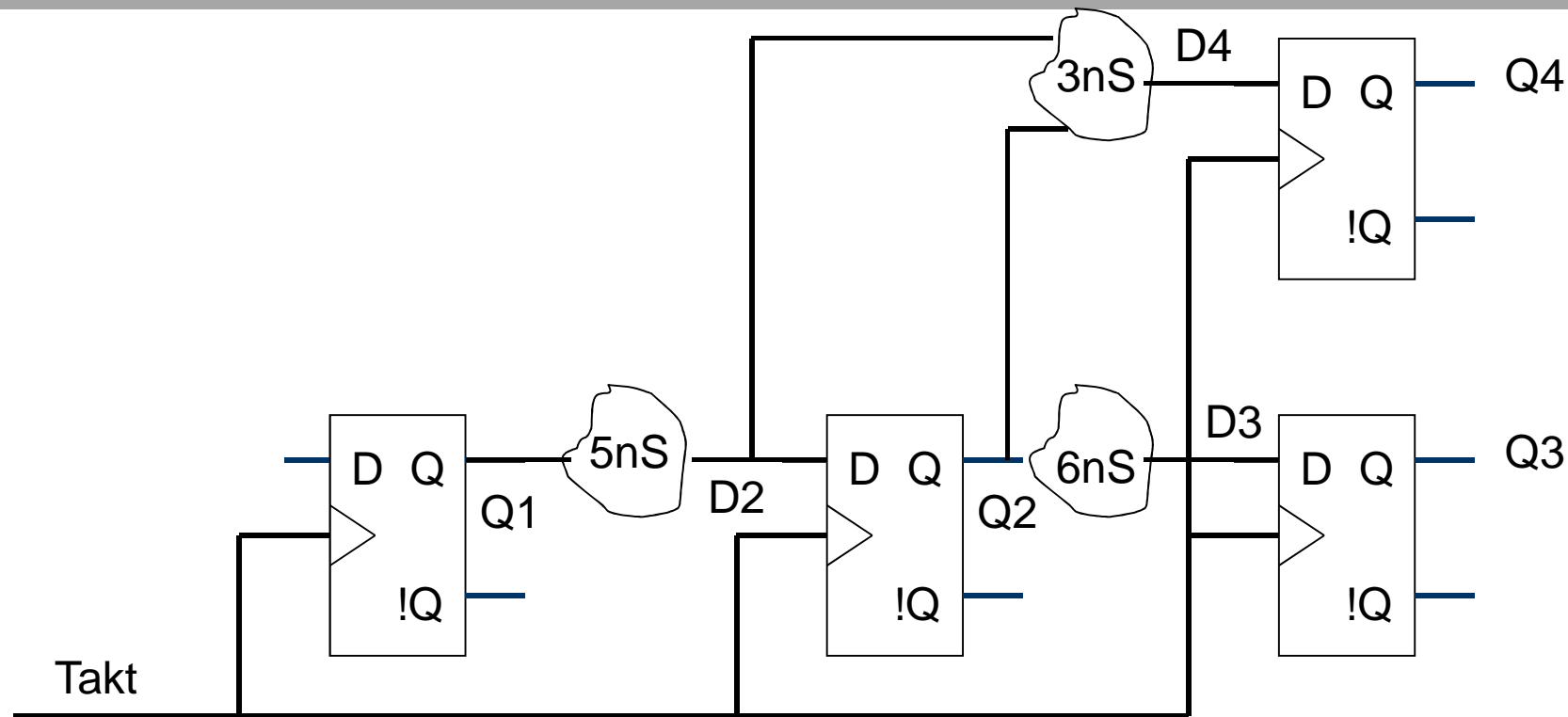
$$t_{\text{period}} \geq 5 \text{ ns} + 10 \text{ ns} + 2 \text{ ns} + 2 \text{ ns} = 19 \text{ ns}$$

$$t_{\text{SU-FF2}} = 2 \text{ ns}$$

$$f_{\text{max}} \leq \frac{1}{T_{\text{period}}}$$

$$f_{\text{max}} \leq 52.6 \text{ MHz}$$

Bestimmen des langsamsten Pfades



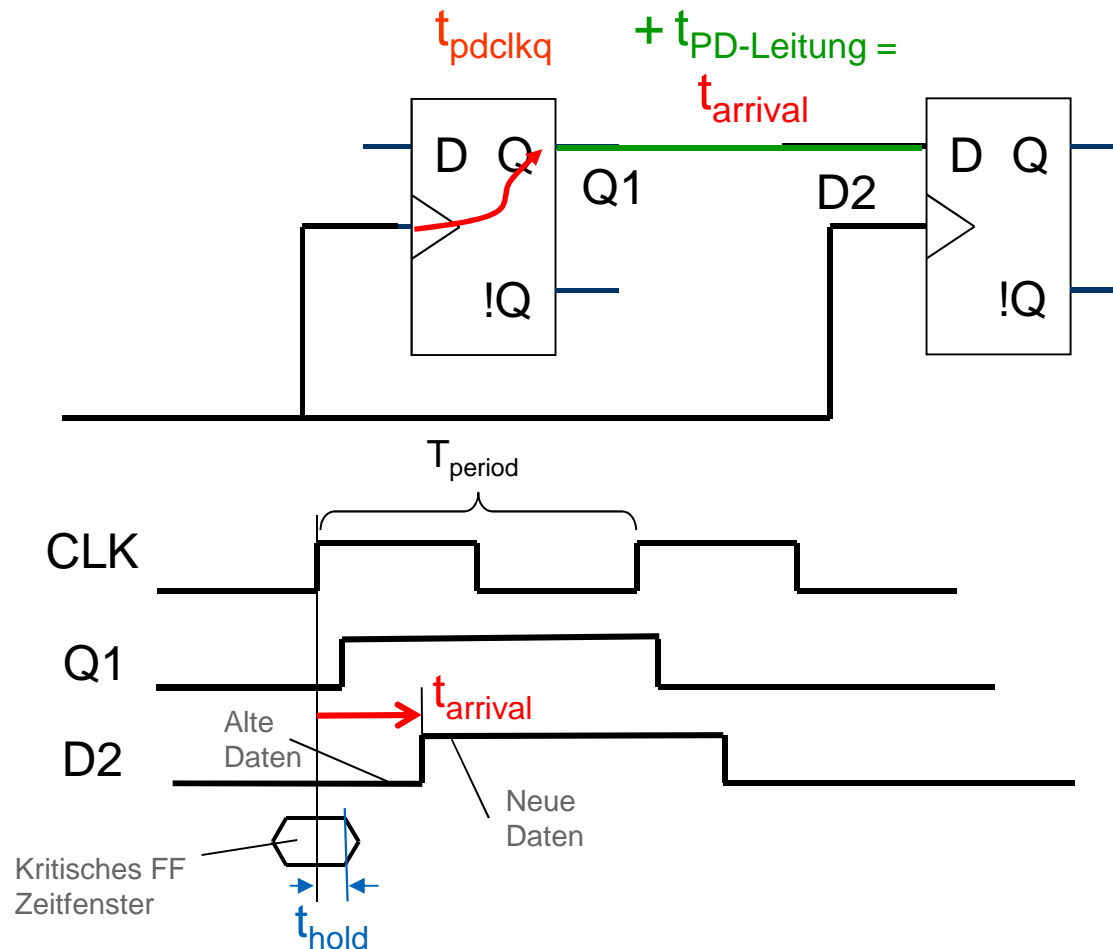
- Pfade beginnen bei Clock eines FF, führen durch kombinatorische Logik und enden beim Clock eines FF.
- Die maximale Taktfrequenz ist abhängig vom langsamsten Pfad

- Logik möglichst gering halten
(Vereinfachung, Wahl der einfachsten implementierung, DNF, KNF)
- Möglichst Bauteile mit kurzen Verzögerungszeiten einsetzen
- Kurze Verbindungsleitungen zwischen Baugruppen
- Clock Skew gering halten
- Logik zwischen den FF möglichst klein halten, dafür aber die Funktionalität auf mehrere FF Stufen aufteilen (Pipelining)

Setup Zeit: Zusammenfassung

- Die Setup Zeit ist ein Parameter eines getakteten Eingangs (z.B. D Eingang)
- Ist die Zeit, die ein Eingangssignal vor der Taktflanke in dem Zustand anstehen muss, den der Baustein nach der Taktflanke annehmen soll.
- In synchronen Systemen ist das Einhalten der Setup Zeit hauptsächlich von der Verzögerungszeit der vorgeschalteten Logik und FFs abhängig, sowie von der Taktrate
- Das Einhalten der Setup Zeiten ist abhängig von der Taktrate.
- Setup Zeit Anforderungen von diskreten FFs sind im allgemeinen hoch (3 – 12 ns)

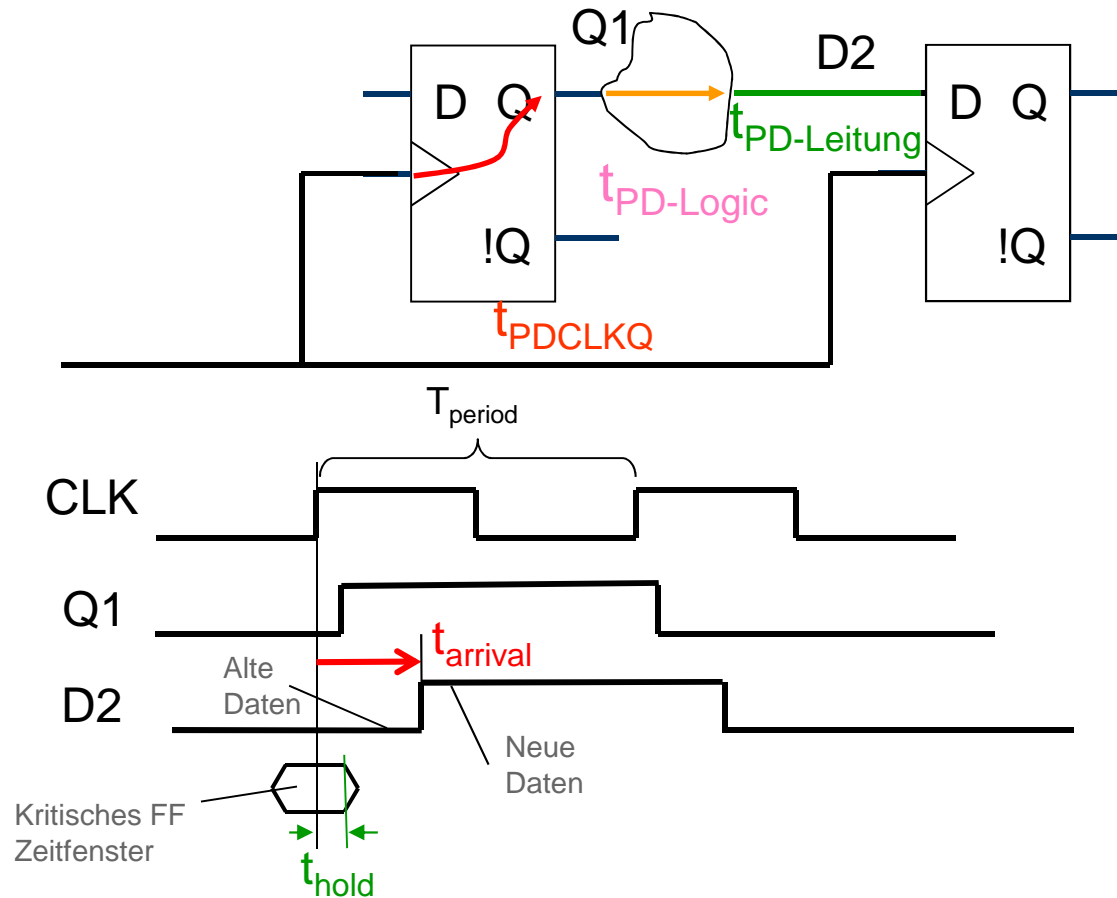
Arrival Time



Arrival Time: $t_{arrival} = t_{pdclkq} + t_{PD\text{-}Leitung}$

Für das Einhalten der Hold Zeit gilt: $T_{arrival} \geq t_{hold}$

Einhalten der Hold Zeit



Arrival Time: $t_{arrival} = t_{PDCLKQ} + t_{PD-Logic} + t_{PD-Leitung}$

Für das Einhalten der Hold Zeit gilt: $T_{arrival} \geq t_{hold}$

Hold Zeiten: Zusammenfassung

- Die Hold Zeit ist ein Parameter eines getakteten Eingangs (D Eingang)
- Ist die Zeit, die ein Eingangssignal nach der Taktflanke in dem Zustand anstehen muss, den der Baustein nach der Taktflanke annehmen soll.
- In synchronen Systemen ist die Hold Zeit hauptsächlich von der Verzögerungszeit der vorgeschalteten Logik und FFs abhängig.
- Das Einhalten der Hold Zeiten sind unabhängig von der Taktrate.
- Das Beachten der Clock Skew ist wichtig um Hold Zeiten einzuhalten
- Holdzeit Anforderungen von FFs sind im allgemeinen sehr gering (0-1nS)

Zeitparameter gebräuchlicher Flip Flops

	74F74	74ALS74	74HCT74
Setup Zeit D Eingang	3 nS	4.5 nS	12 ns
Hold Zeit D Eingang	1 nS	0 nS	3 ns
Propagation delay CLK zu Q	8 nS	15 nS	18 nS
Stromverbrauch	10.5 mA (Für IC mit 2 FFs)	2.4 mA (Für IC mit 2 FFs)	4 uA (Für IC mit 2 FFs)

Datenblattauszug des 74HCT74 FF

AC CHARACTERISTICS FOR 74HCT

GND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF

SYMBOL	PARAMETER	T _{amb} (°C)							UNIT	TEST CONDITIONS	
		74HCT								V _{CC} (V)	WAVEFORMS
		+25			−40 to +85		−40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t _{PHL} / t _{PLH}	propagation delay nCP to nQ, nQ̄		18	35		44		53	ns	4.5	Fig.6
t _{PHL} / t _{PLH}	propagation delay nSD̄ to nQ, nQ̄		23	40		50		60	ns	4.5	Fig.7
t _{PHL} / t _{PLH}	propagation delay nRD̄ to nQ, nQ̄		24	40		50		60	ns	4.5	Fig.7
t _{THL} / t _{TLH}	output transition time		7	15		19		22	ns	4.5	Fig.6
t _w	clock pulse width HIGH or LOW	18	9		23		27		ns	4.5	Fig.6
t _w	set or reset pulse width LOW	16	9		20		24		ns	4.5	Fig.7
t _{rem}	removal time set or reset	6	1		8		9		ns	4.5	Fig.7
t _{su}	set-up time nD to nCP	12	5		15		18		ns	4.5	Fig.6
t _h	hold time nCP to nD	3	−3		3		3		ns	4.5	Fig.6
f _{max}	maximum clock pulse frequency	27	54		22		18		MHz	4.5	Fig.6

Datenblattauszug des Altera Cyclone IV Devices

one example of timing values for FFs close to IO-ports

Source: Cyclone IV Device Handbook, volume-1, chapter-8

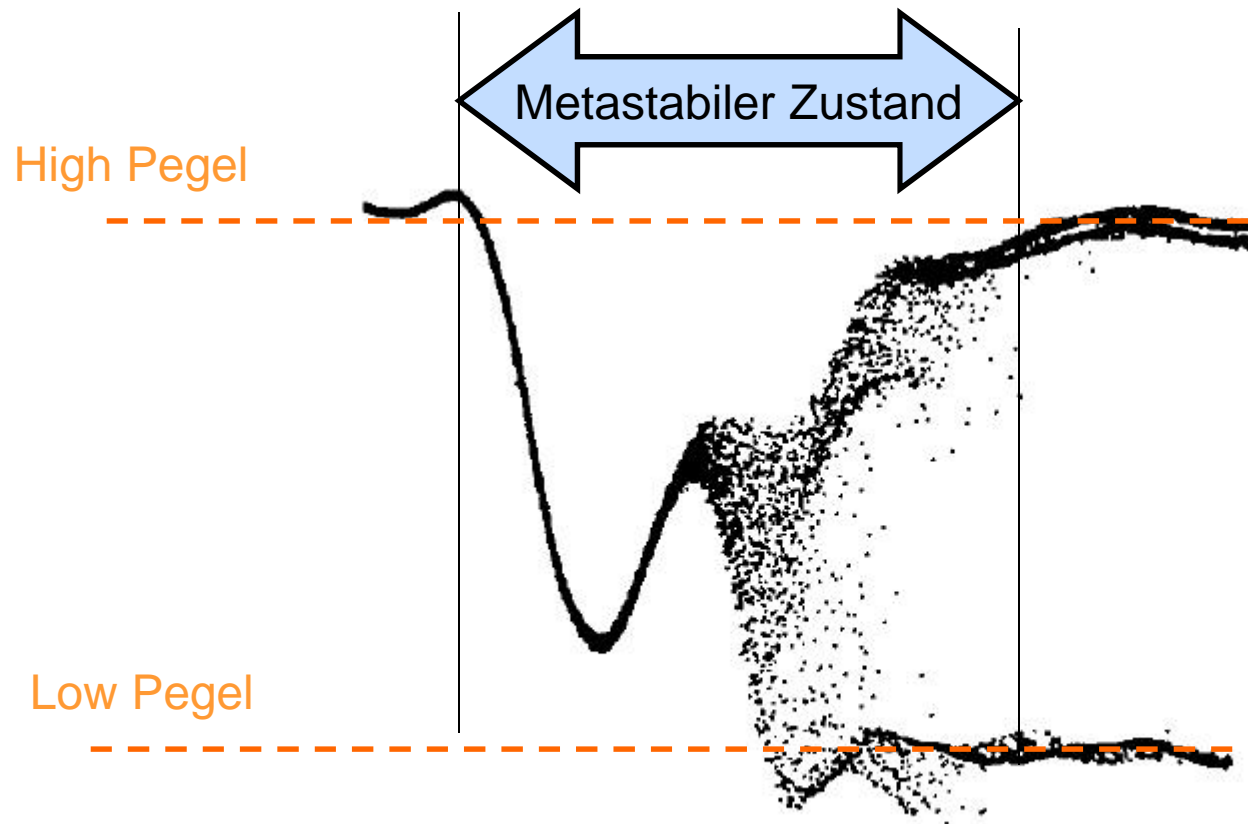
Table 8–8. AS Configuration Time for Cyclone IV Devices ⁽¹⁾

Symbol	Parameter	Cyclone IV E	Cyclone IV GX	Unit
t_{SU}	Setup time	10	8	ns
t_H	Hold time	0	0	ns
t_{CO}	Clock-to-output time	4	4	ns

Note to Table 8–8:

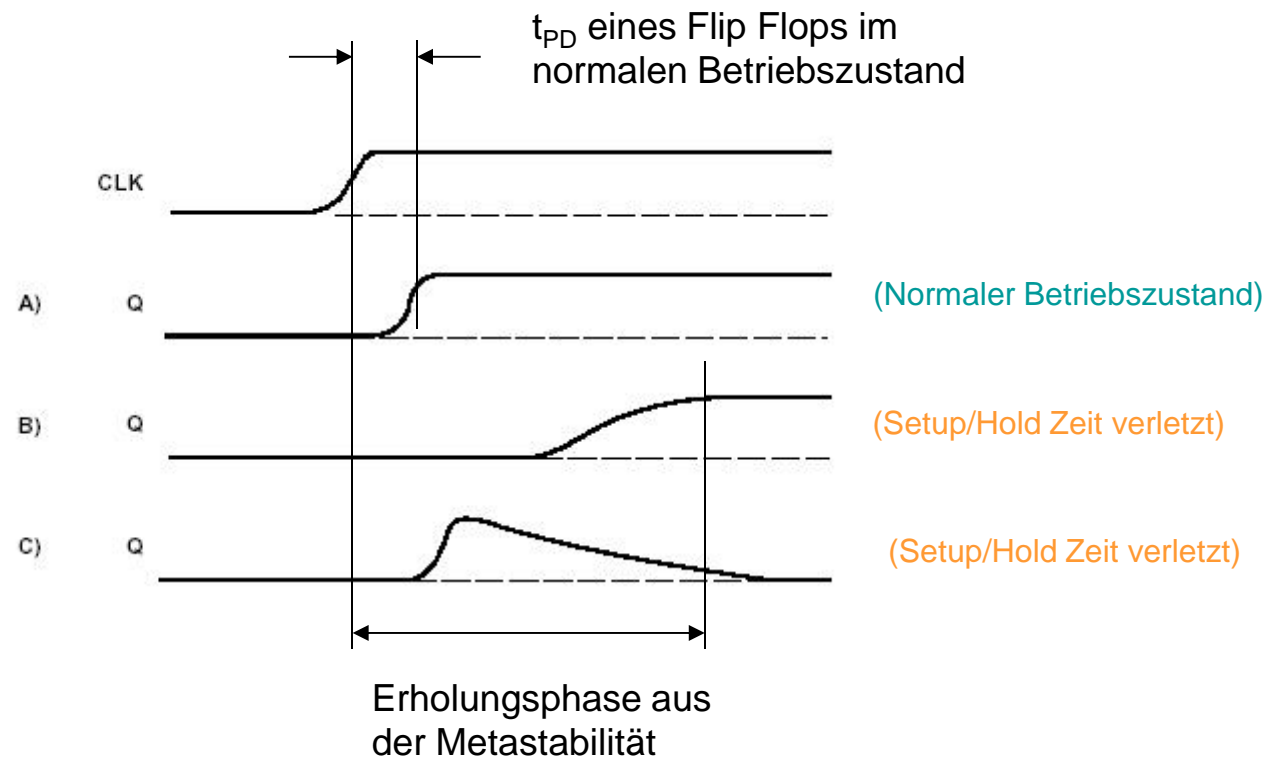
(1) For the AS configuration timing diagram, refer to the *Serial Configuration (EPCS) Devices Datasheet*.

Messung von Metastabilem Verhalten



Q Ausgang eines FF während Metastabilität
(Mehrere Taktzyklen mit einem Speicheroszilloscope aufgenommen)

Verhalten von Flip Flops wenn Setup & Hold Zeiten verletzt werden



**Je länger die Verzögerungszeit durch
das Flip-Flop desto kritischer das
Metastabile Verhalten**

In welchen Fällen kommt Metastabilität vor

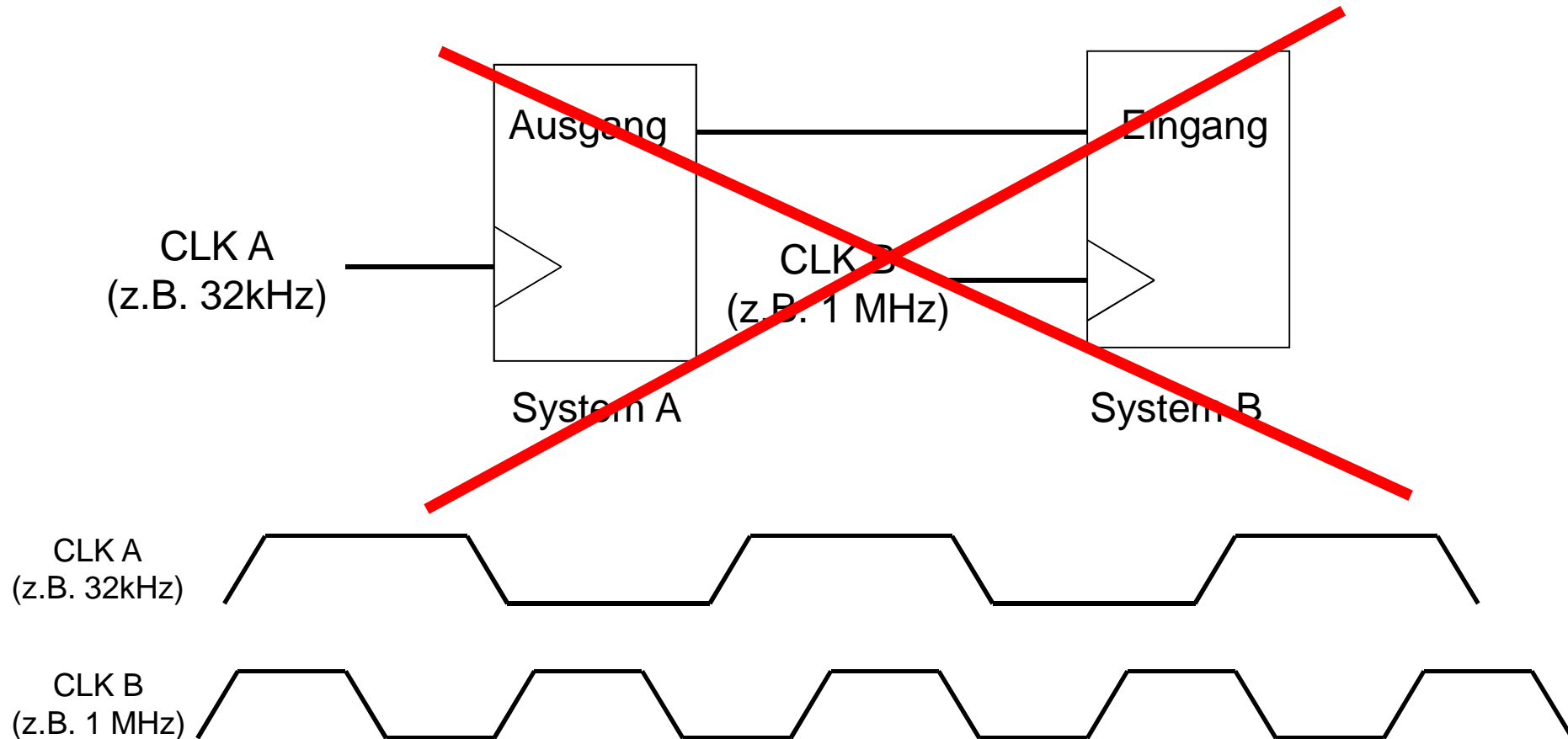
Tritt ein wenn die Setup oder Hold Zeiten verletzt werden

- Wenn die maximal mögliche Taktfrequenz überschritten wurde, oder wenn zu viel Clock Skew vorliegt.
- Wenn zwei synchrone Systeme mit unterschiedlicher Taktfrequenz gemeinsame Schnittstellen haben.
- Wenn das Eingangssignal von einer Asynchronen Quelle stammt (zum Beispiel Tastatur, mechanische- optische Sensoren)

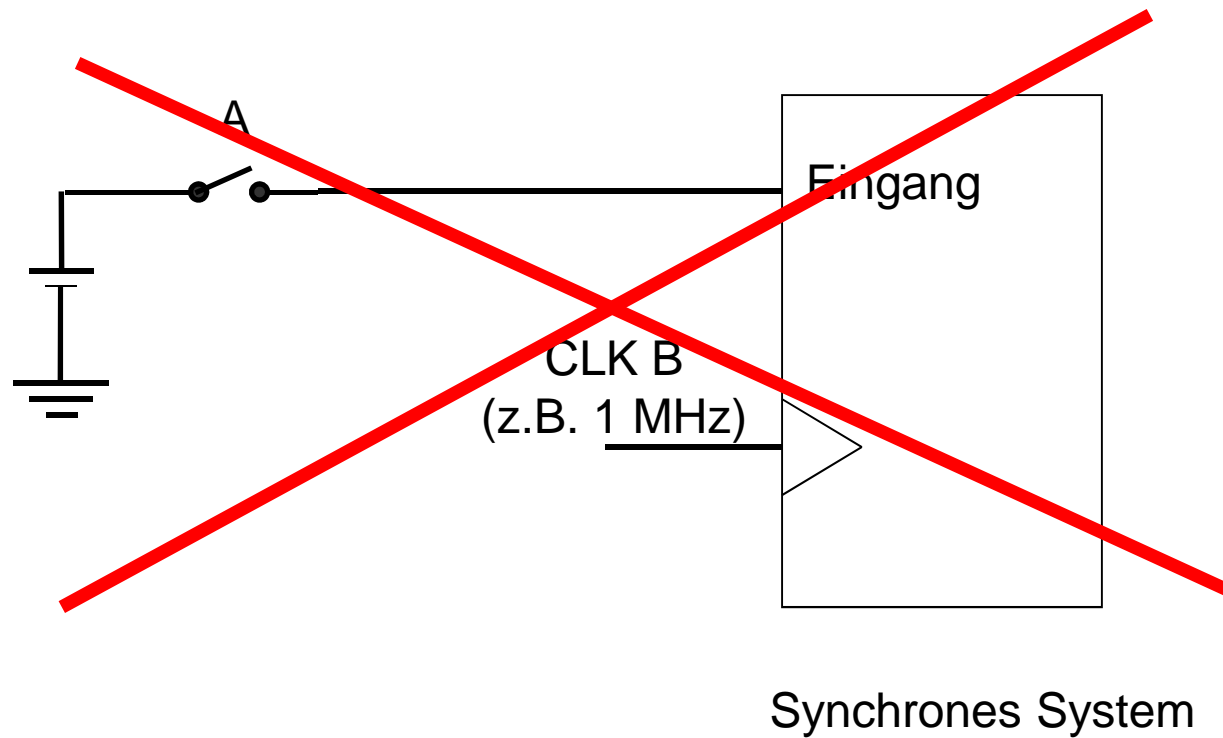
Wie kann man Metastabilität vermeiden

- Schaltungen so dimensionieren, dass Setup & Hold Zeiten eingehalten werden.
- Nur Synchrone Systeme konstruieren (wenige unterschiedliche Takte verwenden).
- Falls asynchrone Schnittstellen unvermeidbar sind, Synchronisierschaltungen einsetzen.

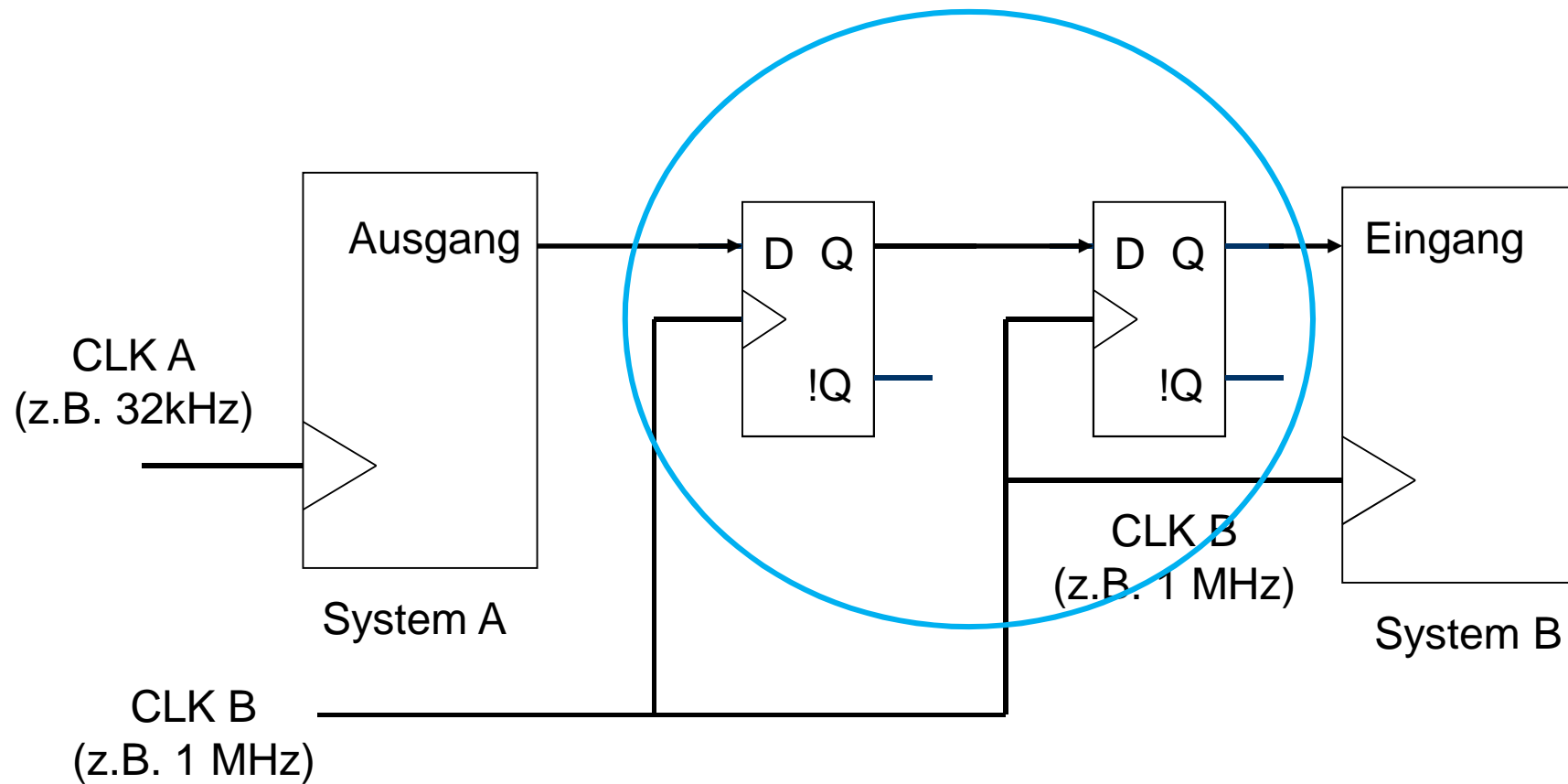
Systeme mit unterschiedlichen Taktsignalen (Achtung Gefahr)



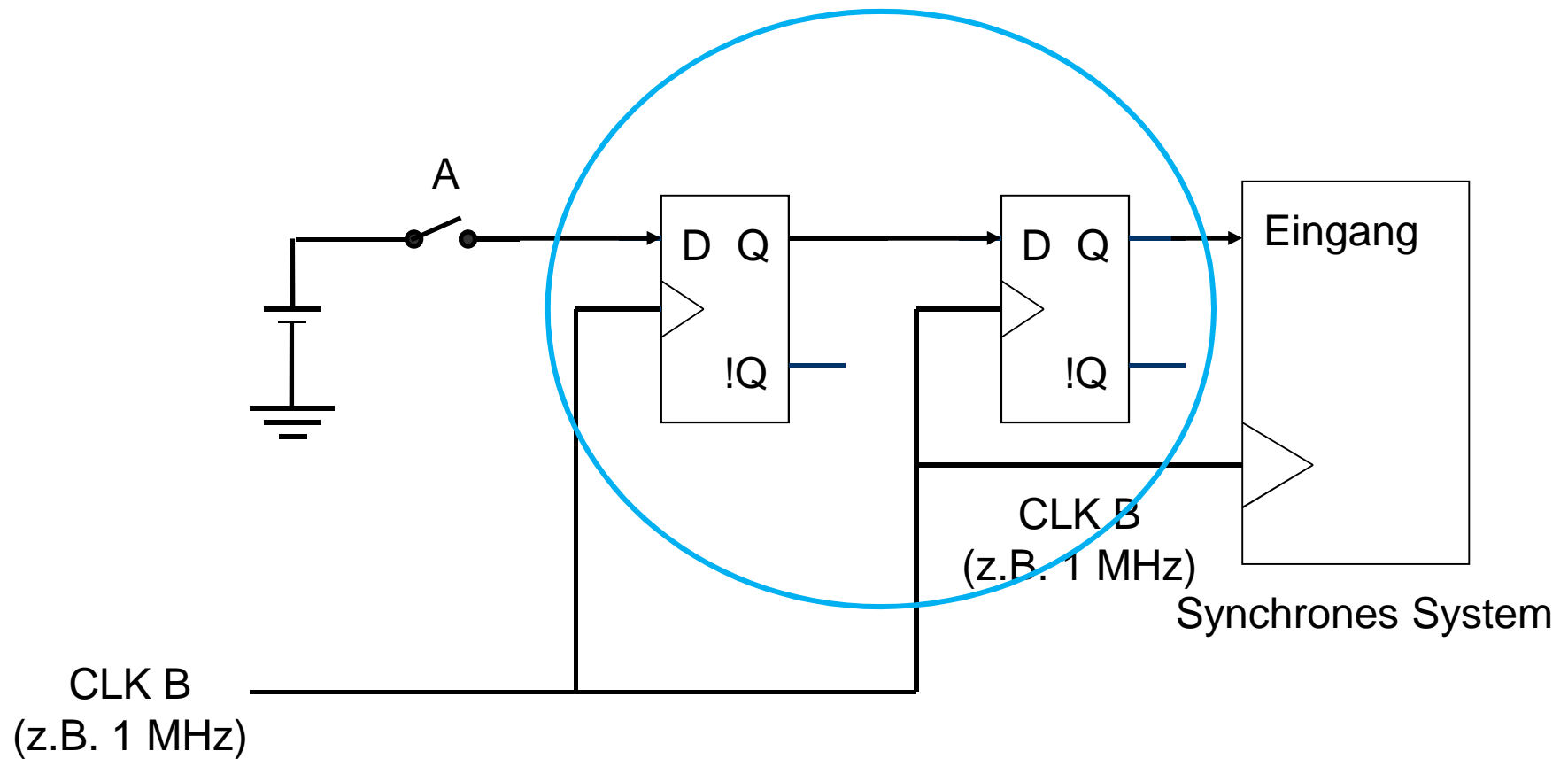
Asynchrone Signalquelle



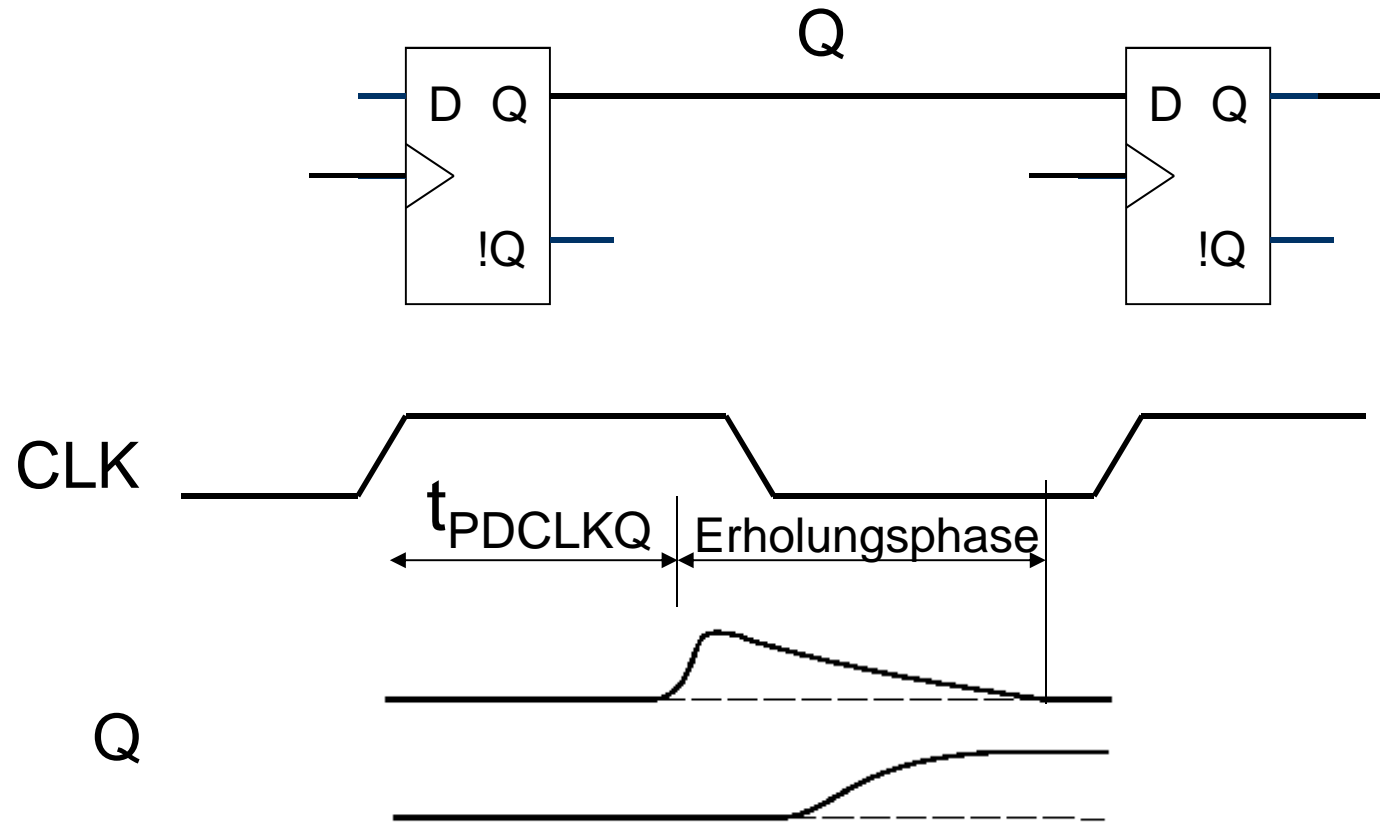
Synchronisierschaltung



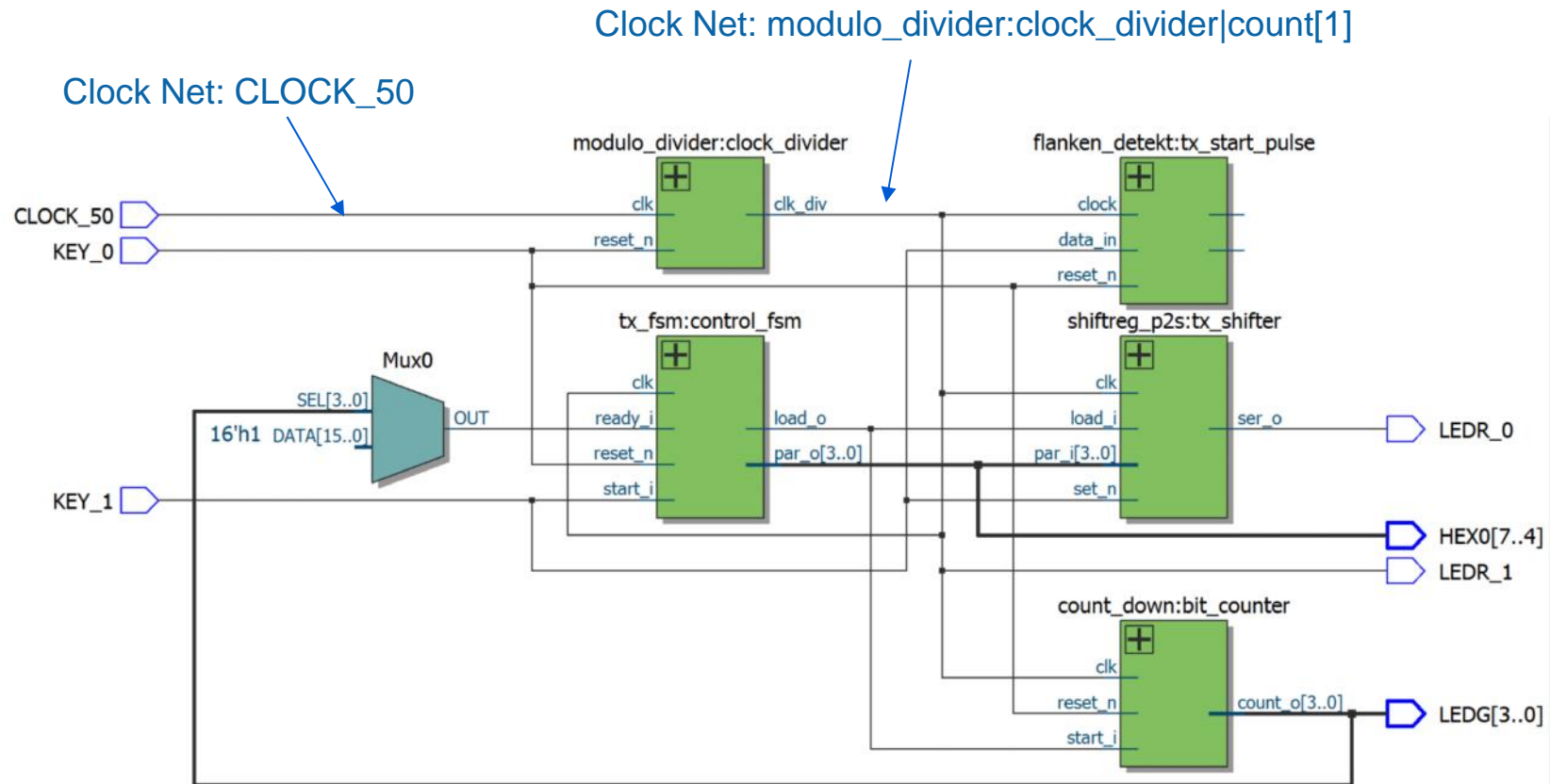
Synchronisierschaltung



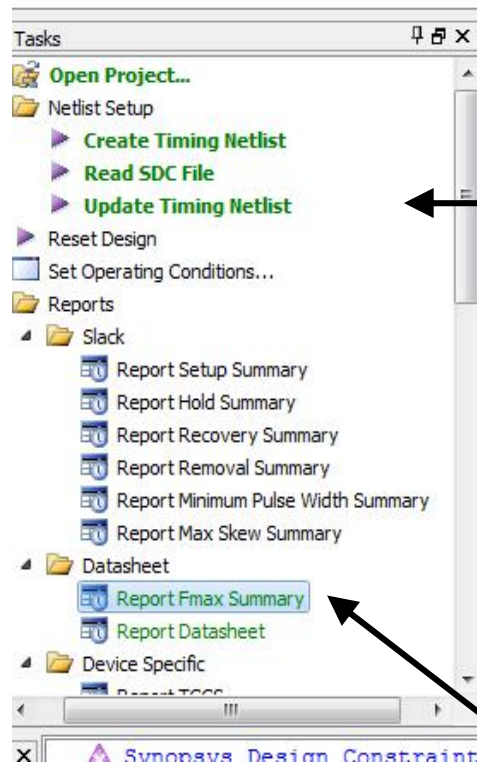
Funktion der Synchronisierschaltung



RTL View of Example Design



Bedienung des Timing Analysers



1. In Quartus: Tools → Timequest Timing Analyser
2. Update Timing Netlist
3. Report Fmax Summary
4. Report Datasheet

Slow 1200mV 85C Model Fmax Summary				
	Fmax	Restricted Fmax	Clock Name	Note
1	282.57 MHz	250.0 MHz	CLOCK_50	limit due to minimum period restriction (max I/O toggle rate)
2	364.83 MHz	364.83 MHz	modulo_divider:clock_divider count[1]	

Datasheet Report: Fmax Summary

The screenshot displays the TimeQuest Timing Analyzer interface. The main window is titled "TimeQuest Timing Analyzer - C:/DATA/ZHAW_15/Lehre/DTP2_15/Timing/synthesis/top_tx_serial - top_tx_serial". The interface includes a menu bar (File, View, Netlist, Constraints, Reports, Script, Tools, Window, Help), a search bar, and several panels.

Report Panel: Shows a tree view of reports. The "Fmax Summary" report is selected and highlighted.

Tasks Panel: Shows a tree view of tasks. The "Report Fmax Summary" task is selected and highlighted.

Fmax Summary Table:

	Fmax	Restricted Fmax	Clock Name	Note
1	282.57 MHz	250.0 MHz	CLOCK_50	limit due to minimum period restriction (max I/O toggle rate)
2	364.83 MHz	364.83 MHz	modulo_divider:clock_divider[count[1]	

Console Panel: Shows the following commands:

```
tcb update_timing_netlist
tcb report_clock_fmax_summary -panel_name "Fmax Summary"
tcb
```

Bottom Panel: Contains a descriptive text about the FMAX report:

This panel reports FMAX for every clock in the design, regardless of the user-specified clock periods. FMAX is only computed for paths where the source and destination registers or ports are driven by the same clock. Paths of different clocks, including generated clocks, are ignored. For paths between a clock and its inversion, FMAX is computed as if the rising and falling edges are scaled along with FMAX, such that the duty cycle (in terms of a percentage) is maintained. Altera recommends that you always use clock constraints and other slack reports for sign-off analysis.

Datasheet Report: Clock to Output



School of
Engineering

top_bc_serial

Assignment Editor

Compilation Report - top_bc_serial

Table of Contents

- Analysis & Synthesis
- Fitter
 - Flow Messages
 - Flow Suppressed Messages
- Assembler
- TimeQuest Timing Analyzer
- TimeQuest Timing Analyzer GUI
 - TimeQuest Timing Analyzer Summary
 - SDC File List
 - Clocks Summary
 - Datasheet Report
 - Setup Times
 - Hold Times
 - Clock to Output Times**
 - Minimum Clock to Output Times

Clock to Output Times

	Data Port	Clock Port	Rise	Fall	Clock Edge	Clock Reference
1	HEX0[*]	modulo_divider:clock_divider count[1]	12.114	11.879	Rise	modulo_divider:clock_divider count[1]
1	HEX0[4]	modulo_divider:clock_divider count[1]	12.114	11.879	Rise	modulo_divider:clock_divider count[1]
2	HEX0[5]	modulo_divider:clock_divider count[1]	11.396	11.372	Rise	modulo_divider:clock_divider count[1]
3	HEX0[6]	modulo_divider:clock_divider count[1]	9.865	9.920	Rise	modulo_divider:clock_divider count[1]
4	HEX0[7]	modulo_divider:clock_divider count[1]	9.256	9.213	Rise	modulo_divider:clock_divider count[1]
2	LEDG[*]	modulo_divider:clock_divider count[1]	8.648	8.573	Rise	modulo_divider:clock_divider count[1]
1	LEDG[0]	modulo_divider:clock_divider count[1]	8.541	8.436	Rise	modulo_divider:clock_divider count[1]
2	LEDG[1]	modulo_divider:clock_divider count[1]	8.598	8.516	Rise	modulo_divider:clock_divider count[1]
3	LEDG[2]	modulo_divider:clock_divider count[1]	8.648	8.573	Rise	modulo_divider:clock_divider count[1]
4	LEDG[3]	modulo_divider:clock_divider count[1]	8.566	8.478	Rise	modulo_divider:clock_divider count[1]
3	LEDR_0	modulo_divider:clock_divider count[1]	9.240	9.281	Rise	modulo_divider:clock_divider count[1]
4	LEDR_1	modulo_divider:clock_divider count[1]	3.437		Rise	modulo_divider:clock_divider count[1]
5	LEDR_1	modulo_divider:clock_divider count[1]		3.402	Fall	modulo_divider:clock_divider count[1]

Datasheet Report: Setup and Hold Times

Assignment Editor

Compilation Report - top_tx_serial

Table of Contents

- Slow 1200mV 85C Model
 - Fmax Summary
 - Timing Closure Recommendations
 - Setup Summary
 - Hold Summary
 - Recovery Summary
 - Removal Summary
 - Minimum Pulse Width Summary
 - Worst-Case Timing Paths
 - Datasheet Report
 - Setup Times**
 - Hold Times
 - Clock to Output Times
 - Minimum Clock to Output Times
 - Metastability Report
 - Slow 1200mV 0C Model

Setup Times

	Data Port	Clock Port	Rise	Fall	Clock Edge	Clock Reference
1	KEY_1	modulo_divider:clock_divider count[1]	1.470	1.873	Rise	modulo_divider:clock_divider count[1]

Assignment Editor

Compilation Report - top_tx_serial

Table of Contents

- Slow 1200mV 85C Model
 - Fmax Summary
 - Timing Closure Recommendations
 - Setup Summary
 - Hold Summary
 - Recovery Summary
 - Removal Summary
 - Minimum Pulse Width Summary
 - Worst-Case Timing Paths
 - Datasheet Report
 - Setup Times
 - Hold Times**
 - Clock to Output Times
 - Minimum Clock to Output Times
 - Metastability Report
 - Slow 1200mV 0C Model

Hold Times

	Data Port	Clock Port	Rise	Fall	Clock Edge	Clock Reference
1	KEY_1	modulo_divider:clock_divider count[1]	-0.367	-0.738	Rise	modulo_divider:clock_divider count[1]

Setzen von Constraints(1)

The screenshot displays the TimeQuest Timing Analyzer interface. The main window shows the 'Clocks Summary' report with the following data:

	Clock Name	Type	Period	Frequency	Rise	Fall	Duty Cycle	Divide by	Multiply by	Phase	Offset	Edge
1	CLOCK_50	Base	20.000	50.0 MHz	0.000	10.000						
2	module_divider:clock_divider[count[1]	Base	20.000	50.0								

A context menu is open over the '50.0' frequency value in the second row, showing options: Copy, Select All, Undo Sort, Edit Clock Constraint..., Create Setup Slack Histogram, Report Timing..., and Remove Clock... The 'Edit Clock Constraint...' option is highlighted.

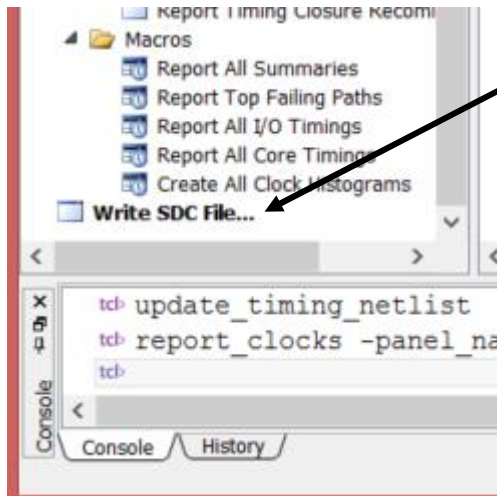
Annotations with arrows point to specific elements:

- 'Clock Netze Im Design' points to the 'CLOCK_50' entry in the table.
- 'Vorgaben für Clocks ändern' points to the 'Edit Clock Constraint...' menu option.
- 'Listet alle Clock Netze' points to the 'Report Clocks' option in the left-hand 'Tasks' pane.

The bottom console shows the following commands:

```
tcl> update_timing_netlist
tcl> report_clocks -panel_name "Clocks Summary"
tcl>
```


Setzen von Constraints(2)



Vorher editierte SDC erstellen
(top_tx_serial.out.sdc)

SDC Datei zusammen mit
VHDL Dateien ins Design einfügen

