

PA15_gelk_1 Polyphonic DDS Synthesizer mit MIDI Steuerung

ZÜRCHER HOCHSCHULE FÜR ANGEWANDTE
WISSENSCHAFTEN

INSTITUTE OF EMBEDDED SYSTEMS

Autorin	Katrin Bächli
Hauptbetreuer	Prof. Hans-Joachim Gelke
Nebenbetreuer	Dr. Matthias Rosenthal
Datum	18. Dezember 2015

Kontakt Adresse

c/o Inst. of Embedded Systems (InES)
Zürcher Hochschule für Angewandte Wissenschaften
Technikumstrasse 22
CH-8401 Winterthur

Tel.: +41 (0)58 934 75 25

Fax.: +41 (0)58 935 75 25

E-Mail: katrin.baechli@zhaw.ch

Homepage: <http://www.ines.zhaw.ch>

Zusammenfassung

Die hardwarenahe Programmiersprache VHDL ist ein wichtiger Bestandteil der digitale Signalverarbeitung. Die Projektarbeit setzt zwei unabhängige Aufgaben in VHDL um.

- Bilden zweier hardwarenahen Fehlerquellen: *Glitches* und *Metastability*
- Implementation eines *MIDI Interfaces*, dessen Entwicklung auf einer *textbasierten Test Bench* basiert.

Glitches werden künstlich Herbeigeführt in dem auf einem Cylcone II-FPGA die Pfade einzelner Signale verlängert sind. Dadurch treffen Werte verzögert ein und der asynchrone *Decoder* verarbeitet falsche Werte. Falsche Signale gelangen auf die Leitung und sogenannte *Glitches* entstehen.

Der metastabilen Zustand in einem System entsteht, durch das Verletzen der Setup und Hold Time. Forciert ist dies durch zwei unterschiedliche Takte zweier VHDL-Logik-Blöcke, deren Takt-Phasen nicht übereinstimmen. Das Ausgangssignal des ersten Logik-Blocks ist als asynchroner Impuls auf den zweiten Logik-Block geführt, der eine *Finite State Machine* enthält. Dekodiert die fSM keinen definierten Zustand, befindet sich das System in einen undefinierten Zustand. Metastabilität trifft ein.

Der zweiten Teil der Projektarbeit beinhaltet ein *MIDI Interface*, das Polyphonie detektiert. Die textbasierte *Test Bench* begleitet die Entwicklung des *MIDI Controller*. Das *MIDI Interface* detektiert die *Status Bytes* NOTE ON, NOTE OFF und POLYPHONY und die VHDL-Einheit *Polyphony Out* gibt 10 gedrückte Noten parallel aus.

Abstract

An important field in digital signal processing is the hardware-related programming language VHDL. In this thesis, two independent tasks have been drawn up and implemented using VHDL.

On one hand was the inducing of hardware-related glitches and metastability, and on the other hand the implementation of a MIDI-interface, whose development is built on a text-based test bench.

By extending the paths of individual signals on a Cyclone II-FPGA it is possible to generate artificial glitches. Hence, some signals arrive delayed at the asynchronous decoder. Invalid information is processed and put on the signal lines, which occurs in so-called glitches.

Metastable states are caused by clocking two VHDL logic blocks with two independent clocks, where no clock is a multiple of the other one. The output signal of the first block is connected as a asynchronous input of the second block. Since the two blocks work in a different clock domain, the finite state machine can fall in an undefined state, in other words the finite state machine is in a metastable state.

The second part of this thesis is focused on the development of a midi interface, which is able to detect polyphony. The text-based test bench is used for test driven development of the midi controller. The midi interface detects and handles the status bytes NOTE ON, NOTE OFF and POLYPHONE. The VHDL entity polyphony out is able to process up to 10 pressed keys in parallel.

Vorwort

Meine Motivation ist das vertiefte Kennenlernen der Sprache VHDL. Diese hardwarenahe Sprache beinhaltet mit der kombinatorischen Logik und der auch nicht-sequentiellen Prozessverarbeitung Eigenheiten, mit denen ich vertraut werden will.

Der erste Teil der Projektarbeit, das Provozieren von Signalfehlern, lässt mich in die asynchrone Signalverarbeitung einblicken und wird meinen VHDL-Coderstil nachhaltig prägen. Im zweiten Teil, dem Entwickeln eines *MIDI Interfaces* lerne ich ein Protokoll zu durchleuchten. Besonders interessant ist die textbasierte *Test Bench*, welche die Implementation auf Herz und Nieren testet.

Ich möchte Prof. Hans-Joachim Gelke Dank aussprechen. Er lehrt mich viel über kombinatorische Logik. Ebenfalls möchte ich Dr. Matthias Rosenthal danken, der die Arbeit und den Entwicklungsprozess mitträgt.

Aus meiner Sicht ist diese Arbeit vor allem für Software Ingenieure interessant, da sie einen Einblick in die hardwarenahe Programmierung gibt.

Ich freue mich auf kommende VHDL-Projekte.

Inhaltsverzeichnis

1. Einleitung	6
1.1. Ausgangslage	6
1.2. Aufgabenstellung	6
2. Glitch	7
2.1. Glitch in der Digitalen Signalverarbeitung	7
2.2. Ursache für Glitches	7
2.3. Glitch erzeugen	8
2.3.1. Konzept	8
2.3.2. Implementation	8
2.4. Resultat	10
3. Metastabilität	11
3.1. Metastabiler Zustand	11
3.2. Ursache von Metastabilität	11
3.3. Metastabilität erzeugen	12
3.3.1. Konzept	12
3.3.2. Implementation	12
3.4. Resultat	14
4. MIDI-Steuerung	17
4.1. Das MIDI-Kommunikationsprotokoll	17
4.1.1. MIDI-Daten-Typen	17
4.1.2. Zwei MIDI-Noten-Modi	19
4.2. MIDI-Steuerung: Blockschaltbild und Schnittstellen	19
4.3. Midi Control-Block	21
4.3.1. Konzept mit Finite State Machine	21
4.3.2. Implementation der Finite State Machine	21
4.4. Resultat	23
4.4.1. Implementierte Finite State Machine	23
4.4.2. Simulation Single Mode	23
4.4.3. Simulation Polyphony Mode	24
4.5. Polyphony Out-Block	25
4.5.1. Funktionsbeschreibung	25
4.5.2. Konzept	25
4.5.3. Implementation	26
4.6. Resultat	26
4.6.1. Simulation parallel Noten ausgeben	26
5. Test Bench	29
5.1. Device Under Test	29
5.2. Struktur der Input-Datei	29
5.3. Aufstellen der Fehler	30
5.3.1. Einzelne Noten testen	30
5.3.2. Polyphonie testen	31
5.4. Code Test Bench	31
5.4.1. Package	31
5.4.2. Prozess-Optimierung	32
5.5. Ergebnisse Simulation	32
5.5.1. Block Midi Control	32
5.5.2. Block Polyphony Out	33

6. Diskussion und Ausblick	34
6.1. Einbauen in das bestehende Synthesizer-Projekt	34
6.2. Frequenzmodulation mit vielfältiger Klangfarbe	34
6.3. Refactoring Synthesizer-Projekt	34
7. Verzeichnis	36
7.1. Glossar	37
A. Offizielle Aufgabenstellung	I
B. Aufgabenspezifikation für den zweiten Teil	II
C. CD mit Projektdateien	III
D. In- und Output-Datei textbasierte Test Bench	IV
E. Blockschaltbild Top-Level Synthesizer-Projekt	VII

1. Einleitung

1.1. Ausgangslage

Für den ersten Teil der Arbeit, die Timing Artefakte *Glitch* und *Metastability* zu demonstrieren, gibt es wenige Referenzprojekte. Da die Zustände ungewollt sind, finden sie als Fehlerquellen Erwähnung in der Literatur (Camara, 2010), (Fletcher, 1980a), (Fletcher, 1980b). Nur ein Dokument wurde gefunden, das die Erzeugung von *Metastability* behandelt (Mandarapu, 2012). Aus diesem Grund bezieht sich der Nachweis der Timing Artefakte auf Anregungen und auf die Erfahrung von Prof. Hans-Joachim Gelke.

Im zweiten Teil geht es um den Aufbau eines *MIDI Interfaces*. MIDI bedeutet *Musical Instrument Digital Interface* und ist ein Standard, der die Beschaffenheit der Hardware wie auch das Kommunikationsprotokoll festlegt (Braut, 1993). Die MIDI Manufacturers Association dokumentiert die mehrfachen Erweiterungen des MIDI 1.0 Standard (Association, 1995). Diese Spezifikationen bildet die Grundlage für den Block *MIDI Control*. Am Institut for Embedded Systems besteht ein *MIDI UART Top-Block* in VHDL von Armin Weiss. In dieser Projektarbeit zu entwickeln sind die zwei Einheiten *MIDI Control* und *Polyphony Out*. Und anschliessend diese Blocks in das bestehende Synthesizer-Projekt einzubauen. Bei beiden Blocks basiert die Entwicklung auf einer textbasierten Test Bench.

1.2. Aufgabenstellung

Die offizielle Aufgabenstellung befindet sich im Anhang A.

- Erzeugung von Glitches mit einem Zähler und nachgeschaltetem Dekoder. Sichtbarmachung der Glitches mit einem Oszilloskop. Betätigen des asynchronen Resets vom Decoder aus.
- Provozieren und sichtbarmachung von metastabilen Zuständen. Hierfür kann z.B. eine Schaltung mit zwei asynchronen externen Takten aufgebaut werden.

Nach Fertigstellen des ersten Teils, wird die Aufgabenstellung für den zweiten Teil präzisiert (siehe Anhang B).

- Midi Interface for Keyboard für Polyphonie nach Konzept von Gelk
 - 10 Frequenz Control Ausgänge zur Steuerung der Tonhöhe des Generators
 - 10 On/Off Ausgänge Ton On/Off
 - UART wird geliefert von Gelk
 - VHDL wird von Grund auf neu erstellt.
- 10 DDS implementieren und mit Mischer mischen
- Script basierte Test Bench. Test Bench erzeugt serielle Midi Daten, so wie sie auf dem DIN Stecker vorkommen (logisch)
- Test Bench liest eine Testscript Datei ein, in welcher die Tastendrucke eines Keyboards abgebildet werden können.
- Midi Poliphony Spec muss durch die Test Bench unterstützt werden können.
- Velocity muss nicht unterstützt werden.
- Kein VHDL code ohne Test Bench.
- Block level Test Bench. Unit Tests.

2. Glitch

2.1. Glitch in der Digitalen Signalverarbeitung

In der Digitalen Signalverarbeitung ist ein *glitch* ein bekanntes, ungewolltes Verhalten, das William I. Fletscher folgendermassen beschreibt:

“Als *Glitch* wird eine ungewollte, flüchtige “Signalspitze” bezeichnet, die Zähler aufwärts zählt, Register löscht oder einen ungewollten Prozess startet.” (Fletcher, 1980a)

Abbildung 2.1 zeigt zwei Glitches in einem Ausgangssignal.

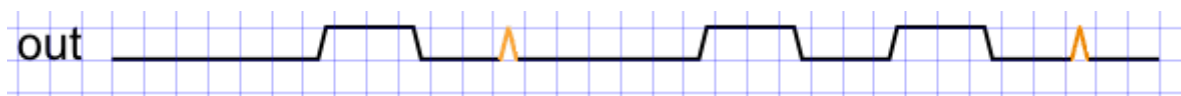


Abbildung 2.1.: Zwei Glitches im Ausgangssignal

2.2. Ursache für Glitches

Der Auslöser sind ungleichzeitig eintreffende Signale, die durch

1. unterschiedlich lange Signalpfade,
2. unterschiedliche Durchlaufverzögerungen der vorangehenden Flip-Flops oder
3. unterschiedliche Logik-Zeiten

entstehen, und die in ein asynchrones Bauteil geführt werden. Der Dekoder im asynchronen Bauteil entschlüsselt dadurch kurzfristig einen falschen Wert.

Abbildung 2.2 zeigt ein leicht verzögertes enable-Signal (ena) zu einem anders verzögerten Flip-Flop-Eingangssignal (Q). Beide Signale sind mit der Taktfrequenz clk getaktet. Der Ausgang (out) des Flip-Flops weist aufgrund der unterschiedlichen Verzögerungen kurzzeitig Glitches auf.

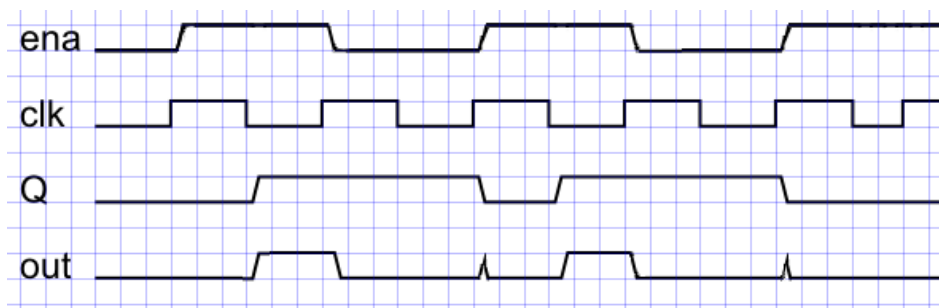


Abbildung 2.2.: Asynchrone Eingangssignale führen zu Glitches

2.3. Glitch erzeugen

2.3.1. Konzept

Glitches werden durch Pfadverlängerung einzelner Werte erzeugt. Ein asynchroner Zähler erhält verzögerte Bitwerte. Zählt man binär auf 15, so kann sich beim Übergang von der Zahl 11 zu 12, die falsche Zahl 15, ergeben, sofern die zwei höheren Bits der Zahl 11 verzögert ankommen (siehe Abbildung 2.3).

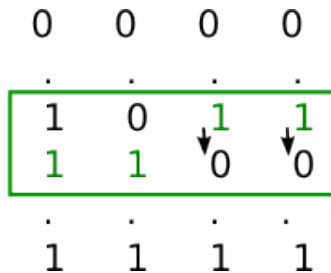


Abbildung 2.3.: Binärwerte des asynchronen Zählers

Die Verzögerung der zwei Bits, wird über Routing umgesetzt.

2.3.2. Implementation

Die Hardware ist das Altera Board De2 mit dem FPGA Cyclone II. Kompiliert wird das Projekt mit Quartus 13.0sp, der ältesten Quartus-Version, die den Cyclone II unterstützt.

Die *Pfadverlängerung* wird über das Routing über die GPIO-Pins des Steckers 1 gemacht (siehe Abbildung 2.6. GPIO 1 ist der Stecker 1). Dekodiert die asynchrone Logik die Zahl 15, wird das Reset-Signal (aus der Logik `reset_counter~2`) an den Zähler gesendet und der Zähler beginnt wieder von 0 an zu zählen. Produziert der Dekoder zur falschen Zeit einen Reset, so ist dies eine Fehlkodierung: ein Glitch.

Das RTL-Diagramm des asynchronen Zählers sieht wie folgt aus:

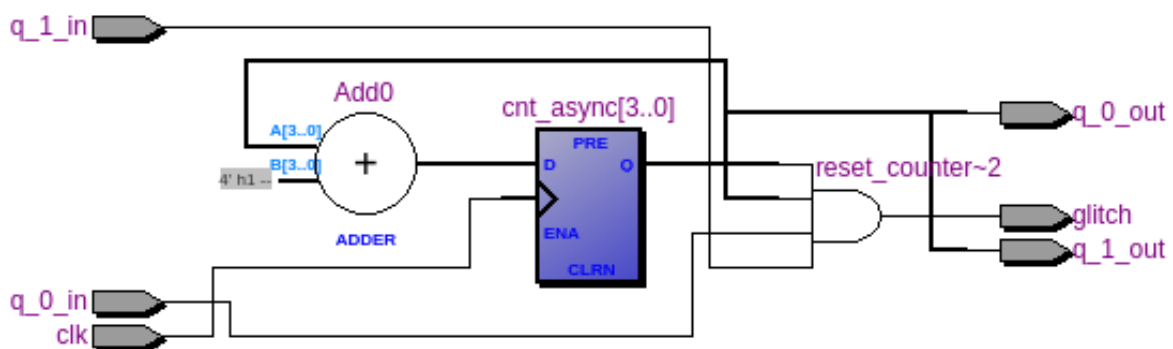


Abbildung 2.4.: Asynchroner Zähler mit Routing erzeugt Glitch

Um die Lösung gegen Glitches aufzuzeigen, wird dem asynchronen Zähler zur Synchronisation ein Flip-Flop nachgeschaltet. Dadurch werden die asynchronen Zustände übersehen.

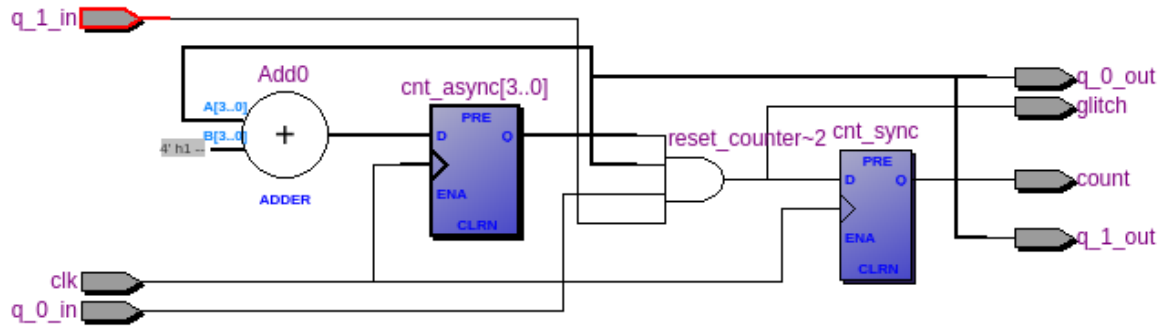


Abbildung 2.5.: Glitch-Zähler und synchroner Zähler dazu

Die Reset-Signale aus der Vergleichslogik (`reset_counter~2`) des asynchronen Zählers wie die des synchronisierten Zählers werden an die GPIO Steckers ausgegeben, ebenso der Systemtakt. In der Abbildung 2.6) wird das Signal des asynchronen Zählers als Glitch und das Signal des synchronisierten Zählers als Count benannt. In der GPIO-Pinbelegung sieht man auch die Nutzung der zwei oberen Pin-Reihen für das Routing (benannt mit Routing OUT, IN). Der Systemtakt wird als CLK ausgegeben.

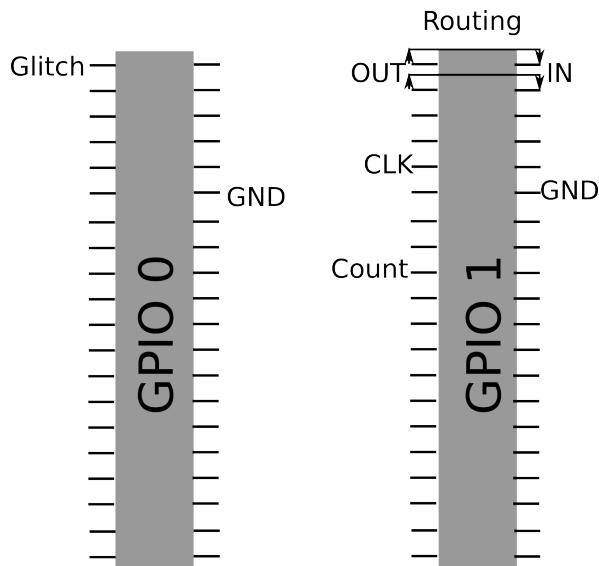


Abbildung 2.6.: GPIO Anschlüsse

2.4. Resultat

Der Reset des asynchronen Zählers (CH 1), der synchronisierte Reset (CH 2) und der Systemtakt (CH 3) werden am KO ausgegeben. Durch die Synchronisation wird der Wert um 1 Periode (= 20 ns) verzögert.

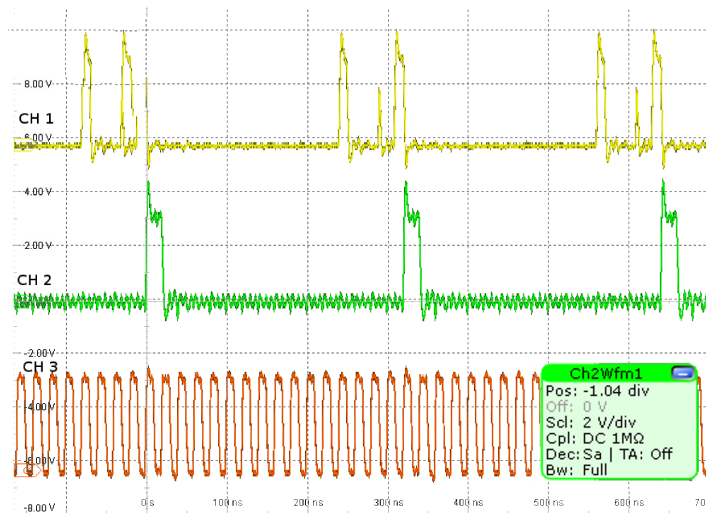


Abbildung 2.7.: Glitch (gelb), Zähler (grün) und Takt (orange)

Das Glitch trifft in der im Übergang von der 11 zur 12 Periode (nach 240 ns) regelmässig auf. Dies ist das zu erwartende Ergebnis. Ein kurzzeitiges asynchrones Verhalten findet sich auch im Übergang von der 13 zur 14 Periode. Dies ist wenn der binäre Wert 1101 auf 1110 wechselt. Da die zwei niederwertigen Bits verzögert sind, ist das Dekodieren des Wertes 1111 plausibel.

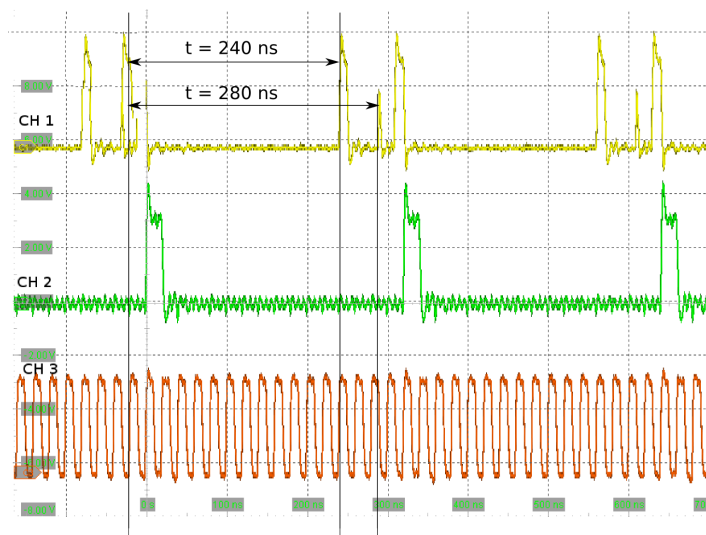


Abbildung 2.8.: Zeitanalyse Glitches

3. Metastabilität

3.1. Metastabiler Zustand

Metastabilität bedeutet, dass der Ausgang eines Flip-Flops nicht dem Eingang entsprechen *muss*. In einem metastabilen Zustand kann ein Ausgang korrekt sein, muss aber nicht. Im Idealfall wählt ein Flip-Flop seinen Ausgangswert selbst (siehe Abbildung 3.1 oberes Signal). Im schlechten Fall “hängt” sich das Flip-Flop “auf” und toggelt permanent zwischen ‘0’ und ‘1’ (Abbildung 3.1 unteres Signal).

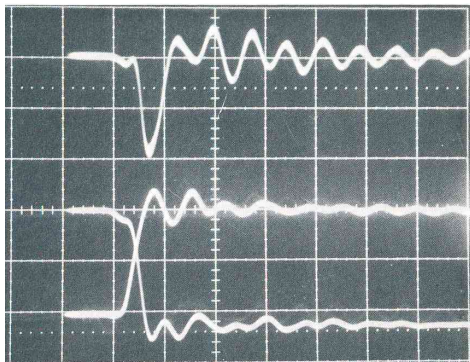


Abbildung 3.1.: Metastabilität schlimmster Fall (Fletcher, 1980b)

3.2. Ursache von Metastabilität

Die Ursache unsicherer Ausgangswerte liegen darin, dass das Inputsignal eines Flip-Flops zur falschen Zeit wechselt.

“If data inputs to a flip-flop are changing at the instant of the clock pulse, a problem known as *metastability* may occur. In the metastable case, the flip-flop does not settle in to a stable state” (Camara, 2010)

“If the amplitude of the runt pulse is *exactly the threshold level of the SET input of the output cell*, the cell will be driven to its metastable state. The metastable state is the condition that is roughly defined as ‘half SET and half RESET’ ” (Fletcher, 1980b)

Trifft der anzulegende Wert zu spät ein wird die *Setup Time* verletzt und wird der Signalwert zu früh entwendet, verletzt die *Hold Time*. Metastabilität kann vermieden werden, wenn diese zwei Zeiten strikt eingehalten werden:

“Metastability is avoided by holding the information stable before and after the clock pulse for a set period of time, called the setup time for the data line and the hold time for the control line.” (Camara, 2010)

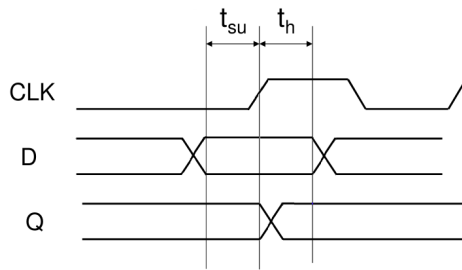


Abbildung 3.2.: Einhalten der Datenzeiten

Um Metastabilität zu vermeiden, sollte die Logik möglichst klein, die Bauteile nahe beieinander und der Systemtakt an die längste Pfadzeit angepasst werden. Der maximal erlaubte Systemtakt kann in Quartus mit dem Timequest Time Analyser abgefragt werden.

3.3. Metastabilität erzeugen

3.3.1. Konzept

Aufgebaut wird ein System mit zwei Clock Domains. *Clock domain 1*, Gebiet 1 genannt, beinhaltet einen Zähler, der an die *Clock Domain 2*, als Gebiet 2 bezeichnet, asynchrone Impulse sendet. Gebiet 2 verarbeitet diese Impulse in einer *finite State Machine*. Bei korrekter Funktionsweise wechselt die FSM zwischen den definierten States. Funktioniert sie falsch, fällt die FSM in einen State, den sie nicht implementiert hat.

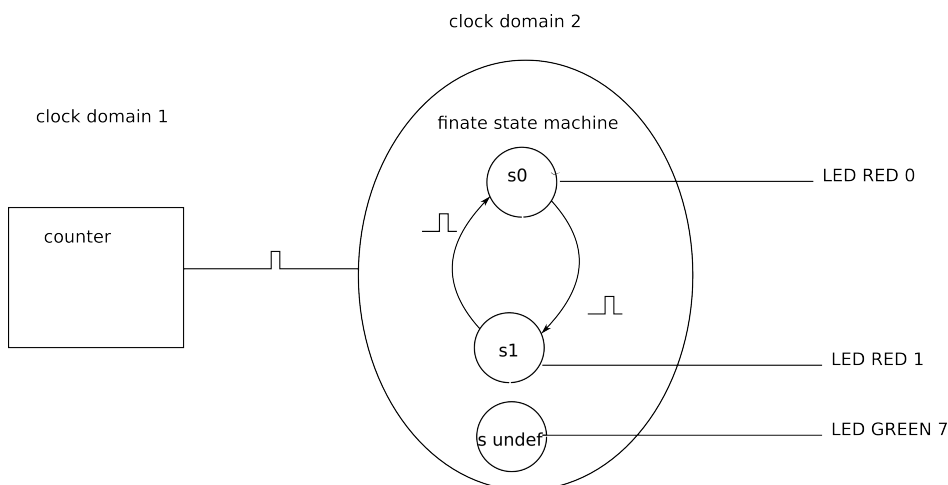


Abbildung 3.3.: Konzept Metastabilität nachweisen

3.3.2. Implementation

Als Hardware wird das Altera Board DE2 genommen und mit der Software Quartus 13.Osp1 gearbeitet. Da die zwei Takte nicht Vielfache voneinander sein dürfen, wird für den Zähler ein Takt von 27 MHz und für die FSM ein Takt von 50 MHz gewählt. Der Takt des Zählers ist leicht schneller als die Hälfte des FSM-Taktes und schiebt sich vorwärts (siehe Abbildung 3.4). Das Verletzen der Setup Time ist eine Frage der Zeit.

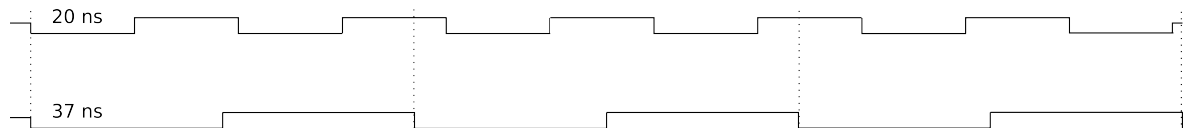


Abbildung 3.4.: Die zwei Taktzeiten

Die Zustandsüberprüfung erfolgt über das Ausgeben des aktuellen Zustands auf den zwei roten LEDs.

- Zustand = s0
Rote LED 0 ist an
- Zustand = s1
Rote LED 1 ist an
- Zustand = *OTHERS*
Grüne LED 17 ist an

Funktioniert die FSM, blinken die zwei roten LEDs abwechselungsweise. Fällt die FSM in einen undefinierten Zustand, leuchtet die grüne LED. Um die Ursache der Metastabilität, das Verletzten der Setup Time zu verhindern, wird eine optionale Synchronisation durch Switch 17 eingebaut. Ist Switch 17 auf '1', wird der Puls der Clock Domain 27 MHz durch ein Flip-Flop auf 50 MHz synchronisiert.

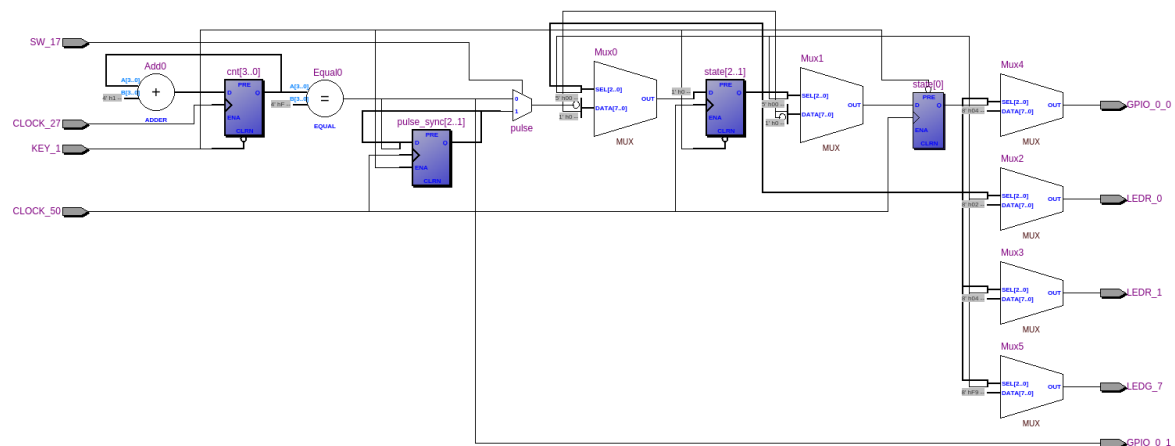


Abbildung 3.5.: RTL mit Synchronisation-Switch

3.4. Resultat

Das Resultat ist, dass das Board unmittelbar nach Einstellen in den metastabilen Zustand fällt und die grüne LED leuchtet. Wird Reset gedrückt, folgt ein kurzes Aufblinken der zwei roten LEDs und wieder die grüne LED.

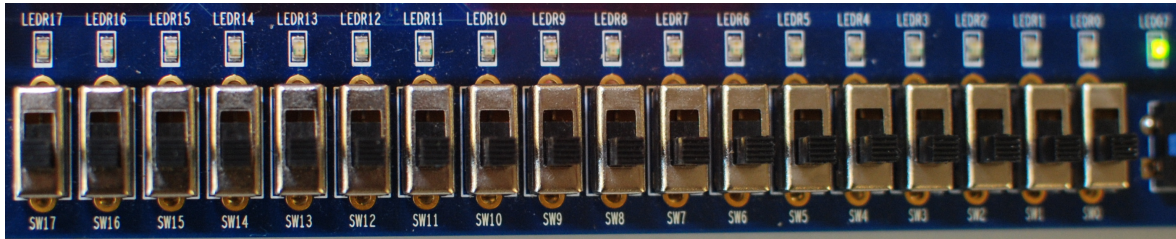


Abbildung 3.6.: Metastabiler Zustand

Wird die Synchronisations-Schaltung betätigt, leuchten beide roten LEDs auf. Die FSM wechselt zwischen den States s0 und s1 hin und her. Das Verbleiben in den zwei definierten Zuständen s0 und s1 funktioniert auch nach einem Tag noch.

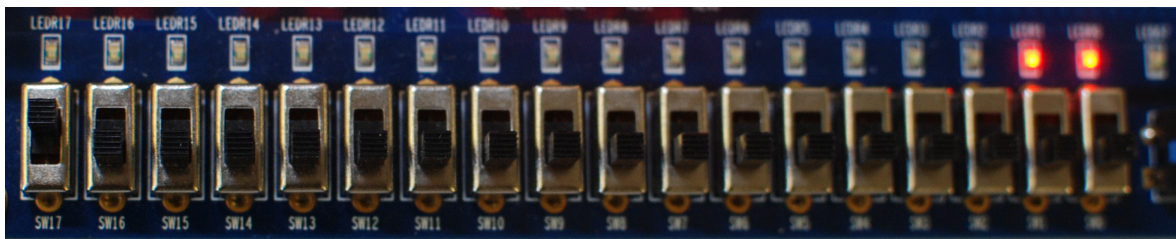


Abbildung 3.7.: Schalter ON: Rote LEDs leuchten

Wird das Wechseln zwischen den zwei States am KO ausgegeben, so erkennt man kein wiederkehrendes Muster im Wechseln. Der Grund ist, dass der Takt 27 MHz kein Bruchteil von 50 MHz.

CH 1 = Rote LED

CH 2 = Synchronisierter Puls

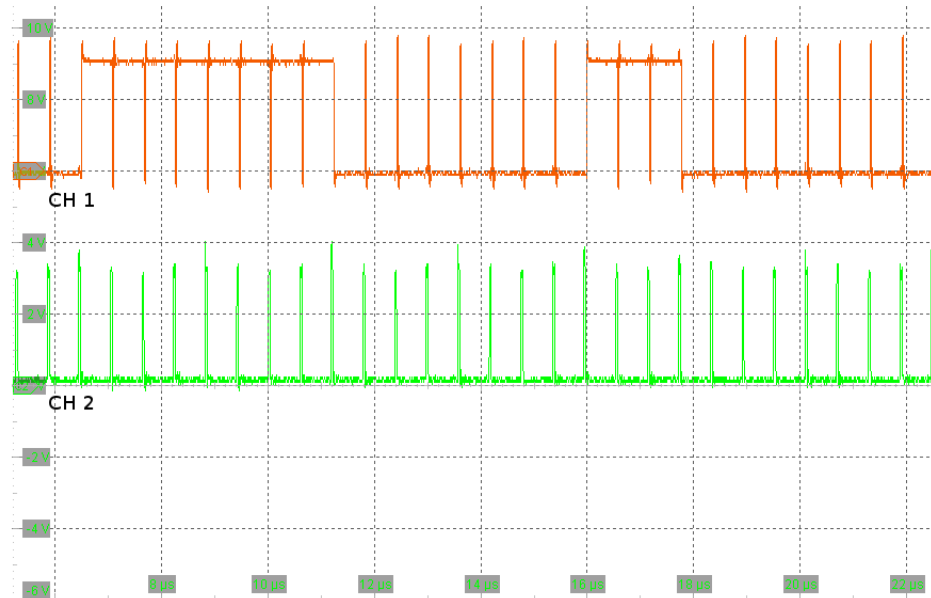


Abbildung 3.8.: Erster Teil des unregelmässigen Wechsel zwischen Zustand s0 und Zustand s1

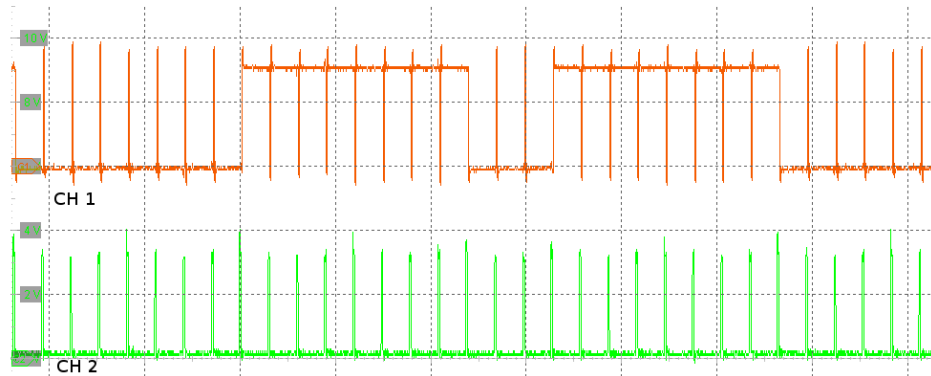


Abbildung 3.9.: Zweiter Teil des unregelmässigen Wechsel zwischen Zustand s0 und Zustand s1

Im Zustand der Metastabilität sind die Pulse nicht synchronisiert und die rote LED geht nicht an.

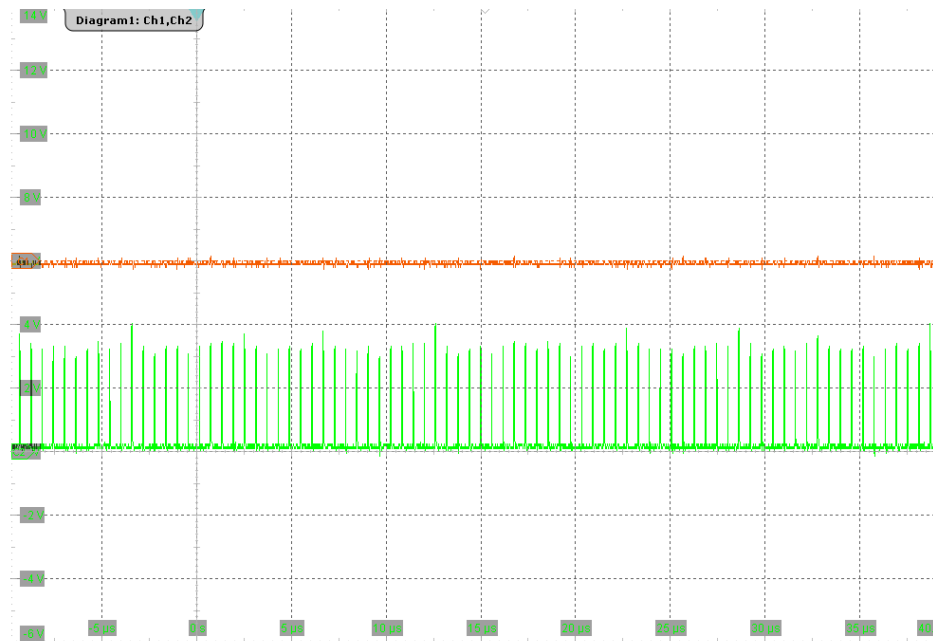


Abbildung 3.10.: Metastabiler Zustand

4. MIDI-Steuerung

4.1. Das MIDI-Kommunikationsprotokoll

Werden MIDI Daten übermittelt, so unterscheidet der Standard zwei Typen an Daten (Association, 1995).

4.1.1. MIDI-Daten-Typen

Status Bytes

Status Bytes sind 8 Bit lang und das MSB ist immer logisch '1'. Status Bytes dienen dem Identifizieren der nachfolgenden Data Bytes. Das Status Byte definiert die Datenstruktur der folgenden Data Bytes.

MIDI behält einen Status, bis ein neues Status Byte folgt. Dieses Verhalten ist als Running Status bezeichnet. Dieses Verhalten ist für Polyphonie relevant, da der Zustand bleibt, bis ein neues Status Byte folgt.

Data Bytes

Gemäss Spezifikation folgen einem Status Byte ein oder zwei Bytes. Das MSB ist immer logisch '0'. Die Werte können von 0x00 bis 0x7F sein. Das bedeutet, dass MIDI maximal 128 Noten unterscheiden kann.

Data Bytes können unterschiedliche Informationen enthalten. Im Kontroller sind Notenwerte, Geschwindigkeit des Anschalges relevant.

Je nach dem Status Byte werden die Data Byte anders interpretiert.

“Empfänger sollen so konzipiert sein, dass zuerst alle Data Bytes empfangen werden und ein neues Status Byte kommt. Danach werden ungültige Daten verworfen. Einzige Ausnahme ist der Running Status, bei dem nicht bis zum Ende gewartet wird.” (Association, 1995).

Ungültige Bytes

“Alle Status Bytes, die nicht implementierte Funktionen enthalten und alle ihnen folgenden Data Bytes sollen vom Empfänger verworfen werden.” (Association, 1995)

MIDI Geräte sollen ausdrücklich beim Ein- und Abstellen darauf bedacht sein, dass keine undefinierten Bytes gesendet werden (Association, 1995).

Diese Anforderung ist wichtig beim Implementieren der Finite State Machine und der Test Bench (siehe Kapitel 5)

Midi Bytes binär

- "0xxx xxxx": Definition Data Byte
- "1xxx xxxx": Definition Status Byte
- "1000 xxxx": Definition NOTE OFF
- "1001 xxxx": Definition NOTE ON
- "1010 xxxx": Definition POLYPHONY
- "100x xxxx": Erste drei Bits der Status Bytes NOTE ON (0x90) und NOTE OFF (0x80)

4.1.2. Zwei MIDI-Noten-Modi

Datenstruktur

Die Datenstruktur der zwei MIDI-Noten-Modi beginnt mit dem Status Byte (grau in der Abbildung 4.1). Es folgt der Notenwert (hier Dummy-Wert von 0x11 eingetragen) und die Geschwindigkeit. Letztere hat im Single Mode keine spezifische Bedeutung, im Polyphony Mode bestimmt die Geschwindigkeit, ob die Note an oder ab ist.

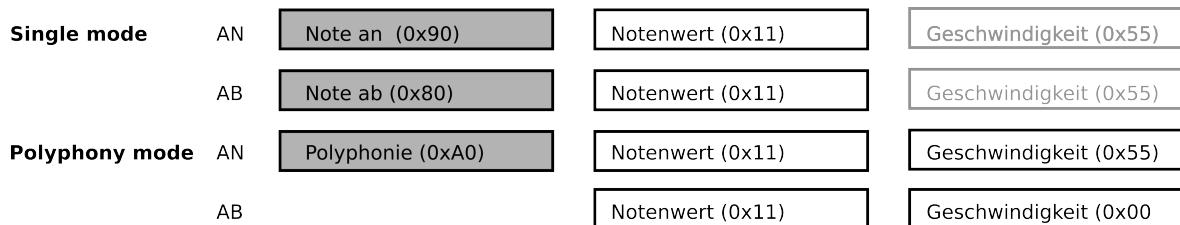


Abbildung 4.1.: MIDI Spezifikation für Datenstruktur einzelne Note und Polyphonie

Unterschiedlich zu behandeln ist die Funktion des Status Bytes. Im Single Mode wird mit dem Status Byte der Zustand an oder ab mitgegeben. Im Polyphony Mode wird nur der Noten-Modus mitgeteilt und das Status Byte hat keine weiteren Funktionalitäten. In der Abbildung wird der Platz von Note an oder ab bezüglich dem Noten-Byte durch graue Markierung veranschaulicht. Die zeitliche Reihenfolge der ist umgekehrt, was in der Token-Verarbeitung berücksichtigt werden muss.

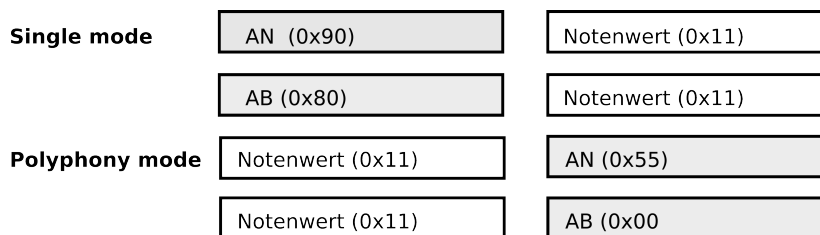


Abbildung 4.2.: Blockschaltbild Device unter Test

Wegen der unterschiedlichen Bedeutung der eingegangenen Token, behandelt die FSM die zwei Noten-Modi und deren Noten- und Geschwindigkeitszustände unabhängig voneinander.

4.2. MIDI-Steuerung: Blockschaltbild und Schnittstellen

Analog zum bestehenden Synthesizer-Projekt erhält der VHDL-Block einen englischen Namen: Die MIDI-Steuerung ist als Block mit dem Namen Midi Interface implementiert. Als erstes die Zusammenfassung der internen Blöcke. Die zwei entwickelten Blöcke Midi Control und Polyphony Out sind grau markiert (siehe Abbildung 4.3). Gegeben ist der Block UART top.

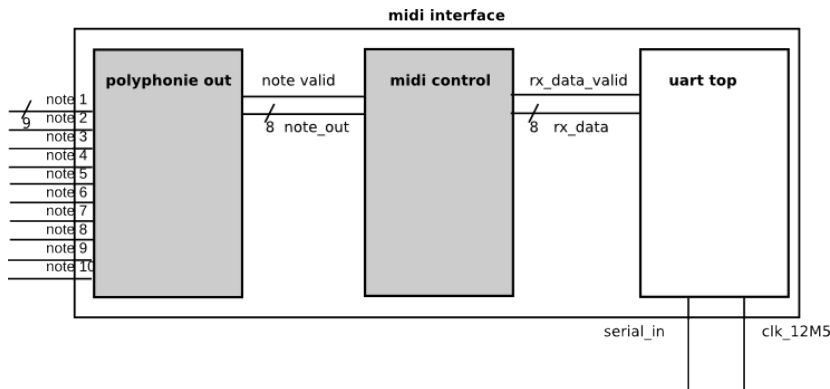


Abbildung 4.3.: Blockschaltbild Midi Interface

Definition der Schnittstellen

UART Top Ausgang

- 8-Bit-Signal: Bytweise Dekodierung der Midi Daten
- 1-Bit-Signal: Übermittelt Gültigkeit der Daten

Midi Control Ein- und Ausgang

- Empfangen von 8-Bit Midi Daten,
- Empfangen, ob Daten korrekt sind (1 Bit)
- Übermittelt 9-Bit-Notenvektor (Struktur des Vektors in Abb.4.4)
- Übermitteln, ob Daten korrekt (1 Bit)

Polyphony Out Ein- und Ausgang

- Eingang eines 9-Bit-Notenvektors
- Eingang, ob Daten gültig sind
- Ausgabe von 10 Notenvektoren zu 9-Bit.

Im vorgegebenen Konzept für Polyphony Out (siehe Unterkapitel 4.5.2) ist die Schnittstelle zum Polyphony Out-Block als ein 9-Bit-Signal definiert. Das MSB dient als Flag, ob die übermittelte Note an oder ab ist.

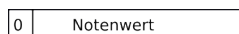


Abbildung 4.4.: Aufbau Notenvektor

Als nächstes wird die MIDI 1.0 Spezifikation, erklärt, nach der Block Midi Control aufgebaut ist. Die Umsetzung des Polyphony Out-Blocks bildet den Abschluss dieses Kapitels.

4.3. Midi Control-Block

4.3.1. Konzept mit Finite State Machine

Der Controller wird über eine Finite State Machine implementiert. Ausgehend von der Spezifikation 4.1 sind drei Eckpunkte berücksichtigt:

1. Unterscheiden von Status Byte und Data Byte
2. Unterschiedliche Interpretation der Data Bytes abhängig vom Status Byte.
3. Verwerfen aller falschen Status Byte oder Data Bytes

Vereinfacht verhält sich die FSM wie in Abbildung 4.5 gezeigt.

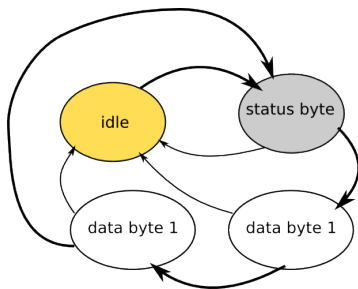


Abbildung 4.5.: Skizze der FSM

Startpunkt der Verarbeitung ist das Status Byte (grau hinterlegt). Danach führt die Verarbeitung durch die zwei Data Bytes.

In jedem Zustand, werden ungültige Daten verworfen, und führen zurück zu Idle. Die Verarbeitung wird fortgesetzt, wenn das nächste Status Byte folgt.

Nicht angeschrieben sind die Übergangsbedingungen: `data_valid = '1'` wechselt zwischen den Zuständen und `data_valid = '0'` verbleibt im Zustand. Die breiteren Pfeile heben die fehlerfreie Datenverarbeitung hervor.

4.3.2. Implementation der Finite State Machine

Aufgrund der unterschiedlichen Datenstruktur für den Polyphony Mode und den Single Mode besitzen beide Noten-Modi ihre eigenen Zustände (siehe Abbildung 4.6).

Die implementierten Zustände sind

- `idle`: Alle nicht näher spezifizierten Vorfälle verwerfen
- `single`: Eintreten in Single Mode durch Status Bytes `0x80` oder `0x90`
- `note_s`: Erstes Data Byte im Single Mode
- `velocity_s`: Zweites Data Byte im Single Mode
- `polyphonie`: Eintreten in polyphony mode durch status byte `0xA0`
- `note_v`: Erstes Data Byte im Polyphony Mode
- `velocity_v`: Zweites Data Byte im Polyphony Mode

Abbildung 4.6 definiert die Übergangsbedingungen. Drei generelle Verhaltensweisen sind vereinfacht angegeben:

- `data_valid = '0'`
Im aktuellen Zustand bleiben.
Dargestellt mit Pfeil an Ort

- `data_valid = '1'`
Grundbedingung für Zustandswechsel
Gilt implizit zu jedem Pfeil und dessen Bedingung dazu
- `data(7) = '1' and (data(7 downto 5) /= "100" or data(7 downto 4) /= '1010')`
Status Bytes, die nicht Polyphony oder Single Mode bedeuten, verworfen
Dargestellt durch Pfeil oben rechts zu Idle. Gilt für jeden Zustand

Die Übergangsbedingungen detektieren die Binärstruktur der MIDI-Daten, die im Unterkapitel 4.1.1 aufgelistet ist.

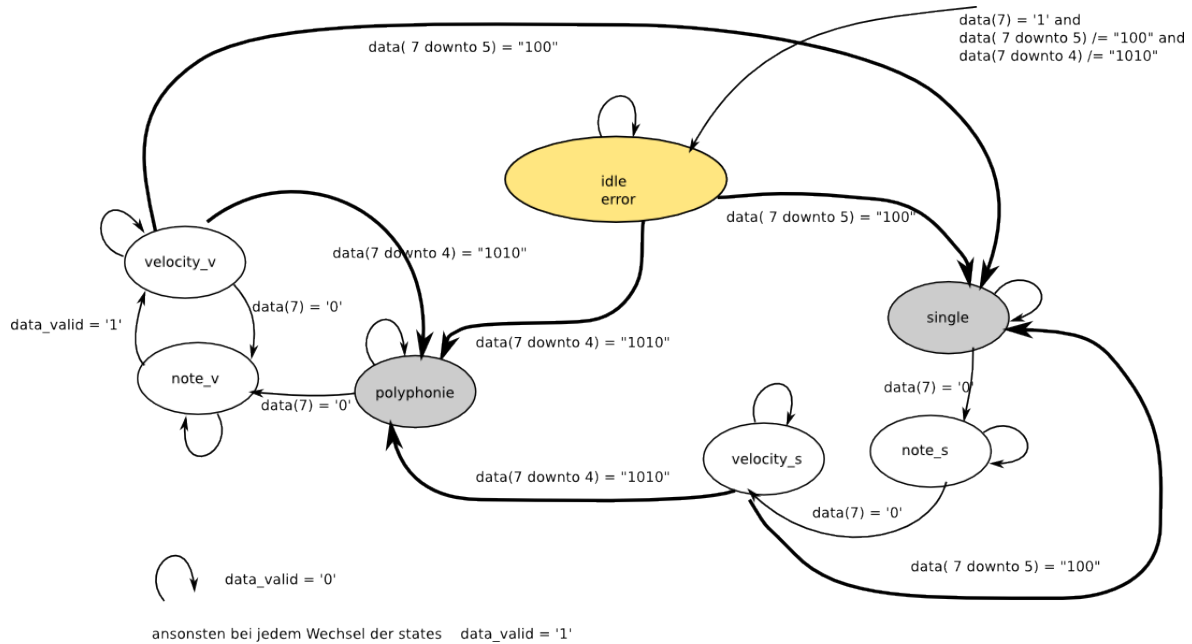


Abbildung 4.6.: Übergänge der FSM

Alle drei Anforderungen 4.3.1, die sich aus der MIDI-Spezifikation ergeben, sind implementiert:

1. Vor jedem Data Byte muss ein Status Byte eingegangen sein. Die Finite State Machine fragt im Idle Zustand nur nach den Status Bytes. Nach dem Status Byte erwartet die Finite State Machine Data Bytes.
2. Die unterschiedliche Datenstruktur der zwei Noten-Modi ist Mode-spezifisch implementiert:
Im Single Mode wird das vierte Bit des Status Bytes zum Setzen von an und ab verwendet.
Im Polyphony Mode wird das zweite Data Byte, die Geschwindigkeit zum Setzen der Note auf an oder ab verwendet.
Geschwindigkeit = NULL ist als Note aus implementiert.
3. Ungültige Bytes sind verworfen, und die FSM kehrt in den Idle-Zustand zurück.

4.4. Resultat

4.4.1. Implementierte Finite State Machine

Abbildung 4.7 zeigt die in Quartus generierte FSM des Blocks Midi Control.

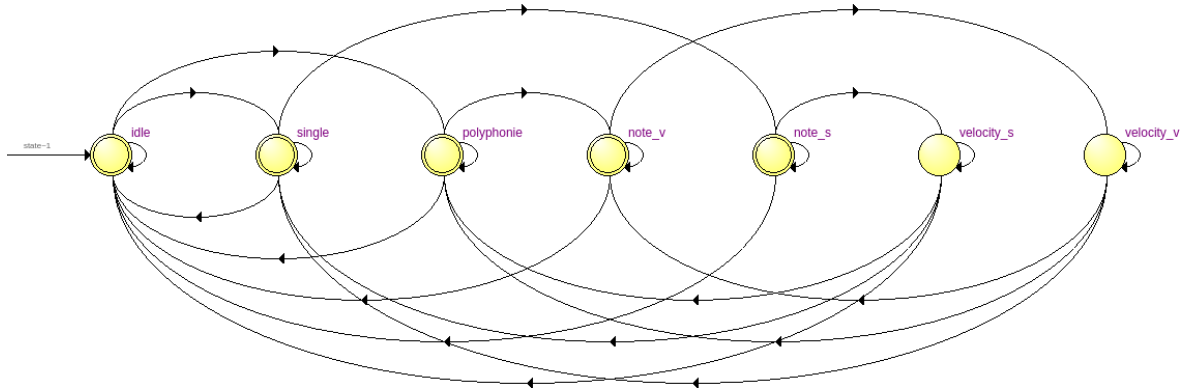


Abbildung 4.7.: Implementierte FSM im Block Midi Control

4.4.2. Simulation Single Mode

Der Aufbau der Test Bench und dadurch der Simulation wie auch der Input-Daten ist in Kapitel 5 eingehend beschrieben. Hier steht exemplarisch *eine* Auswertung für den Single Mode und im nächsten Unterkapitel für den Polyphony Mode, damit das korrekte Funktionieren der Implementation dokumentiert ist.

Input Daten (Zeile 3, siehe Anhang D)

singl	55	90	27	80	27	90	02	00	00
-------	----	----	----	----	----	----	----	----	----

Beschreibung der Befehle

- 55 als Dummy-Velocity für alle Noten
- Note an
- Notenwert 27
- Note ab
- Notenwert 27
- Note an
- Notenwert 02
- Dummy werte

Erwartetes Resultat

Der Controller erkennt die Note 27, schaltet diese an und gibt am Ausgang den Vektor "Note-27-AN" aus. Dieselbe Note wird nochmals detektiert, diesmal als ab und der Vektor am Ausgang zeigt "Note-27-AB" an. Die nächste Note hat den Wert 2 und wird auf AN gesetzt. Der Ausgang gibt "Note-2-AN" aus.

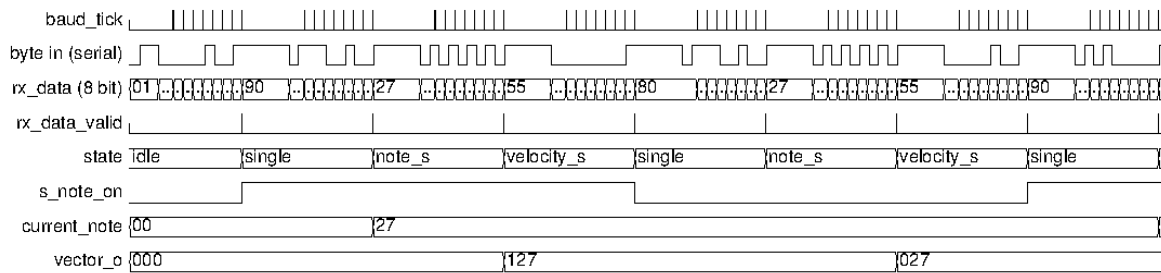


Abbildung 4.8.: FSM für Single Mode

- Das Signal **rx_data** detektiert die Befehle (0x90) und (0x80).
- Der Controller interpretiert Single Modus.
- Die Zustandsabfolge ist korrekt: **single**, **note_s**, **velocity_s**.
- Die Zustände werden bei **rx_data_valid** = '1' geändert.

Die Simulation zeigt, dass die Notenwerte korrekt gespeichert sind und dass das An- und Abstellen der Noten funktioniert. Am Ausgang erscheint der zusammengesetzter Vektor aus den 8 Notenbits und einem vorangestellten Bit, das detektiert, ob die aktuelle Note an oder ab ist.

4.4.3. Simulation Polyphony Mode

Input Daten (Zeile 9, siehe Anhang D)

polyp 02 55 03 00 20 00 40 55 00

Beschreibung der Befehle

- Notenwert 02
- Note an
- Notenwert 03
- Note ab
- Notenwert 02
- Note ab
- Notenwert 4
- Note an

Erwartetes Resultat

Der Kontroller erkennt die Note 02, schaltet diese an und gibt am Ausgang den Vektor "Note-02-AN" aus. Die Note 03 wird detektiert, auf ab gesetzt und der Vektor am Ausgang zeigt "Note-03-AB". Die nächste Note hat den Wert 2 und wird auf ab gesetzt. Der Ausgang gibt "Note-2-Ab" aus. Als letztes folgt die Note 40, die angestellt wird.

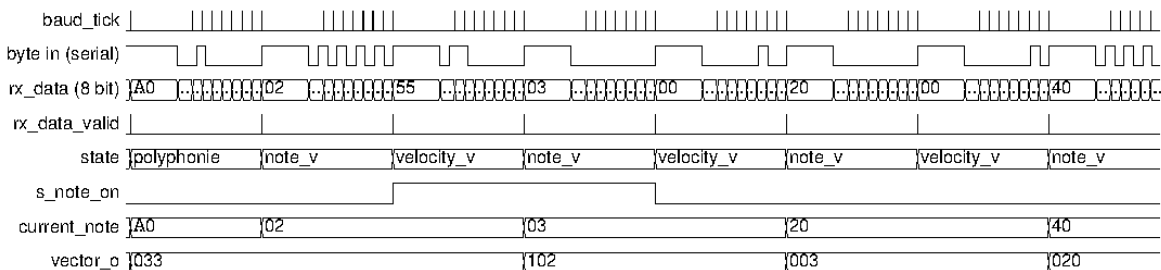


Abbildung 4.9.: FSM im Polyphony Mode

- Das Signal `rx_data` detektiert den Befehle (0xA0).
- Der Controller interpretiert Polyphony Mode.
- Die Zustandsabfolge ist korrekt: `polyphonie`, `note_v`, `velocity_v`.
- Der Controller wartet mit dem Setzen der Note am Ausgang, bis klar ist, ob die Note an oder ab ist.
Keine kurzfristig falschen Noten am Ausgang, die ab sind.
- Zustände werden bei `rx_data_valid = '1'` die Zustände geändert.
- Noten können beliebig an- und abgestellt werden

4.5. Polyphony Out-Block

4.5.1. Funktionsbeschreibung

Der Polyphone Out-Block speichert die empfangenen Signale in 10 Registern. Bei jeder neuen Note wird geprüft, ob der Wert im Register besteht und ob das ON/OFF-Bit der gespeicherten neu gesetzt werden muss. Der Block gibt 10 Noten parallel aus.

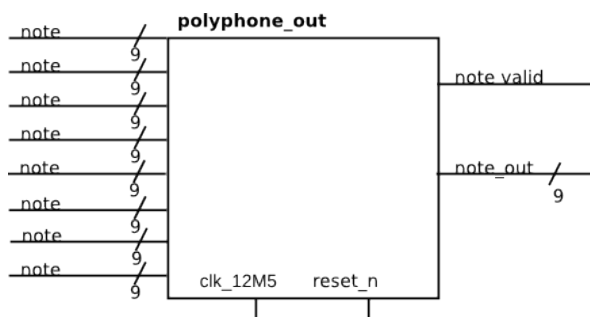


Abbildung 4.10.: Polyphone Out-Block

4.5.2. Konzept

Der empfangene Notenwert wird mit den gespeicherten Notenwerten verglichen. Ist eine Note vorhanden, wird das ON-OFF-Bit geprüft und aktualisiert. Keine Note darf zweimal gespeichert sein. Sind alle 10 Registerplätze besetzt, wird die neue Note in ein Register mit abgeschaltetem ON-OFF-Bit gesetzt.

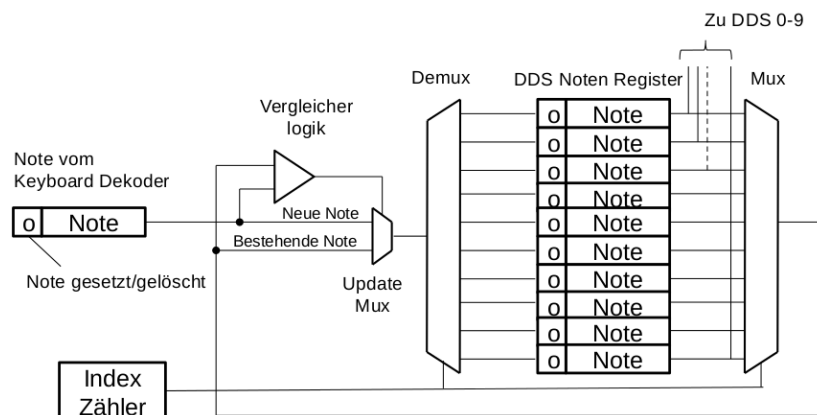


Abbildung 4.11.: Konzept Polyphonie Block (?)

4.5.3. Implementation

Der Ablauf des Speicher-Vorgangs der neuen Note ist aus der Abbildung 4.12 ersichtlich.

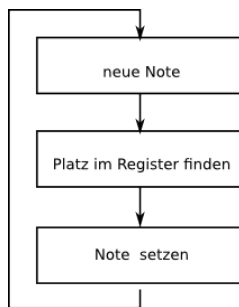


Abbildung 4.12.: Ablauf Note speichern

Umgesetzt wird das Suchen eines Speicherplatzes innerhalb der 10 Registern mit einer Input-Logik, die mit folgenden 3 Vergleichen arbeitet:

1. Liegt der Notenwert in einem Register ?
2. Ist ein Register unbenutzt ?
3. Welches Register hat einen abgeschalteten Notenwert ?

Sobald eine Frage mit Ja beantwortet wird, wird der Registerindex gespeichert und als Output des Logik-Prozesses zur Verarbeitung weiter gegeben.

Durch den übermittelten Index-Wert weiss der Speicher-Prozess, in welches Register die neue Note gespeichert werden soll.

Die Werte aller 10 Register werden am Ausgang parallel ausgegeben.

4.6. Resultat

Die Ziele sind:

- dass jeder Notenwert in ein anderes Register gespeichert wird und kein Notenwert zweimal abgelegt wird.
- An und Ab müssen in dasselbe Register gespeichert werden.
- Dieses Konzept ist unabdingbar für den Polyphony Mode und stört die Notenausgabe im Single Mode nicht.

4.6.1. Simulation parallel Noten ausgeben

Input Daten (Zeile 3, 5, 7 und 9 siehe Anhang D)

singl	55	90	27	80	27	90	05	00	00
singl	55	90	73	80	73	90	16	00	00
polyp	71	55	02	55	33	55	08	00	00
polyp	20	55	03	00	20	00	40	55	00

Beschreibung der Befehle

- Dummywert Velocity 0x55
- Note an
- Notenwert 27
- Note ab
- Notenwert 27

- Note an
- Notenwert 05
- Dummywert Velocity 0x55
- Note an
- Notenwert 73
- Note ab
- Notenwert 73
- Note an
- Notenwert 16
- Notenwert 71
- Note an
- Notenwert 02
- Note an
- Notenwert 33
- Note an
- Notenwert 08
- Note ab
- Notenwert 20
- Note an
- Notenwert 03
- Note ab
- Notenwert 20
- Note ab
- Notenwert 40
- Note an

Erwartetes Resultat

- Note 27 wird angestellt (Vektor ist 127), Note 27 wird abgestellt (Vektor ist 027). An und Abstellen sind in demselben Register abgelegt.
- Note 05 wird angestellt und in neuem Register abgelegt, da dieses Register unbenutzt ist.
- Note 73 wird angestellt und nachher abgestellt. Beides in neuem Register.
- Note 16 wird angestellt und in neues Register gelegt.
- Note 71 wird angestellt und in neues Register gelegt.
- Note 02 wird angestellt und in neues Register gelegt.
- Note 33 wird angestellt und in neues Register gelegt.
- Note 08 wird abgestellt. (Neues Register stört nicht).
- Note 20 wird angestellt und in neues Register gelegt.
- Note 03 wird abgestellt. (Neues Register stört nicht).
- Note 20 wird abgestellt. Muss im 20-Notenregister sein.
- Note 40 wird angestellt und in neues Register gelegt.

tb_note_0	127	027
tb_note_1	000	105
tb_note_2	000	173 073
tb_note_3	000	116
tb_note_4	000	171 071
tb_note_5	000	102
tb_note_6	000	133 033
tb_note_7	000	008
tb_note_8	000	120 020
tb_note_9	000	003

Abbildung 4.13.: Simulation des Blocks Polyphonie Out

Die Simulation verhält sich exakt nach Spezifikation.

5. Test Bench

Test Driven Development bedeutet, dass vor oder parallel zur Entwicklung einer *Unit* (im Folgenden Block genannt) der *Unit Test* entwickelt wird (?). Beim textbasierten Testen stammen die Befehle aus einer Input-Datei, und die Ergebnisse werden in einer Datei abgelegt.

5.1. Device Under Test

Das Device Under Test (DUT) ist das MIDI Interface (siehe Abbildung 5.1). Das Ziel ist, dass das MIDI-Signal in den Block geführt wird und am Ausgang 10 Notenvektoren anliegen mit je 8 Notenbits und einem Bit, das besagt, ob die Note an oder ab ist.

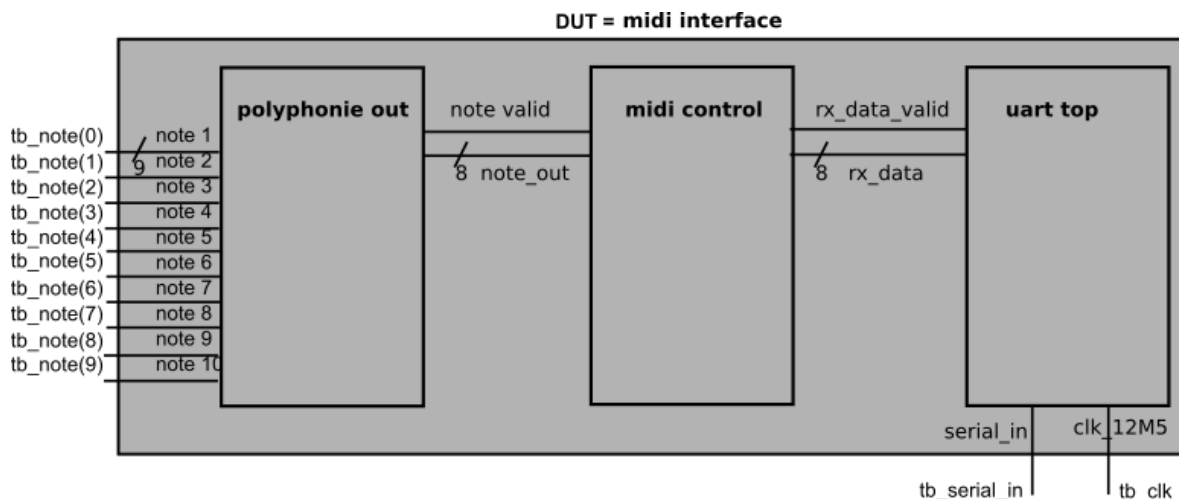


Abbildung 5.1.: Blockschaltbild Device under Test

Die *Test Bench* wird mit Daten der Input-Datei gespeisen. Die Endversion der Input-Datei und der Testbericht liegen im Anhang D. In den Unterkapiteln wird der Aufbau der Input-Datei, das Entwickeln der Test-Fälle, und die Umsetzung im VHDL-Code beschrieben.

5.2. Struktur der Input-Datei

Die Test-Datei ist zeilenweise strukturiert.

Verarbeitungsmodus

Jede Zeile beginnt mit dem Verarbeitungsmodus. Bei der Input-Datei besteht der Verarbeitungsmodus aus fünf Buchstaben.

```
reset    00  00  ...
singl    90  27  ...
polyp    71  55  ...
```

Tokenstruktur

Nach dem Bearbeitungsmodus folgen die Daten. Jede Zeile hat gleichviele Datenpakete (Tokens). Die Test Bench ordnet jedem MIDI-Datenpaket (siehe ??, Beschreibung der MIDI-Daten) innerhalb der Zeile eine Bedeutung zu. Je nach Bearbeitungsmodus ist die Bedeutung der Token anders.

Die Tokenstruktur leitet sich aus der MIDI-Datenstruktur im Polyphony Mode und im Single Mode ab (siehe 4.1.2). In den nachfolgenden zwei Token-Beispielen bezieht sich die obere Zeile auf den Polyphony Mode und die untere auf den Single Mode.

In der *Test Bench MIDI Interface* haben Tokens folgende Bedeutung:

mode_p	Note	Velocity	Note	Velocity	Note	Velocity	Note	Velocity	Anzahl Noten
mode_s	Dummy	Status	Note	Status	Note	Status	Note	Dummy	Dummy

Dummy ist die Bezeichnung für das Einlesen nicht relevanter Werte. Diese nicht relevanten Werte sind in der Input-Datei gesetzt, um die Verarbeitungsstruktur beim Einlesen der Token zu vereinfachen. Der Dummywert wird beim Einlesen verworfen.

5.3. Aufstellen der Fehler

Zu Beginn hatten die Testfälle nur drei Tokens und testeten die Grundfunktionen:

```
single mode note an/ab
singl 90 27
singl 90 27
```

```
polyphone note an/ab
polyp 71 55
polyp 71 00
```

Komplexere Testfälle zeigten, dass eine Test-Zeile mehr Tokens braucht. Die Endversion der Input-Datei kann mit einer Zeile bis 4 Noten an und abstellen.

5.3.1. Einzelne Noten testen

Testfälle

Getestet sind auch Kombinationen unter den Fällen, die aus Übersichtlichkeit nicht alle aufgeschrieben werden.

- Einzelne Note an, Geschwindigkeit-Byte folgt
- Einzelne Note an, Geschwindigkeit-Byte folgt nicht
- Einzelne Note ab
- Einzelne Note an, direkt nach Reset
- Einzelne Note an, selbe Note nochmals an
- Einzelne Note an, wenn in Polyphony Mode
- Einzelne Note an, nach ungültigem Status Byte
- Einzelne Note an, andere Note an, erste Note ab
- Einzelne Note an, diverse andere Noten setzen, erst bei nächster Zeile erste Note ab

Zu jedem Testfall wird auf der nächsten Zeile das zu erwartende Resultat vorgegeben. Die Test Bench prüft die ausgegebene Notenwerte am Ausgang des MIDI interfaces mit den vorgegebenen Werten.

Beispielzeile

singl	55	90	27	80	27	90	05	00	00
check	00	00	27	00	00	00	05	00	00

Die Sequenz bedeutet Note 27 an (0x90), dann ab (0x80) der Note 27 und am Schluss an Note 05. Überprüft (Check) wird, ob am Ausgang die Noten 27 und 05 anliegen.

Im Single Mode ist die Geschwindigkeit für das An- oder Abstellen der Note nicht relevant und wird deshalb nicht als Befehl eingelesen. Die Test Bench hängt nach jeder Note einen Dummy-Geschwindigkeitswert von 0x55 an.

5.3.2. Polyphonie testen

Testfälle

In der Polyphony können mehrere Noten hintereinander an- und nur einzelne davon wieder abgestellt werden.

- Polyphoniestatus setzen, einzelne Note an
- Polyphoniestatus setzen, mehrere Noten an
- Polyphoniestatus setzen, mehrere Noten über mehrere Zeilen verteilt an
- Polyphoniestatus setzen, Note an, die bereits in Register ist
- Polyphoniestatus setzen, Note an, andere Note an, erste Note aus, dritte Note an
- Polyphoniestatus setzen, dritte Note aus, erste Note an, erste Note an
- Polyphoniestatus setzen, Single Note an Status setzen, Note ohne Geschwindigkeit senden
- Polyphoniestatus setzen, falsches Status Byte senden, Note an, Note aus,
- Polyphoniestatus setzen, Reset, Note setzen
- Polyphoniestatus setzen, 10 Noten an
- Polyphoniestatus setzen, 10 Noten in Register, eine ist aus. Neue Note an senden

Beispielzeile

polyp	71	55	02	55	33	55	08	00	00
check	71	00	02	00	33	00	00	00	03

In der Sequenz wird die Note 71, dann die Noten 02 und 33. Danach wird die Note 08 abgestellt. Die Test Bench prüft am Ausgang, ob die Noten 71, 02 und 33 an sind.

Im Verarbeitungsmodus Polyphonie sendet die Test Bench das Status Byte "10100000" (0xA0)

5.4. Code Test Bench

Die automatisierte Datenverarbeitung erzeugt viele Werte (10 Noten mit je 9 Werten). Um einzelne Bits effizient zu setzen oder zu überprüfen, wird der Code einem *Refactoring* unterzogen.

Im Gegensatz zum hardwarenahen Code der VHDL-Blocks, bei denen Arrays und Loop explizit vermieden wurden, baute die Test Bench bewusst auf softwarenahe Strukturen auf.

5.4.1. Package

Damit in allen VHDL-Dateien die Arrays und Konstanten gebraucht werden können, werden diese Definitionen in einem Package zusammengefasst. Das Package kann wie eine Library zu Beginn einer VHDL-Datei eingebaut werden.

- Werte der Status Bytes als Konstanten
- Ein- und Ausgänge als Arrays
- Tokenstruktur als Record

Bsp. Tokenstruktur

```

-- define midi_data
type t_midi_data is record
    token_note : std_logic_vector(7 downto 0);
    token_attribut : std_logic_vector(7 downto 0);
end record;

type t_midi_data_array is array (0 to 3) of t_midi_data;

-- define token structure
type t_token_line is record
    token_cmd : string(1 to 5);
    t_midi_data : t_midi_data_array;
    token_number : std_logic_vector(7 downto 0);
end record;

-- array with note structure (input/output)
type t_note_array is array (0 to 9) of std_logic_vector(8 downto 0);

```

5.4.2. Prozess-Optimierung

Um die einzelnen Bits in den Arrays zu setzen, braucht es in der Ablaufstruktur Optimierungen.

- Loops iterieren durch die Arrays
- Einleseprozess wird vom Verarbeitungsprozess getrennt
- Flags wie `s_read_input_finished <= '1'` sichern die parallele Datenverarbeitung

5.5. Ergebnisse Simulation

Die Ausgabe der Signale in die Output-Datei bezieht sich auf den Zustand am Ausgang des DUT. Damit auch die beiden internen Blöcke MIDI Control und Polyphonie out korrekt funktionieren werden die Signale überprüft. Auch das Verhalten in den Blöcken entspricht den erwarteten Signalverläufen.

5.5.1. Block Midi Control

Gemäss der FSM durchläuft der Single Mode die Zustände `idle`, `note_s`, `velocity_s` und geht dann zurück in den Idle-Zustand. Das Signal `s_note_on` wechselt nach einem Status Byte von (0x90) auf on und nach (0x80) auf ab.

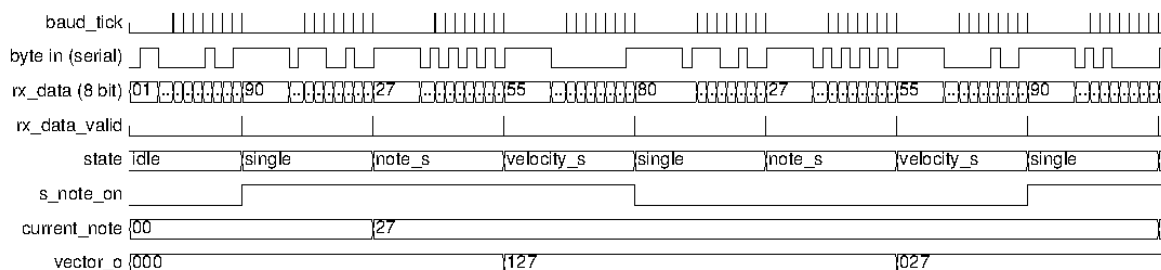


Abbildung 5.2.: Simulation Block Midi Control

Im Polyphony Mode existieren die Zustände `idle`, `note_v`, `velocity_v` und verbleibt in diesem Zustand. Nur durch ein Status Byte (oder ungültige Data Bytes) wird der Zustand der Polyphonie verlassen.

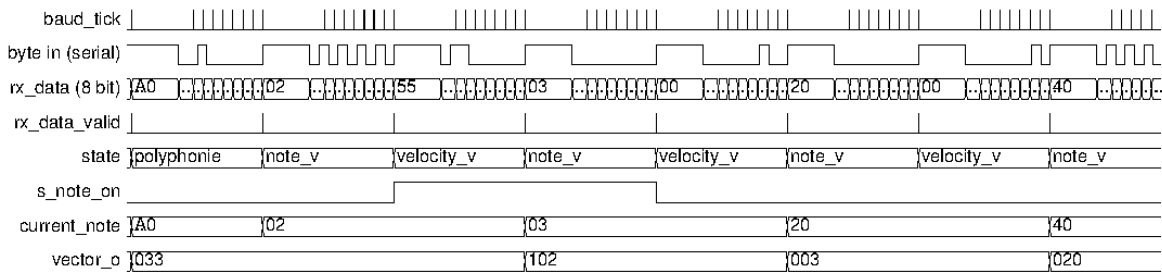


Abbildung 5.3.: Simulation Block Midi Control

5.5.2. Block Polyphony Out

Kriterien in der Polyphonie out sind, dass jede neue Note auf den nächsten freien Register-Platz gelegt wird. Zudem soll keine Note zwei Registerplätze belegen. Zudem soll, wenn alle Register-Plätze einen Notenwert haben, die neue Note an einen Registerplatz mit aktuell abgeschalteter Note besetzen. Alle Kriterien (siehe ??) sind erfüllt.

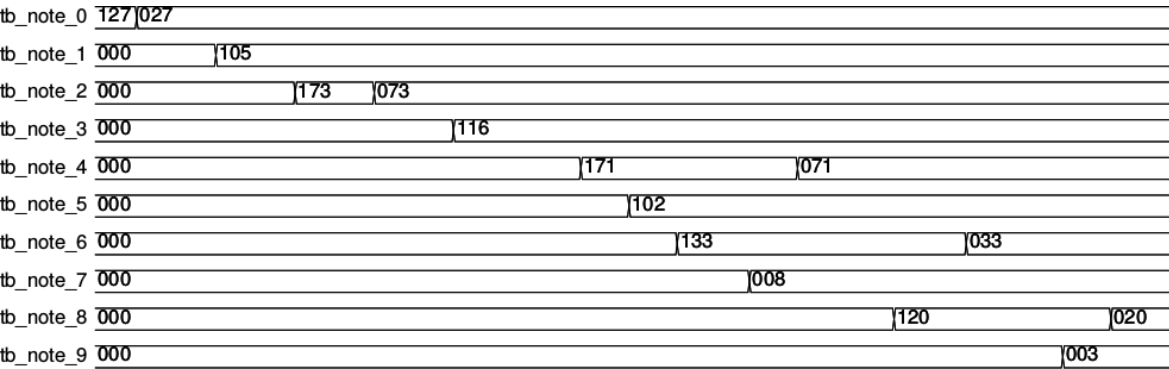


Abbildung 5.4.: Simulation Block Polyphony Out

6. Diskussion und Ausblick

Das Provozieren von *glitch* und von *metastability* ist vollständig umgesetzt. Für die entwickelte MIDI-Schnittstelle fehlt die Integration des Blocks ins Synthesizer-Projekt.

6.1. Einbauen in das bestehende Synthesizer-Projekt

Die Schnittstellen für die Integration sind definiert (siehe Anhang E). Zwischen der MIDI-Schnittstelle und dem Audio Codec wird ein Tone-Generator-Block eingebaut. Der Tone-Generator beinhaltet 3 Block-Einheiten, von denen zwei bereits im Synthesizer-Projekt aufgebaut sind: Einen Tone-Dekoder-Block (bestehend), einen FM-Synthesizer-Block (bestehend) und einen Mixer (neu). Letzterer muss aufgesetzt werden, da von den ersten zwei Block-Kategorien jeweils 10 Instanzen eingebaut werden (siehe Abbildung E.2).

Bereits umgebaut ist der Tone-Dekoder. Zur ursprünglichen Auswahl, dass 12 Töne über die Schalter eingestellt werden können, werden neu 127 dekodiert. Der FPGA-Schalter 13 dient zur Auswahl, ob man die Töne vom Keyboard (Schalter auf logisch '1') oder wie bisher von den restlichen 12 Schaltern auslösen will. Bereits implementiert ist die 10-fache Instanzierung der Ton-Dekoder und die 10-fache Ausführung des bestehenden FM-Synthese-Blocks. Die Instanzen sind ins Top-Level eingebaut und verbunden. Die Ausgänge der 10 FM-Synthese-Blöcke führen auf einen Mixer. Von diesem besteht das Grundgerüst und ein erster Ansatz, die 10 Signale über Addition zu einem Signal zusammen zu führen. Dieser Ansatz ist nicht ausgereift und muss überprüft werden.

Da der Mixer die Signale nicht zu einem vereinen konnte, konnte kein polyphones Signal an den Audio-Codec übertragen werden.

6.2. Frequenzmodulation mit vielfältiger Klangfarbe

Was nicht implementiert ist, ist eine anspruchsvollere Frequenzmodulation mit vielfältiger Klangfarbe, was das ursprüngliche Ziel war. Die implementierte Frequenzmodulation aus dem bestehenden Synthesizer-Projekt instanziiert zwei DDS, den einen als Carrier und der andere für die Modulation. Zusätzlich zu dieser Grundstruktur war die Implementation von Seitenbändern angedacht, die alle eigens verstärkt werden. (Konzept siehe on Sound (april 2000a), on Sound (april 2000b)). Zu dieser spannenden Aufgabe kam es nicht mehr. Doch die bestehende Block-Struktur ermöglicht einen Ausbau.

6.3. Refactoring Synthesizer-Projekt

Im bestehenden Synthesizer-Projekt sind gewisse Blocks direkt in das Top-Level eingebaut. Diese könnte man zu grösseren Einheiten gruppieren:

1. Infrastructure (alle Clocks und IOs)
2. MIDI-Schnittstelle
3. Tone-Generator
4. Audio-Control (als Einheit über die vier VHDL-Audio-Blöcke)

Beim Infrastructure-Block sind die Anschlüsse der Keys zu überarbeiten, da sie teilweise nicht angeschlossen sind und nicht über die Synchronisation führen. Alle Takte könnte man im Infrastructure-Block zentral generieren. Das bedeutet, dass auch die PLL und der Clock für den Audio-Codec (Signal BCK) in dem Infrastructure-Block integriert sind.

Einen professionelleren Eindruck könnten die Dateien machen, wenn die unterschiedlichen Dateien die gleiche Konvention für Header, Tab oder Space und für Kommentare brauchen. Generell stehen zu viele Kommentare in den Dateien und die Funktionsbeschreibungen sind knapp. Ein schnelleres Code-Verständnis könnten auch präzisere Namen der Blöcke bringen. Zur Zeit bestehen viele Namens-Konventionen, was die Interpretation der Funktion erschwert.

Ein Refactoring würde den Code verständlicher machen und das Projekt als Ganzes aufwerten.

7. Verzeichnis

Literaturverzeichnis

- Altera. *Cyclone IV Device Handbook*. San Jose, 2014.
- T. M. M. Association. *MIDI 1.0 Detailed Specification*. Los Angeles, 1995.
- C. Braut. *Das MIDI-Buch*, page 10. Sybex, 1993.
- J. A. Camara. *Engineering Reference Manual*, pages 32–2. Belmont, 2010. About metastability.
- W. I. Fletcher. *An Engineering Approach to Digital Design*, page 472. Utah State University, 1980a. About glitch.
- W. I. Fletcher. *An Engineering Approach to Digital Design*, page 482. Utah State University, 1980b. About metastability.
- S. Mandarapu. *Measuring Metastability, Master Project*. Departement of Electrical and Computer Engineering, Southern Illinois University, 2012.
- D. of the English Language. *finite state machine*. American Heritage, 2011.
- S. on Sound. *synth Secrets, Part 12: An Introduction to Frequency Modulation*. Technique Sound Synthesis, april 2000a.
- S. on Sound. *synth Secrets, Part 13: More on Frequency Modulation*. Technique Sound Synthesis, april 2000b.
- C. D. Online. *glitch, specialized electronics*. www.dictionary.cambridge.org/dictionary/english/glitch, 02.11.2015.

7.1. Glossar

Das Glossar dient interessierten Software-Entwicklern, die Elektrotechnik-spezifischen Worte zu verstehen.

Asynchrone Signale

Werden Signale unmittelbar zugewiesen sind sie vorerst ungetaktet, asynchron. Es ist nicht definiert, *wann* exakt das Signal den neuen Wert erhält. Erst wenn ein Signal durch ein Flip-Flop geführt wird, wird es getaktet und seine Signalzuweisung dadurch determinierbar.

Audio Codec

Bezeichnet im vorgegebenen Synthesizer-Projekt den, bezüglich dem FPGA, externen Audio-Baustein auf dem Altera Development Board DE2-115. Es handelt sich um einen WM8731.

Clock Domain

Ein Bereich der Hardware, der mit demselben Takt läuft.

Controller

Bezeichnet ein Bauteil, das Eingangssignale gemäss einer Spezifikation verarbeitet und die entsprechenden Ausgangssignale setzt.

DDS

Bedeutet Direct Digital Synthesis und bezeichnet das digitale Erzeugen von periodischen Signalen. Diese Signale können für die Tonerzeugung gebraucht werden.

Dekoder

Bezeichnet ein Bauteil, das einen oder mehrere Eingangswert(e) gemäss implementierter Logik in einen Ausgangswert wandelt.

Durchlaufverzögerung

Wird englisch *Propagation Delay* genannt und bezeichnet die Zeit, die Daten vom Eingang bis zum Ausgang des Bauteils brauchen.

Die Durchlaufverzögerung beträgt beim Cyclone IV 4 ns (Altera, 2014).

Finite State Machine (FSM)

“A model of a computational system, consisting of a set of states, a set of possible inputs, and a rule to map each state to another state, or to itself, for any of the possible inputs.” (of the English Language, 2011)

Auf deutsch: “Ein Model in Rechensystemen, das aus einem Satz aus Zuständen, möglichen Eingängen und Regeln wie man von einem Zustand zum nächsten, oder zu sich selbst, für alle möglichen Eingänge gelangt.”

Flip-Flops

Grundbaustein der Digitalen Logik. Das Flip-Flop speichert seinen Wert, den es am Eingang erhält am Ausgang.

Glitch

Im technischen Bereich bedeutet *Glitch* gemäss Cambridge Dictionary “a sudden unexpected increase in electrical power, especially one that causes a fault in an electronic system” (Online, 02.11.2015).

Auf deutsch: “eine plötzliche, unerwartete Spannungserhöhung, die insbesondere ein Fehlverhalten im elektronischen System verursacht”.

Hold Time

Ist die minimale Zeit, in der die Inputdaten *nach* der Taktflanke stabil sein müssen.

Die Hold Time beträgt beim Cyclone IV E 0 ns (Altera, 2014).

Hot Plug

Bezieht sich auf die Hardware-Umsetzung einer *Finite State Machine*. Gewöhnlich braucht es für 2^n Zustände n Flip-Flops. Bei Hot Plug braucht es für n Zustände n Flip-Flops, denn jeder neue Zustand wird durch eine '1' am n-ten Flip-Flop detektiert. Alle anderen Flip-Flop-Werte sind auf '0'. Die logische Schaltung für eine *Hot Plug FSM* wird durch den direkten Bezug einer gesetzten '1' zum Zustand einfach.

Kathodenstrahl Oszilloskop, KO

Bezeichnet ein elektronisches Messgerät, das ein Signale analog als Spannungen mit deren zeitlichem Verlauf am Bildschirm ausgibt.

Metastabilität

Bezeichnet in der digitalen Signalverarbeitung einen unsicheren Zustand. Der Wert des Ausgangssignals ist nicht vorhersehbar, da beim Eingangssignal die Daten zu spät ankommen oder zu früh weggenommen werden.

Others

Bezeichnet in einem Switch-Case in VHDL alle anderen Möglichkeiten, die nicht abgefragt werden. Es dient dem System einen definierten Zustand zu geben, falls etwas Unerwartetes eintrifft.

Pfadzeit

Bezeichnet die Zeit, die ein Signal von einem Flip-Flop zum nächsten braucht.

Refactoring

Bezeichnet das Überarbeiten eines funktionierenden Codes. Ziele sind, den Code effizienter, verständlicher und sicherer zu gestalten.

Setup Time

Minimale Zeit, in der Inputdaten stabil sein müssen *bevor* eine Taktflanke die Daten triggert.

Die Setup Time beträgt beim Cyclone IV E 10 ns (Altera, 2014)

State

Bezeichnet den aktuellen Zustand einer Finite State Machine.

Textbasierte Test Bench

In VHDL wird die Simulation der Signale in einer Test Bench aufgesetzt. In der Test Bench werden die Signalanregungen, Stimuli, definiert, und die zeitlichen Abläufe unter Signalen. Für eine Test Bench ist eine eigene Software notwendig.

Eine textbasierte Test Bench liest die Stimuli und die zu erwartenden Ergebnisse aus einer Datei ein. Die Ergebnisse werden ebenfalls in eine Datei ausgegeben.

Token

Bezeichnen Elemente in einer Reihe von strukturierten Daten.

Quartus

IDE von Altera zum Kompilieren, Synthetisieren und Einbauen von IPs für die Altera FPGAs.

A. Offizielle Aufgabenstellung

Beschreibung der Projektarbeit PA15_gelk_1

In dieser Projektarbeit sollen Versuche entwickelt werden, die für das Modul DTP2 verwendet werden können. Die Arbeit besteht aus zwei Teilen:

Im ersten Teil der Arbeit sollen Versuche entwickelt werden, mit denen folgende Timing Artefakte demonstriert werden können. Dies soll zum zu einem vertieften Verständnis der digitalen Design Grundlagen führen.

- Erzeugung von Glitches mit einem Zähler und nachgeschaltetem Dekoder. Sichtbarmachung der Glitches mit einem Oszilloskop. Betätigen des asynchronen Resets vom Decoder aus.
- Provozieren und Sichtbarmachung von Metastabilen Zuständen. Hierfür kann z.B. eine Schaltung mit zwei asynchronen externen Takten aufgebaut werden.

Im zweiten Teil soll mit dem dem Direct Digital Synthesis Verfahren ein Synthesizer mit vielfältigen Klangfarben entwickelt werden. Damit kann anspruchsvolle digitale Schaltungstechnik umgesetzt werden. Zum Erreichen der Klangvielfalt können mehrere DDS Generatoren gleichzeitig, mit unterschiedlichen Frequenzen und Phasen betrieben werden. Möglich ist auch eine Frequenzmodulation mit einem zweiten Generator oder Ändern des Volumens mit einer Hüllkurve. Die Ansteuerung soll mit Hilfe eines MIDI Interfaces, welches Polyphonie (mehrere Klaviertasten gleichzeitig gedrückt) unterstützt. Die Implementierung soll im FPGA erfolgen. In der Implementierungsphase der Arbeit soll das Timing der FPGA Implementierung genau betrachtet werden.

Am Ende soll eine Referenzimplementierung in Anlehnung an den Yamaha DX7 für das Modul DTP2 entstehen

B. Aufgabenspezifikation für den zweiten Teil

- Midi Interface for Keyboard für Polyphonie nach Konzept von Gelke
 - 10 Frequenz Control Ausgänge zur Steuerung der Tonhöhe des Generators
 - 10 On/Off Ausgänge Ton On/Off
 - UART wird geliefert von Gelke
 - VHDL wird von Grund auf neu erstellt.
- 10 DDS implementieren und mit Mischer Mischen
- Script basierte Test Bench. Test Bench erzeugt serielle Midi Daten, so wie sie auf dem DIN Stecker vorkommen (logisch)
- Test Bench liest eine Testscript Datei ein, in welcher die Tastendrucke eines Keyboards abgebildet werden können. Midi Poliphony Spec muss durch die Test Bench unterstützt werden können. Velocity muss nicht unterstützt werden.
- FM Modulation – Tetst Bench im Matlab
- Kein VHDL code ohne Test Bench.
- Block Level Test Bench. Unit Tests.

Abgrenzung:

- Keine Hüllkurve
- Keine Ausgabe der Velocity aud Midi Controller
- Kein Bluetooth

Zeitplan:

- 2.5 Wochen Midi Controller incl. 10 DDS
- 2.5 Wochen FM Synthese

Unterstützung:

- Midi Controller/Gelke
- FM-Synthese/Rosenthal

Falls Midi nicht zum geplanten Zeitpunkt fertig wird, wird FM-zurückgestellt. Alle oben genannten Punkte sind Pflicht.

Nicht Fertigstellung hat Einfluss auf die Benotung.

C. CD mit Projektdateien

D. In- und Output-Datei textbasierte Test Bench

Datei mit Testbefehlen für die Test Bench

```
reset 00 00 00 00 00 00 00 00 00 00
check 00 00 00 00 00 00 00 00 00 00
singl 55 90 27 80 27 90 05 00 00
check 00 00 27 00 00 00 05 00 00
singl 55 90 73 80 73 90 16 00 00
check 00 00 00 00 00 00 16 00 00
polyp 71 55 02 55 33 55 08 00 00
check 71 02 33 00 00 00 00 00 03
polyp 20 55 03 00 20 00 40 55 00
check 20 00 16 00 40 00 00 00 03
polyp 71 00 16 55 20 55 33 00 00
check 00 00 16 00 20 00 00 00 04
```

Das Testergebnis in der Datei

Automatically generated outputfile

Read file with commands in

reset

Read note:00

Read attribut: 00

Read note:00

Read attribut: 00

Read note:00

Read attribut: 00

Read note:00

Read attribut: 00

Read note number: 00

check

Read note:00

Read attribut: 00

Read note:00

Read attribut: 00

Read note:00

Read attribut: 00

Read note:00

Read attribut: 00

Read note number: 00

```
singl
Read note:55
Read attribut: 90
Read note:27
Read attribut: 80
Read note:27
Read attribut: 90
Read note:05
Read attribut: 00
Read note number: 01
```

```
check
Read note:00
Read attribut: 00
Read note:27
Read attribut: 00
Read note:00
Read attribut: 00
Read note:05
Read attribut: 00
Read note number: 01
```

... etc

```
polyp
Read note:02
Read attribut: 55
Read note:03
Read attribut: 00
Read note:20
Read attribut: 00
Read note:40
Read attribut: 55
Read note number: 03
```

```
check
Read note:02
Read attribut: 00
Read note:16
Read attribut: 00
Read note:40
Read attribut: 00
Read note:00
Read attribut: 00
Read note number: 03
```

```
Number of read lines from file: 12
Finished read whole file
```

```
-----
-----
```

```
Test row is 0: Mode reset.
Ergebnis
Reset good.
```

Test row is 2: Mode is singl.
Note set on 90
Note out 27. Expected 27. Good.

Note set off 80
Note out 27. Expected 27. Good.

Note set on 90
Note out 05. Expected 05. Good.

Reset circuit single.

Test row is 4: Mode is singl.
Note set on 90
Note out 73. Expected 73. Good.

Note set off 80
Note out 73. Expected 73. Good.

Note set on 90
Note out 16. Expected 16. Good.

Reset circuit single.

Test row is 6: Mode is polyphony.
Ergebnis
Number of active notes 03. Good.

Test row is 8: Mode is polyphony.
Ergebnis
Number of active notes 04. Good.

Test row is 10: Mode is polyphony.
Ergebnis
Number of active notes 03. Good.

E. Blockschaltbild Top-Level Synthesizer-Projekt

In die bestehenden Blöcke und Signale wird das MIDI Interface wie folgt eingebaut:

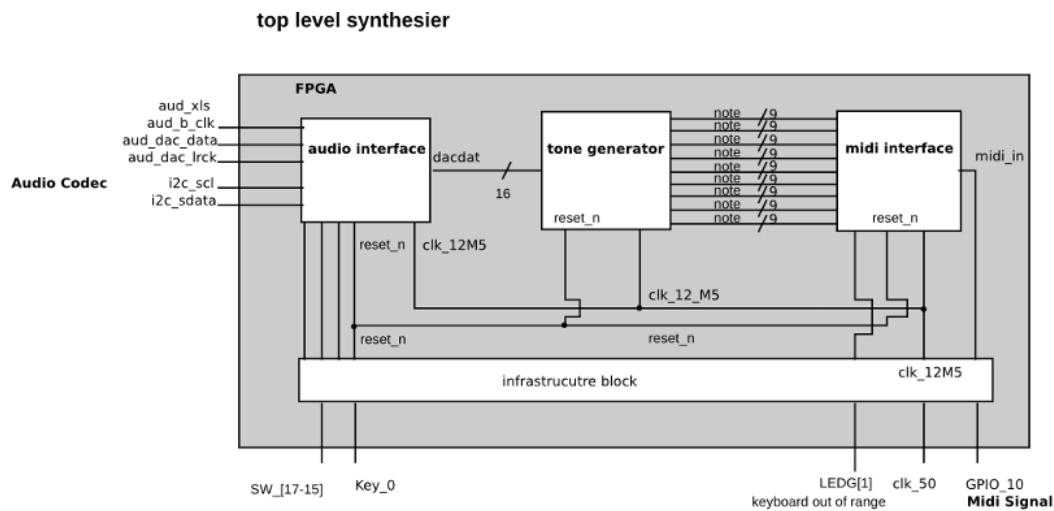


Abbildung E.1.: Top Synthesizer mit MIDI Interface: Blockschaltbild

Hier ist das Konzept der Umsetzung des MIDI Interface detaillierter beschrieben:

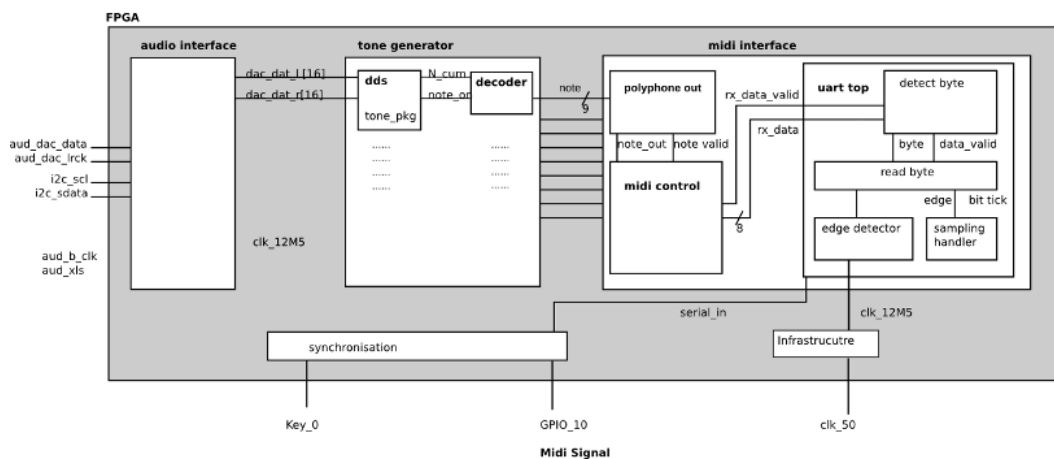


Abbildung E.2.: Top Synthesizer mit MIDI Interface: Detailansicht