

“AÑO DE LA UNIVERSALIZACIÓN DE LA SALUD”.



**UNIVERSIDAD NACIONAL DE SAN AGUSTÍN DE
AREQUIPA**

**ESCUELA PROFESIONAL DE CIENCIA DE LA
COMPUTACIÓN
COMPUTACIÓN PARALELA**

Interconnection Networks

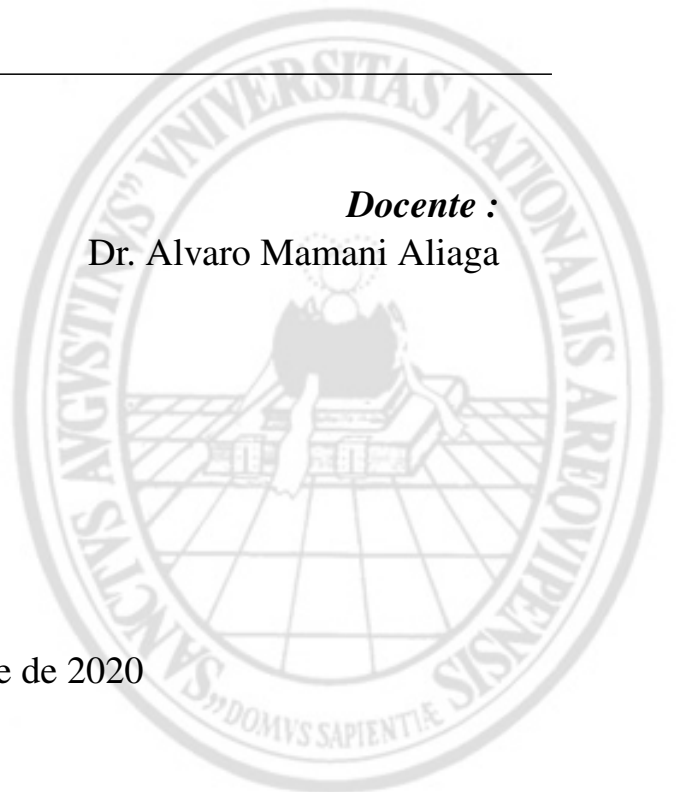
Alumnos:

Miguel Alexander, Herrera Cooper

Docente :

Dr. Alvaro Mamani Aliaga

25 de septiembre de 2020



Índice

1. Fuentes de paralelismo en los programas	2
1.1. Paralelismo de Control	2
1.2. Paralelismo de datos paralelismo de datos	2
1.3. Paralelismo de flujo	2
2. Clasificación de Flynn de los computadores paralelos	2
2.1. SISD (Single Instruction Single Data)	2
2.2. SIMD (Single Instruction Multiple Data)	3
2.3. MISD (Multiple Instruction Single Data)	3
2.4. MIMD (Multiple Instruction Multiple Data)	3
3. Clasificación de los multiprocesadores por la ubicación de la memoria	4
3.1. Multiprocesadores de memoria compartida	4
3.2. Multiprocesadores de memoria distribuida o multicomputadores	4
4. Memoria Compartida	5
4.1. Estructura de los multiprocesadores de memoria compartida	5
4.2. Medio de interconexión de los procesadores con la Memoria Compartida . . .	6
4.2.1. Conexión por bus compartido	6
4.2.2. Conexión por conmutadores crossbar	7
4.2.3. Conexión por red multietapa	7
4.2.4. Ejemplo de rede multietapa: red Omega ()	8
5. Memoria Distribuida	10
5.1. Estructura de los multiprocesadores de memoria distribuida: Multicomputadores	10
5.2. Propiedades de los multicomputadores	10
5.3. Redes Estaticas o Directas	11
5.3.1. Hipercubos	12
5.4. Redes Indirectas	13
6. Aspectos tecnológicos	14

1. Fuentes de paralelismo en los programas

• En relación con la explotación del paralelismo para su traducción en mejora de rendimiento las aplicaciones (programas) manifiestan tres tipos:

- Paralelismo de control
- Paralelismo de datos
- Paralelismo de flujo

1.1. Paralelismo de Control

Proviene del hecho de que determinadas sub-tareas de la aplicación son independientes y en consecuencia pueden realizarse en paralelo (simultáneamente).

1.2. Paralelismo de datos

Proviene del hecho de que ciertas aplicaciones trabajan con estructuras de datos muy regulares (vectores y matrices), repitiendo una misma acción sobre cada elemento de la estructura.

1.3. Paralelismo de flujo

Proviene del hecho de que ciertas aplicaciones funcionan como un flujo de datos sobre el que debe efectuarse una sucesión de operaciones en cascada (etapas).

Los elementos de proceso se asocian a las múltiples etapas de la aplicación.

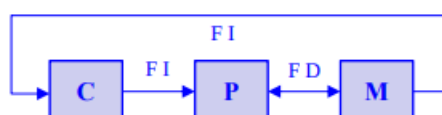
2. Clasificación de Flynn de los computadores paralelos

Flynn clasificó los computadores paralelos atendiendo al carácter Simple (S) o Múltiple (M) del Flujo de Instrucciones y el Flujo de Datos

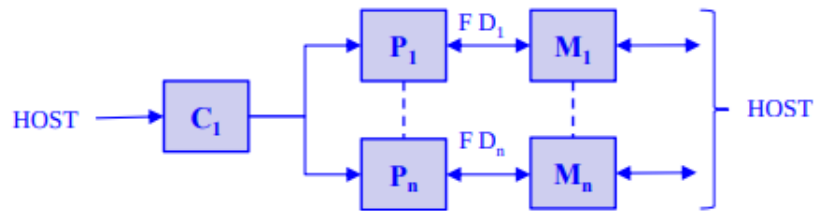
CLASIFICACION DE FLYNN		Flujo Instrucciones	
		S	M
Flujo Datos	S	SISD	MISD
	M	SIMD	MIMD

C = Control
P = Proceso (Unidad)
M = Memoria
MC = Memoria Compartida
FI = Flujo de Instrucciones
FD = Flujo de Datos

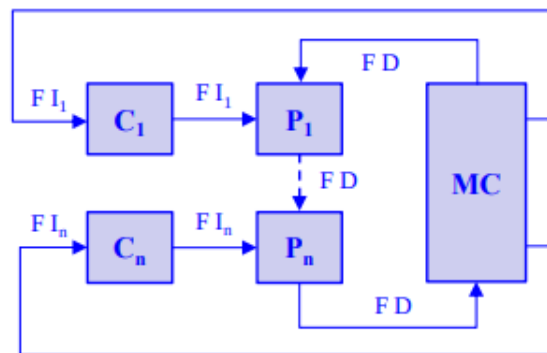
2.1. SISD (Single Instruction Single Data)



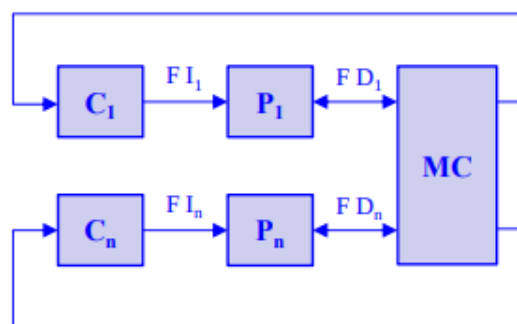
2.2. SIMD (Single Instruction Multiple Data)



2.3. MISD (Multiple Instruction Single Data)



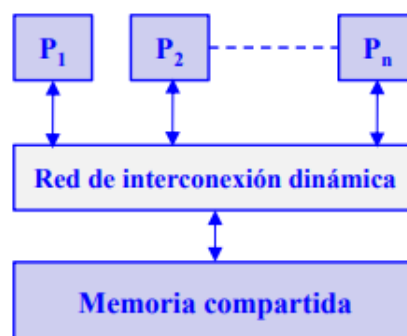
2.4. MIMD (Multiple Instruction Multiple Data)



3. Clasificación de los multiprocesadores por la ubicación de la memoria

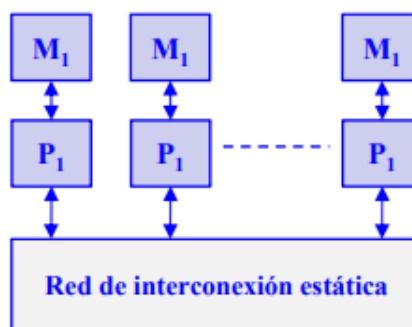
3.1. Multiprocesadores de memoria compartida

- Todos los procesadores acceden a una memoria común
- La comunicación entre procesadores se hace a través de la memoria
- Se necesitan primitivas de sincronismo para asegurar el intercambio de datos



3.2. Multiprocesadores de memoria distribuida o multicomputadores

- Cada procesador tiene su propia memoria
- La comunicación se realiza por intercambio explícito de mensajes a través de una red



4. Memoria Compartida

- El medio de comunicación es compartido por todos los elementos de proceso.
- Sólo un dispositivo puede usar la red en un momento dado.
- La red actúa como un elemento pasivo ya que no genera mensajes.
- La comunicación es tipo broadcast por lo que debe haber sistemas de arbitraje para solucionar colisiones.

4.1. Estructura de los multiprocesadores de memoria compartida

- La mayoría de los multiprocesadores comerciales son del tipo UMA (Uniform Memory Access): todos los procesadores tienen igual tiempo de acceso a la memoria compartida.
- En la arquitectura UMA los procesadores se conectan a la memoria a través de un bus, una red multietapa o un conmutador de barras cruzadas (red multietapa o un conmutador de barras cruzadas (crossbar crossbar) y disponen de su propia) y disponen de su propia memoria caché.
- Los procesadores tipo NUMA (Non Uniform Memory Access) presentan tiempos de acceso a la memoria compartida que dependen de la ubicación del elemento de proceso y la memoria. la memoria compartida que dependen de la ubicación del elemento de proceso y la memoria.

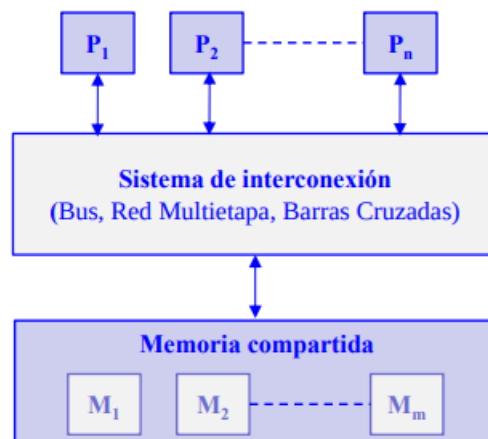
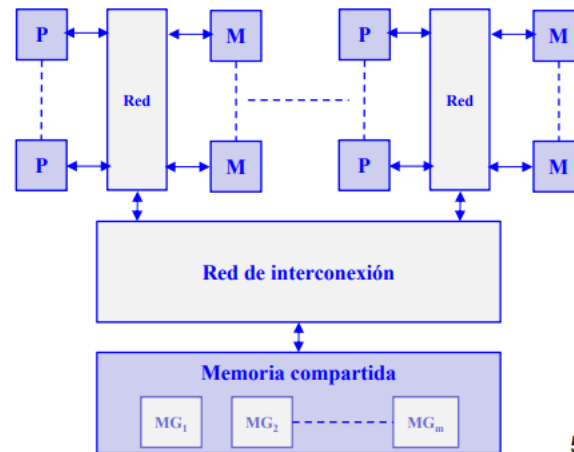


Figura 1: Modelo UMA



5

Figura 2: Modelo NUMA

4.2. Medio de interconexión de los procesadores con la Memoria Compartida

4.2.1. Conexión por bus compartido

- Es la organización más común en los computadores personales y servidores
- El bus consta de líneas de dirección, datos y control para implementar:
 - El protocolo de transferencias de datos con la memoria El protocolo de transferencias de datos con la memoria.
 - El arbitraje del acceso al bus cuando más de un procesador compite por utilizarlo.
- Los procesadores utilizan cachés locales para:
 - Reducir el tiempo medio de acceso a memoria, como en un monoprocesador
 - Disminuir la utilización del bus compartido.

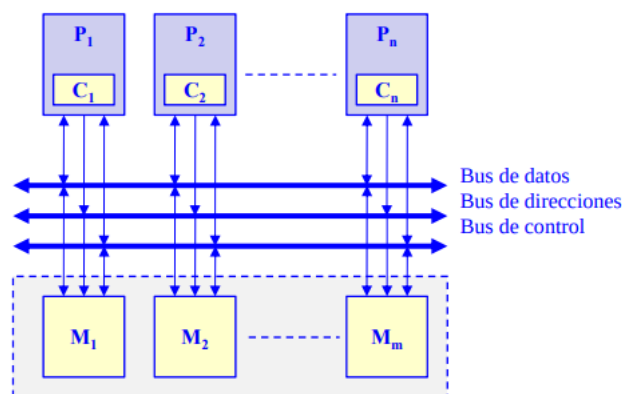


Figura 3: Conexion por Bus Compartido

4.2.2. Conexión por conmutadores crossbar

- Cada procesador (P_i) y cada módulo de memoria (M_i) tienen su propio bus.
- Existe un conmutador (S) en los puntos de intersección que permite conectar un bus de memoria con un bus de procesador.
- Para evitar conflictos cuando más de un procesador pretende acceder al mismo módulo de memoria se establece un orden de prioridad.
- Se trata de una red sin bloq p p p j ueo con una conectividad completa pero de alta complejidad.

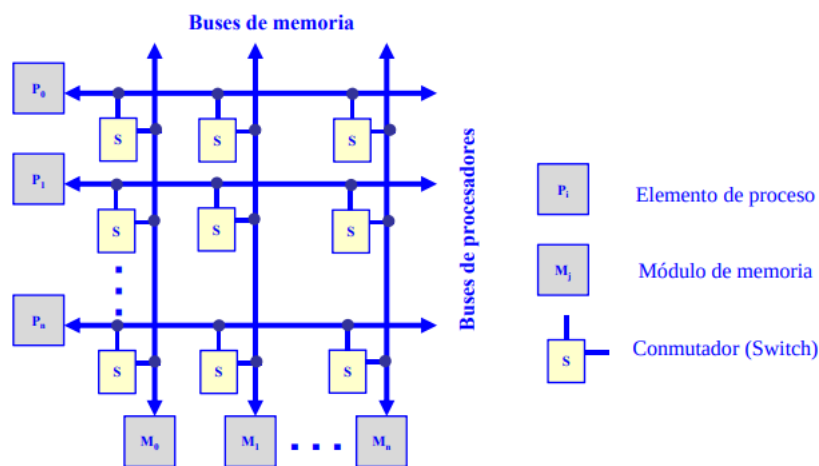


Figura 4: Conexión por conmutadores crossbar

4.2.3. Conexión por red multietapa

- Representan una alternativa intermedia de conexión entre el bus y el crossbar.
- Es de menor complejidad que el crossbar pero mayor que el bus simple.
- La conectividad es mayor que la del bus simple pero menor que la del crossbar.
- Se compone de varias etapas alternativas de conmutadores simples y redes de interconexión.
- En general las redes multietapa responden al siguiente esquema: En general las redes multietapa responden al siguiente esquema:

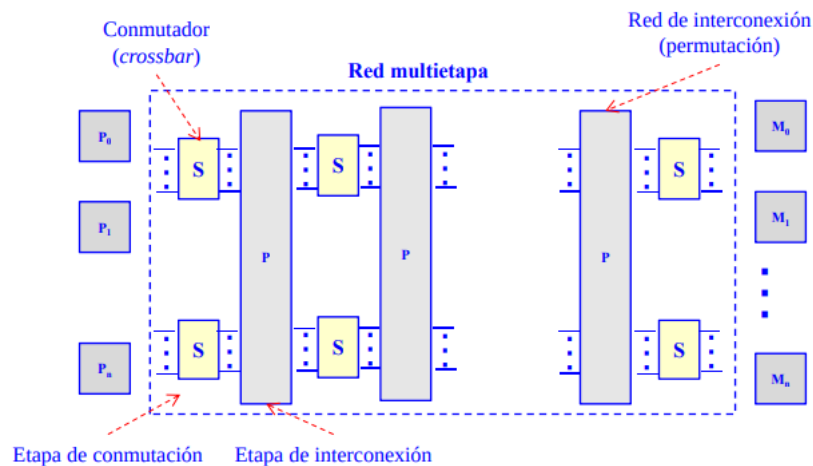


Figura 5: Conexión por red multietapa

4.2.4. Ejemplo de red multietapa: red Omega ()

- Se trata de una red multietapa compuesta de conmutadores básicos de 2 entradas y 2 salidas



Figura 6: Conmutador Basico

- Cada conmutador puede estar en dos estados: paso directo y cruce.



Figura 7: Estados del Conmutador

- La interconexión entre etapas se realiza con un patrón fijo denominado barajadura perfecta. Cruce Paso directo
- La red de 3 etapas que conecta 8 procesadores con 8 módulos de memoria sería la siguiente:

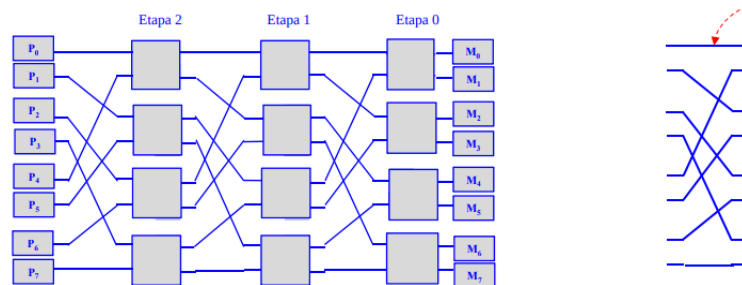


Figura 8: Barajadura Perfecta

5. Memoria Distribuida

5.1. Estructura de los multiprocesadores de memoria distribuida: Multicomputadores

- Los multiprocesadores de memoria compartida presentan algunas desventajas:
 - Se necesitan técnicas de sincronización para acceder a las variables compartidas
 - La contención en la memoria puede reducir significativamente la velocidad.
 - No son fácilmente escalables a un gran número de procesadores
- Un multicomputador consta de un conjunto de procesadores conectados por una red.
- Cada procesador tiene su propia memoria local, incluida la caché, y se comunican por paso de mensajes a través de la red.

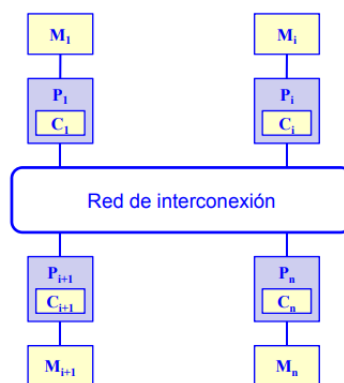


Figura 9: Red de Interconexión

5.2. Propiedades de los multicomputadores

- El número de nodos puede ir desde algunas decenas hasta varios miles (o más).
- La arquitectura de paso de mensajes tiene ventajas sobre la de memoria compartida cuando el número de procesadores es grande.
- El número de canales físicos entre nodos suele oscilar entre cuatro y ocho.
- Esta arquitectura es directamente escalable y presenta un bajo coste para sistemas grandes.
- Un problema se especifica como un conjunto de procesos que se comunican entre sí y que se hacen corresponder sobre la estructura física de procesadores.
- El tamaño de un proceso viene determinado por su granularidad:

$$Granularidad = \frac{Tiempo de Cálculo}{Tiempo de Comunicación}$$

- Al reducirse la granularidad la sobrecarga de comunicación de los procesos aumenta
- Por ello, la granularidad empleada en este tipo de máquinas suele ser media o gruesa.
- • El programa a ejecutar debe de ser intensivo en cálculo, no intensivo en operaciones de entrada/salida o de paso de mensajes

5.3. Redes Estaticas o Directas

- Los multicomputadores utilizan redes estáticas con enlaces directos entre nodos
- Cuando un nodo recibe un mensaje lo procesa si viene dirigido a dicho nodo.
- Si el mensaje no va dirigido al nodo receptor lo reenvía a otro por alguno de sus enlaces de salida siguiendo un protocolo de encaminamiento.
- Las propiedades más significativas de una red estática son las siguientes:
 1. **Topología de la red:** determina el patrón de interconexión entre nodos.
 2. **Diámetro de la red** **Diámetro de la red:** distancia máxima de los caminos más cortos entre dos nodos de : distancia máxima de los caminos más cortos entre dos nodos de la red.
 3. **Latencia:** retardo de tiempo en el peor caso para un mensaje transferido a través de la red.
 4. **Ancho de banda:** Transferencia máxima de datos en Mbytes/segundo.
 5. **Escalabilidad:** Posibilidad de expansión modular de la red.
 6. **Grado de un nodo:** Número de enlaces o canales que inciden en el nodo.
 7. **Algoritmo de encaminamiento:** Determina el camino que de be seguir un mensaje desde el nodo emisor al nodo receptor.

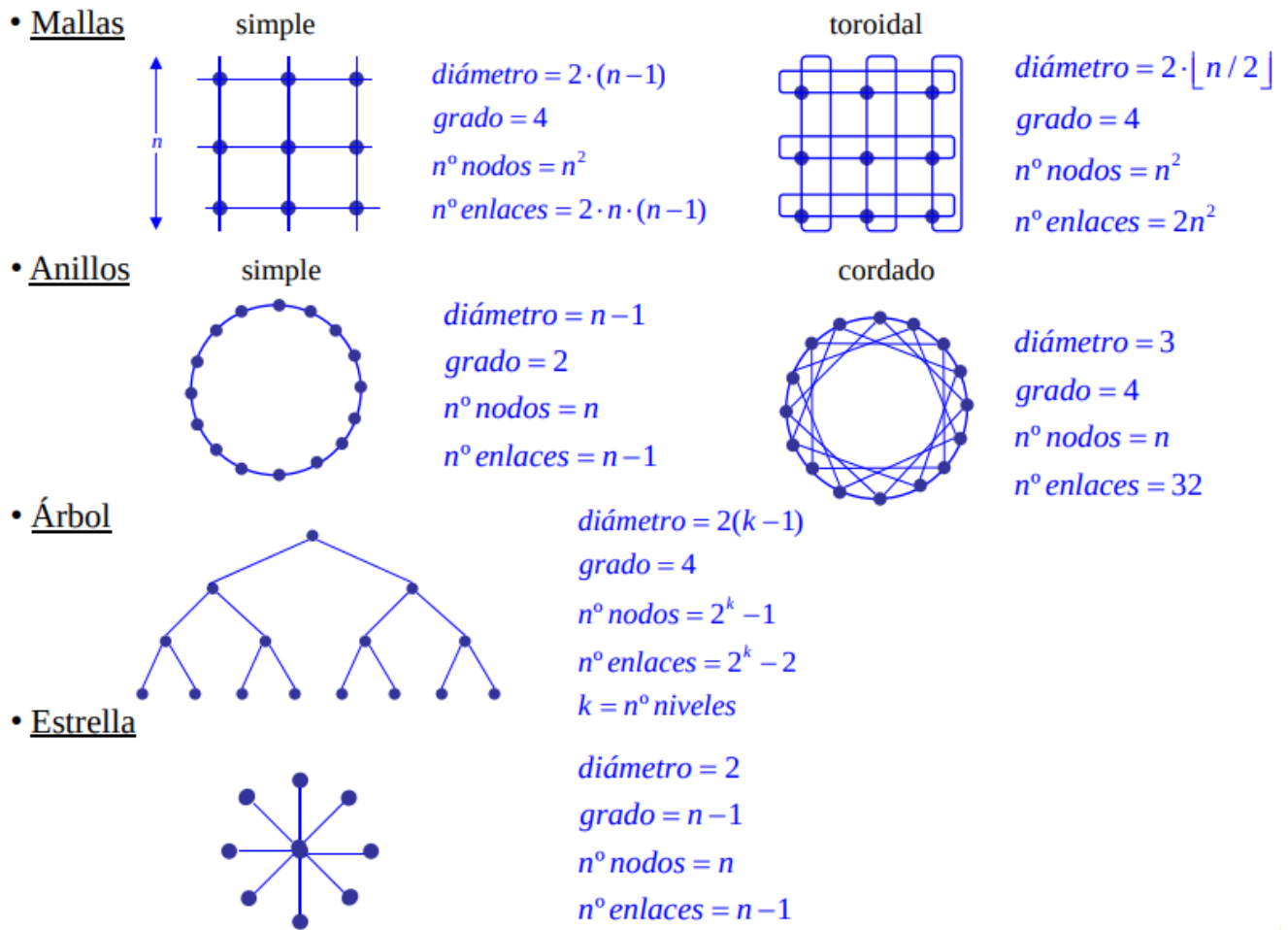


Figura 10: Topologías de Red Directas

5.3.1. Hipercubos

- • Un cubo-n o hipercubo de dimensión n consta de $N=2^n$ nodos extendidos a lo largo de n dimensiones.
- El grado vale n
- El diámetro también vale n
- Existen n caminos disjuntos entre cualquier par de nodos
- Cada nodo se etiqueta con un número binario de n bits de tal modo asignados que dos vértices conectados se diferencian en un solo bit.

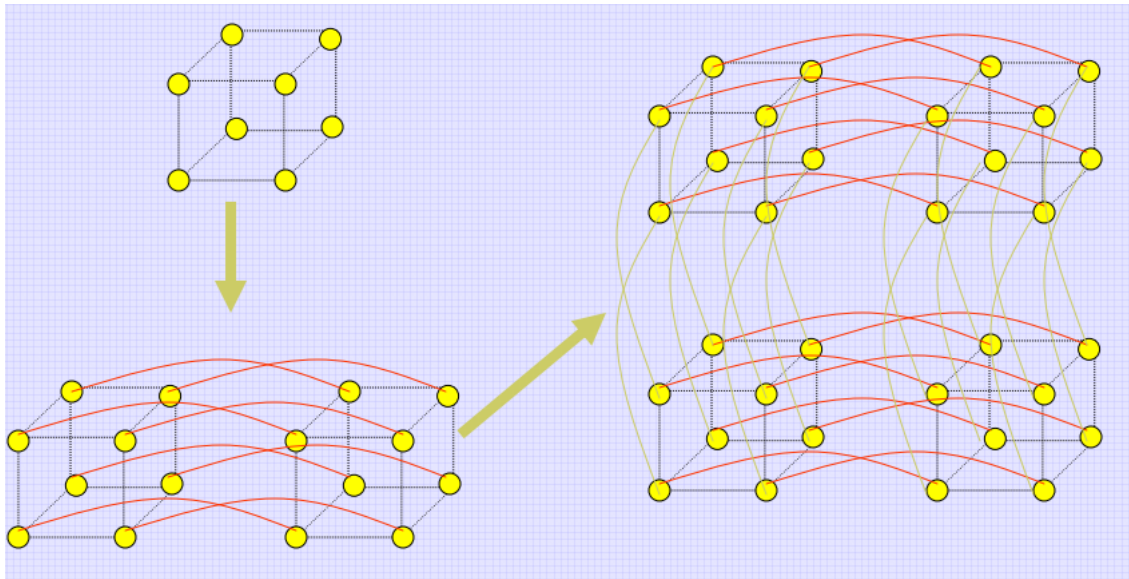


Figura 11: Cubo Cosmico

5.4. Redes Indirectas

- Basadas en conmutadores (switches)
- No existe comunicación directa entre nodos (como en las directas)
- La conexión entre nodos se realiza mediante uno o más switches
- Cada switch tiene un conjunto de puertos
- Cada puerto posee un enlace de entrada y otro de salida
- Cada switch puede tener conectados algunos nodos (o ninguno)

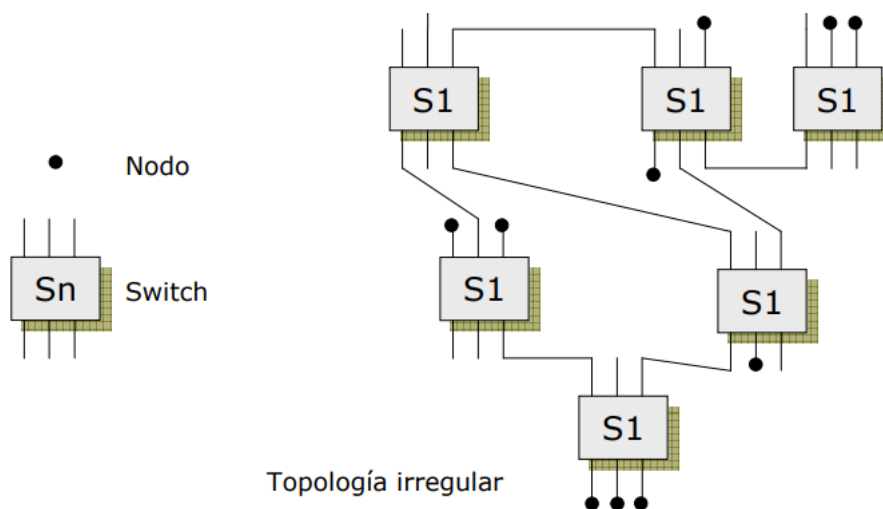


Figura 12: Topologías Irregular Red Directas

6. Aspectos tecnológicos

El estudio de las redes de interconexión, en términos puramente topológicos (diámetro y distancia media), presupone una anchura de canal constante, es decir, que la anchura del camino de los datos entre dos procesadores unidos físicamente en la red sea la misma, cualquiera que sea la topología estudiada. Esta considera igualmente una demora constante de propagación por las conexiones. Bajo estas hipótesis, los resultados del modelo gráfico tienden a presentar como preferibles las redes donde los nudos tienen un grado fuerte (hipercubos) en relación a aquellas otras de grado débil (mallas). Pero la limitación esencial de los sistemas basados en VLSI reside en las conexiones y no en los dispositivos que conmutan (lógica y memoria). A menudo, se modeliza esta limitación por la sección de la red, que es el número de líneas (de 1 bit de ancho) que atraviesan una mediatriz de la red.

Consideremos el caso de una aplicación en la que las comunicaciones están distribuidas uniformemente, es decir, las probabilidades de comunicación entre dos procesadores cualesquiera son iguales. La red será estable si el número medio de bits que pueden atravesar la mediatriz no sobrepasa la sección. La toma de conciencia de esta limitación en el campo de los multicomputadores es muy reciente. En efecto, para cientos de procesadores el recurso en conexiones es, en todo momento, suficiente. Para órdenes de magnitud superiores, deben hacerse dos preguntas:

¿Cuál es la posibilidad de realizar físicamente la red en dos o tres dimensiones, dado un número limitado de conexiones posibles entre componentes, de contactos en las tarjetas, etc.?

¿Cómo repartir la banda global de la red entre las aristas abstractas del grafo?.

El primer problema se conoce con el nombre de packaging, es decir, de la encapsulación de la pastilla y de sus conectores. Los progresos a este nivel son mucho más lentos que los correspondientes a la escala o densidad de integración, pero las perspectivas de la encapsulación de componentes en tres dimensiones (3D) es más clara cada día.

La segunda cuestión significa que, para realizar físicamente una red de dimensión elevada, es necesario trabajar sobre un espacio de dos o tres dimensiones, y distribuir luego las dimensiones de la red entre las dimensiones del espacio físico. Las dimensiones lógicas suplementarias crean líneas largas que, a su vez, aumentan la superficie de interconexión y el tiempo de propagación para el conjunto de la red. La comunicación puede basarse, entonces, en dos esquemas:

- Líneas largas, y por consiguiente estrechas y lentas, por efecto del tiempo de propagación por la línea y también por la secuenciación (serie) que deberá experimentar cada mensaje. Las líneas largas permiten topologías cuyo diámetro lógico es débil, por ejemplo los hipercubos.
- Líneas anchas en cuanto al número de líneas físicas en paralelo, pero que, en todo caso, deben ser cortas y rápidas. Las topologías correspondientes son regulares y ampliables, típicamente mallas o toros 2D ó 3D. Es el objetivo actual, tendente a alcanzar un paralelismo masivo. Por ejemplo, la red del futuro sucesor de los Hipercubos de Intel (proyecto Touchstone) está constituido por una malla 2D.