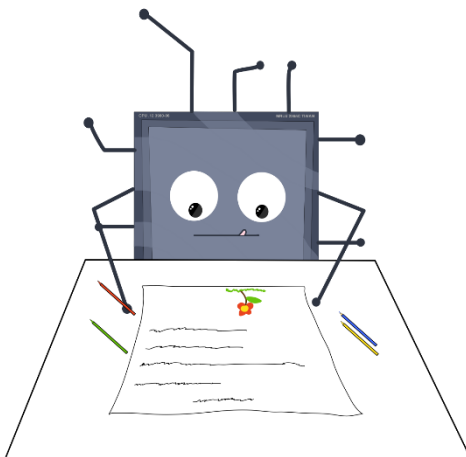




Homework 1

Lec 1-10

- ◀ مهلت ارسال تمرین ساعت ۲۳:۵۹ روز ۲ دی می باشد.
- ◀ سوالات خود را می توانید از طریق تلگرام از آقای سپهر مقیسه (@Ihavegoosebumps)، آقای فراز فرنگی-زاده (@faraz_ffff)، خانم زهره کریمی (@zohreh_karimi01)، خانم محدثه اطمیابی (@Mohadeseh_atyabi)، خانم روژینا ستارپور (@Rozhiiiiin_S) و خانم زهرا رحیمی (@Zahra_Rahimii) بپرسید.
- ◀ ارائه پاسخ تمرین بهتر است به روش های زیر باشد:
 - (۱) استفاده از فایل docx. تایپ پاسخ ها و ارائه فایل pdf.
 - (۲) چاپ تمرین و پاسخ دهی به صورت دستنویس خوانا
- ◀ فایل پاسخ تمرین را تنها با قالب HW1_StudentNumber.pdf در مدل بارگزاری کنید.
 - نمونه: HW1_9831090
- ◀ فایل زیب ارسال نکنید.





سوال ۱:

در ارتباط با بحث Microprocessor و Microcontroller به سوالات زیر پاسخ دهید:

الف) اجزای مختلف Microcontroller را نام ببرید. (چهار مورد)

ب) چهار تفاوت اصلی Microprocessor و Microcontroller را شرح دهید.

پ) آیا استفاده از Microcontroller ها به جای Microprocessor ها بهینه تر است؟ توضیح دهید.



سوال ۲:

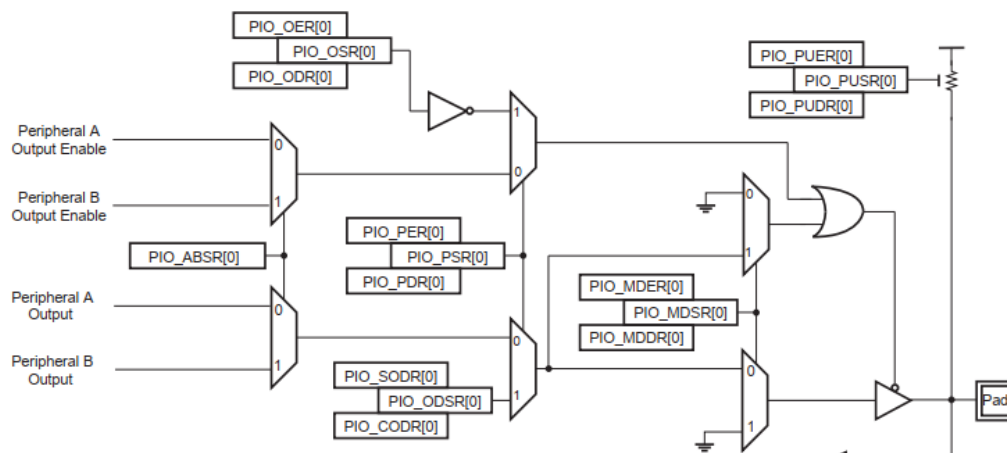
به پرسش‌های زیر در مورد NVIC پاسخ دهید:

- الف) Vector table چیست و محتوای آن چیست و آدرس آن در کجا ذخیره شده است؟
- ب) با در نظر گرفتن این موضوع که NVIC-IPR اعداد بدون علامت در خود ذخیره می‌کند، چگونه وقفه‌هایی با اولویت منفی داریم؟
- پ) ۴ حالت کاری وقفه NVIC را نام برده و حالت Active and Pending را به صورت مختصر شرح دهید.
- ت) توضیح دهید چرا برای ذخیره اولویت‌بندی وقفه‌ها نیاز به ۶۰ رجیستر ۳۲ بیتی داریم؟ (منظور همان رجیسترهای NVIC_IPR0 – NVIC_IPR59 است)

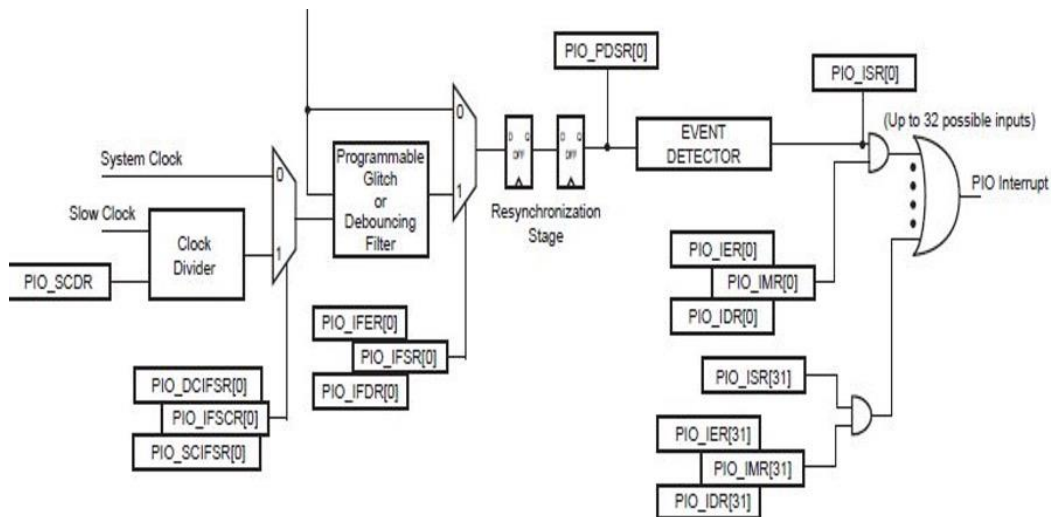


سوال ۳:

الف) با توجه به تصویر رو به رو که منطق کنترلی پایه شماره صفر یک واحد PIO را نشان می دهد، اگر بخواهیم خروجی پایه تحت کنترل Peripheral A باشد (مقدار پایه ورودی بافر سه حالتی برابر با Peripheral A Output باشد و مقدار پایه فعال سازی آن برابر با Peripheral A Output Enable باشد)، بیت صفر هر یک از رجیستر های PIO_MDSR, PIO_ABSR و PIO_PSR باید چه مقداری داشته باشد؟ (پاسخ خود را به ترتیب به صورت PIO_PSR[0]PIO_ABSR[0]PIO_MDSR[0] مانند XXX بنویسید)



ب) در شکل زیر Flip Flop ها چه کاربردی دارند و چرا فقط در مدار مربوط به ورودی از آن ها استفاده می شود؟





سوال ۴:

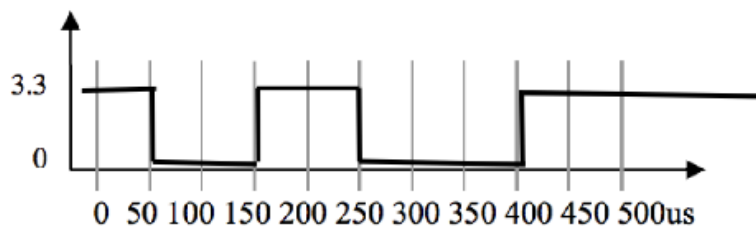
با توجه به این که هر دو رابط I2C و SPI مناسب انتقال داده با سرعت پایین و تست و دیباگ هستند، به همراه دلیل مشخص کنید که برای هر کدام از سناریوهای زیر، کدام یک از این دو رابط مناسبتر است:

- یک Master در ارتباط با یک Slave
- یک Master در ارتباط با چند Slave
- چندین Master در ارتباط با یک یا چند Slave



سوال ۵:

الف) فرض کنید شکل زیر یک فریم ۱۰ بیتی است (یک بیت شروع، ۸ بیت داده و یک بیت پایان). با فرض این که خط قبل و بعد از انتقال داده بیکار است، ۸ بیت داده را مشخص کنید.



ب) مقدار baud rate در این کانال چند bit/s است؟

ج) در حالت کلی فرض کنید که BR مقدار baud rate یک کانال UART بر حسب bits/s است. رابطه ماکزیمم bandwidth و BR چیست؟

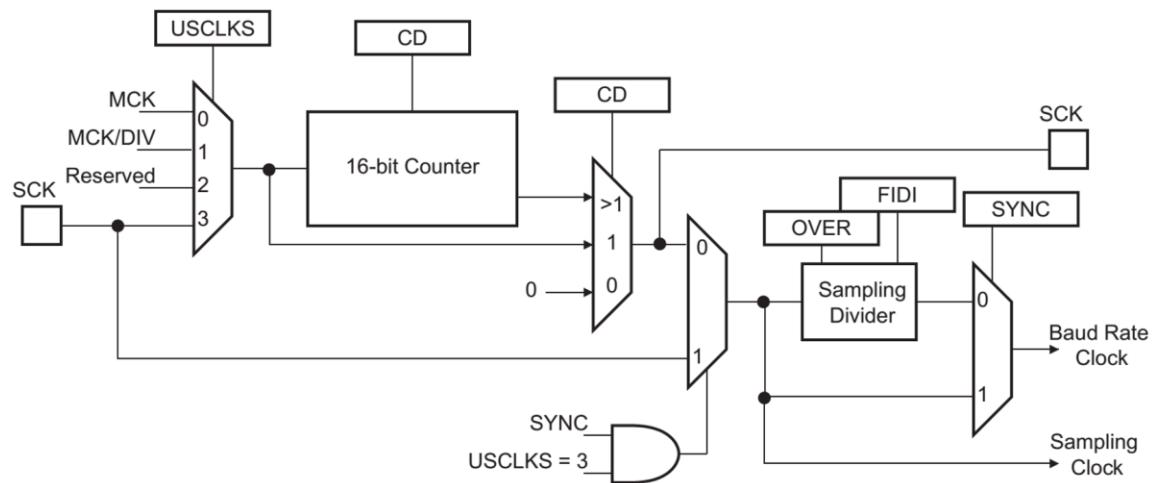


سوال ۶:

به سوالات زیر در مورد baud rate generator برای ارتباط USART پاسخ دهید.

$MCK = 512\text{MHz}$

$MCK/DIV = 128\text{MHz}$



الف) در حالت آسنکرون در صورتی که $\text{baud rate} = 8\text{Kbps}$ باشد، رجیسترهای OVER، SYNC، USCLKS و CD چه مقادیری باید داشته باشند؟

ب) فرض کنید در حالت سنکرون $\text{baud rate} = 2\text{Kbps}$ باشد، مقادیر ممکن برای رجیسترهای SYNC، USCLKS و CD را بدست آورید.



سوال ۷ (امتیازی):

در مورد وقفه‌ها به سوالات زیر پاسخ دهید:

الف) سیاست tail chaining و late-arriving و pulse & level را در NVIC بررسی کنید.

ب) دلایل وجود Masking را نام برده و ۳ نوع masking را که می‌توانیم تعدادی از وقفه‌ها را همزمان Mask کنیم را به صورت مختصر شرح دهید.

پ) فرض کنید می‌خواهیم وقفه شماره ۲ را Disable کنیم و وقفه شماره ۱۱ را Enable کنیم و اولویت آن‌را به ۶ تغییر دهیم. محتوای کدام یک از رجیسترهای NVIC تغییر می‌کند؟ (وقفه‌ها از شماره ۱ شروع می‌شوند)