

Disseny de registres

Rosa M. Badia
Ramon Canal
DM
Tardor 2004

Tipus d'elements de memòria

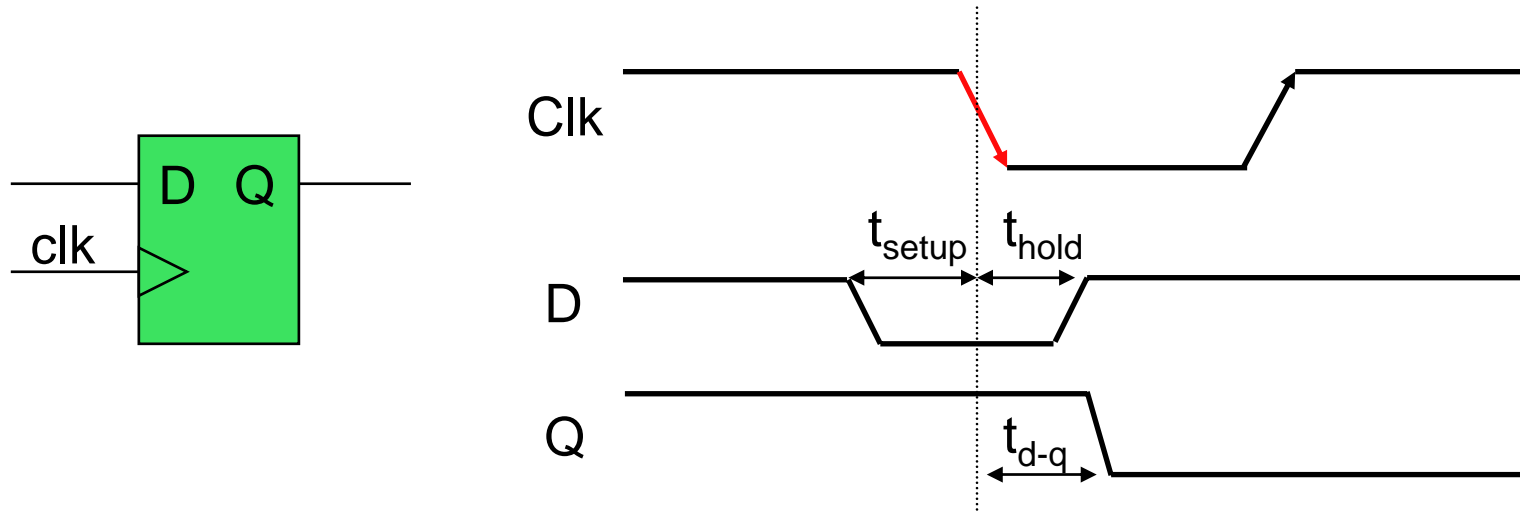
- Utilitzats per emmagatzemar informació binària (registres).
- Depenen de la sincronització amb el rellotge:
 - Flip-flop: sincronitzat per flanc
 - Latch: sincronitzat per nivell
 - Pulse-mode
 - Asíncrons (sense rellotge)
- Varietat en la seva implementació:
 - Velocitat
 - Càrrega sobre el rellotge
 - Estàtics / dinàmics

Latches vs Flip-flops

- Latches
 - **level sensitive** circuit that passes inputs to Q when the clock is high (or low) - **transparent** mode
 - input sampled on the falling edge of the clock is held stable when clock is low (or high) - **hold** mode
- Flip-flops (edge-triggered)
 - **edge sensitive** circuits that sample the inputs on a clock transition
 - positive edge-triggered: $0 \rightarrow 1$
 - negative edge-triggered: $1 \rightarrow 0$
 - built using latches (e.g., master-slave flipflops)

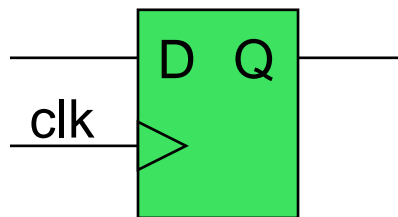
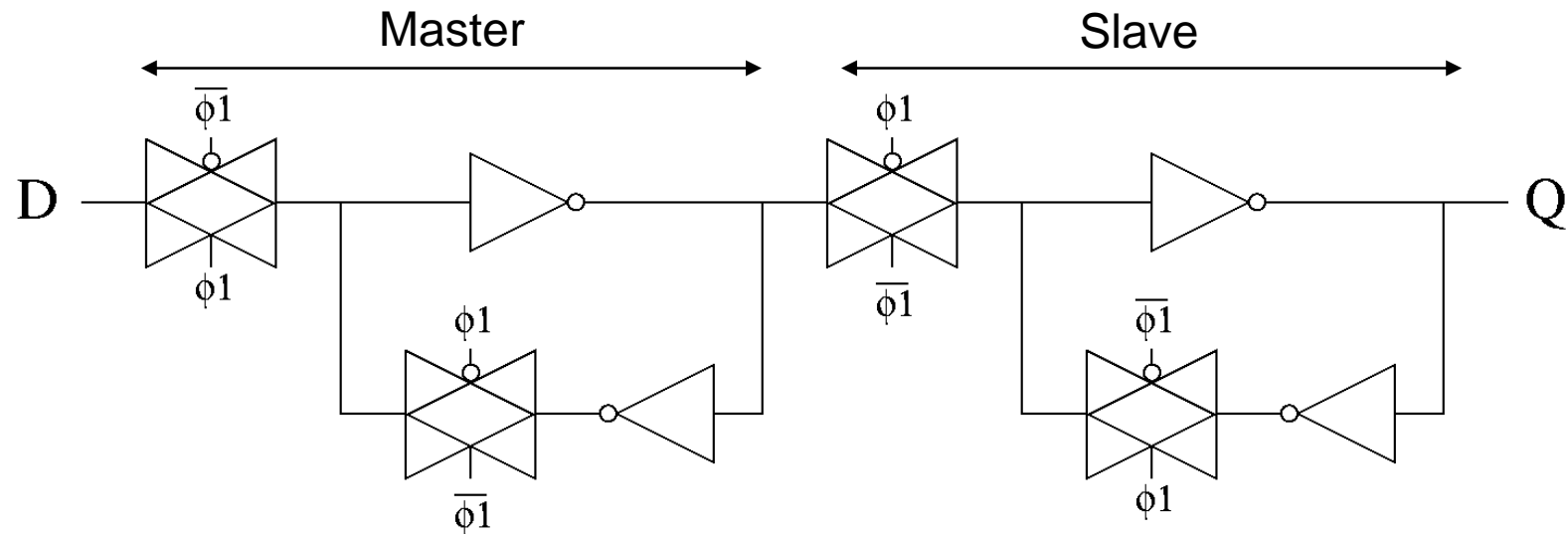
Flip-flop tipus D

- Emmagatzema una dada en el flanc descendent del rellotge:
 - t_{setup} : temps abans del flanc de rellotge en que les dades han d'estar estables
 - t_{hold} : temps després del rellotge en que les dades s'han de mantenir estables
 - $t_{\text{d-q}}$: temps de propagació



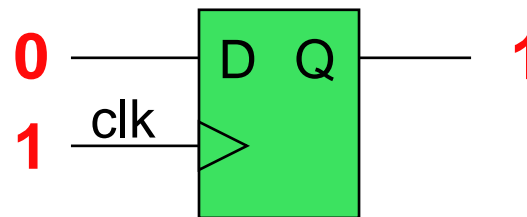
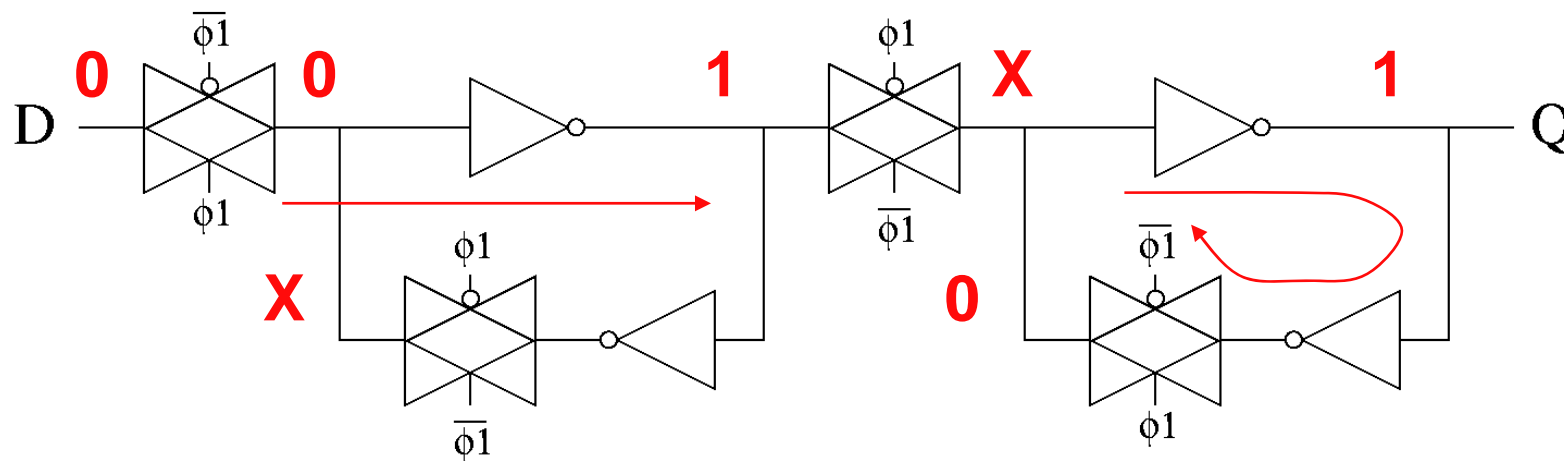
Flip-flop tipus D estàtic

- Estructura Master-Slave estàtica



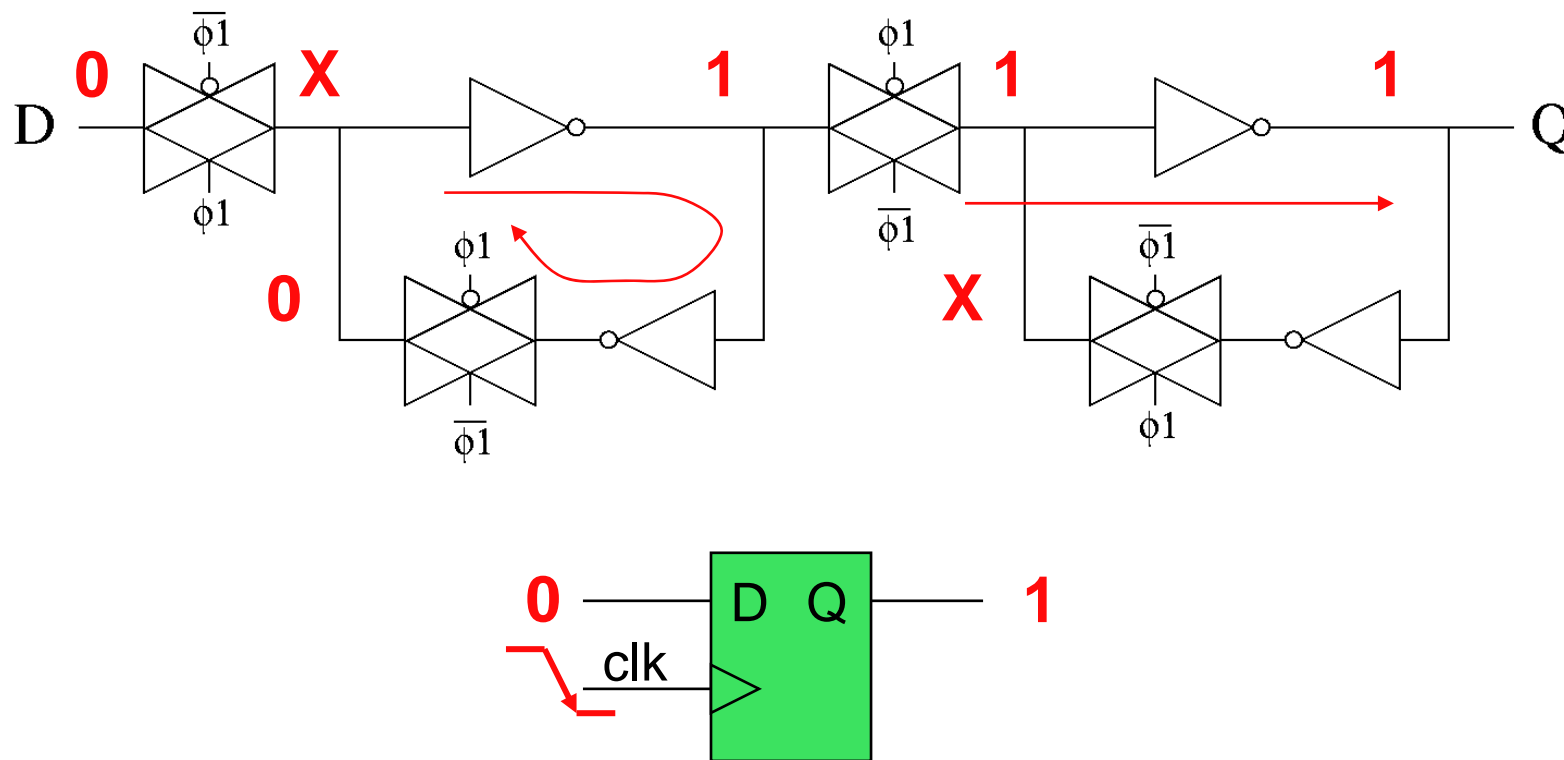
Flip-flop tipus D estàtic

- Master: transparent
- Slave: emmagatzema un dada



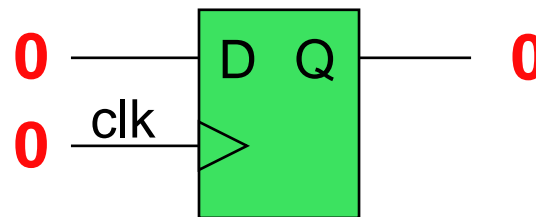
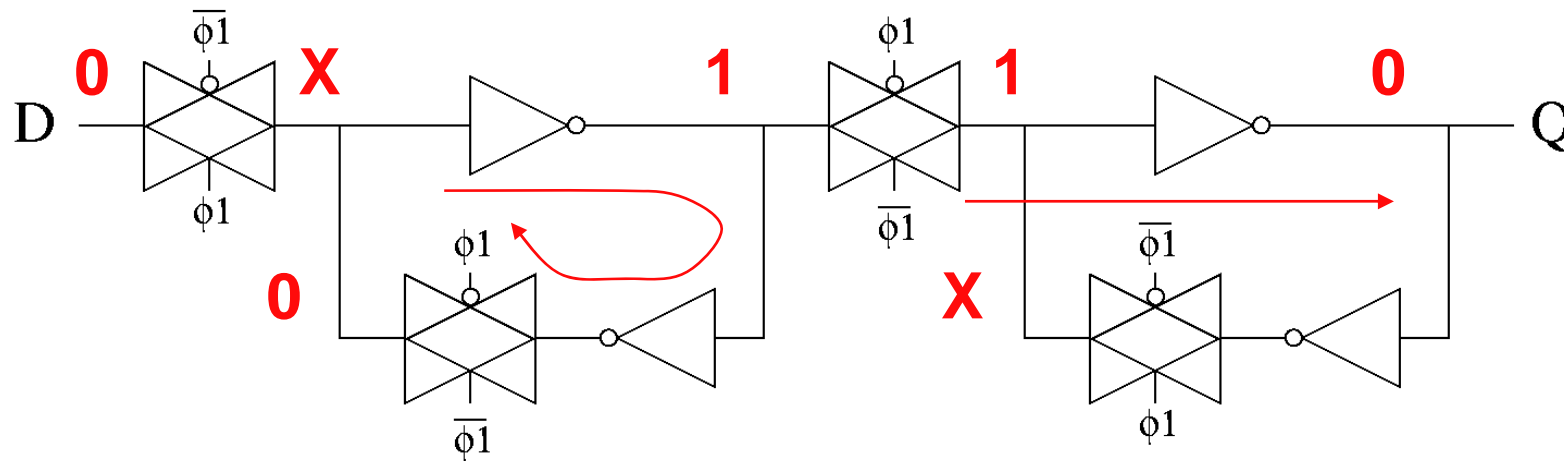
Flip-flop tipus D estàtic

- Master: emmagatzema un dada
- Slave: transparent



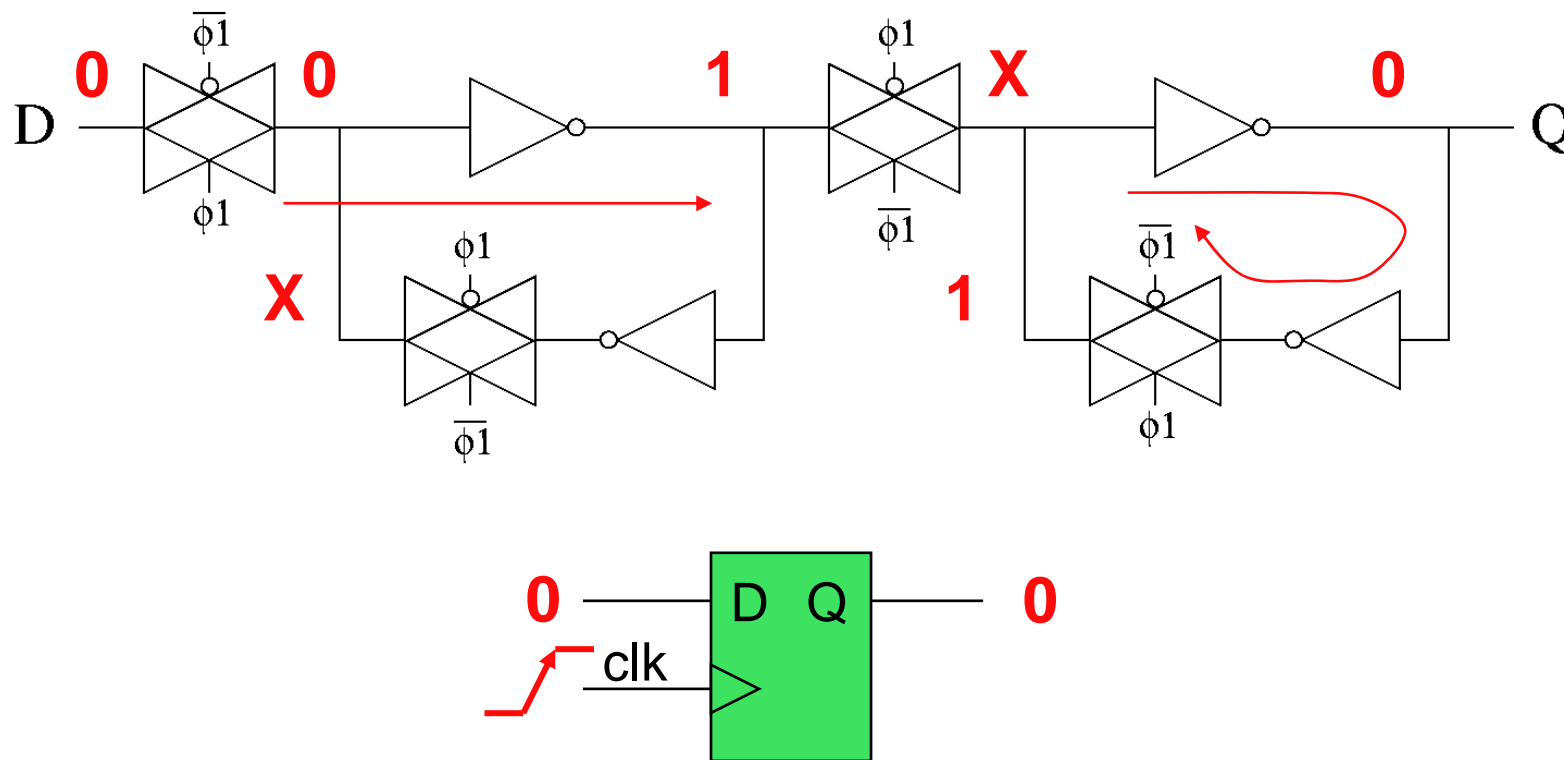
Flip-flop tipus D estàtic

- Master: emmagatzema un dada
- Slave: transparent



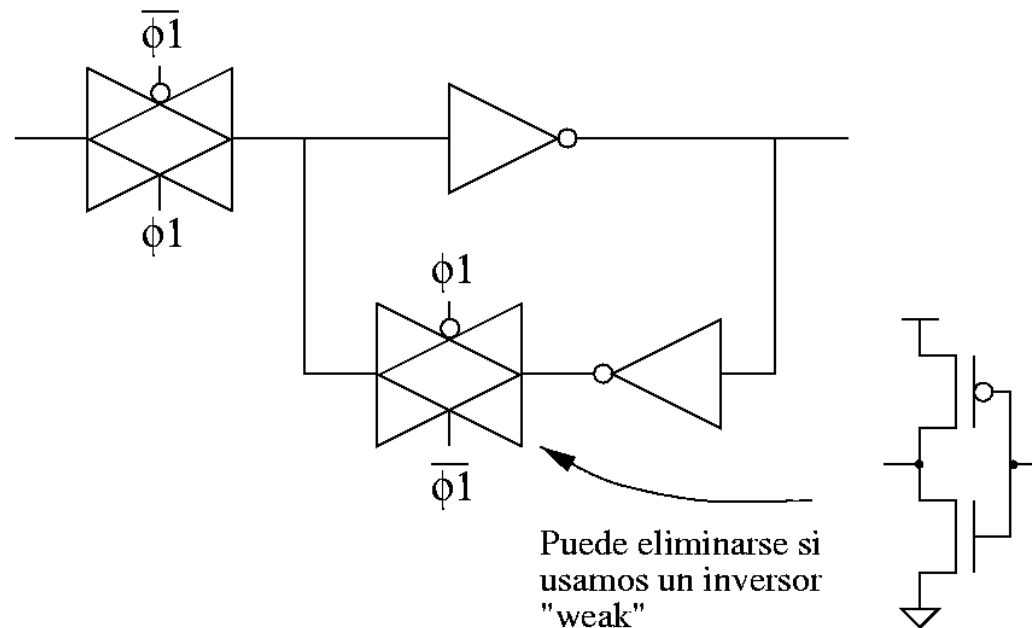
Flip-flop tipus D estàtic

- Master: transparent
- Slave: emmagatzema un dada



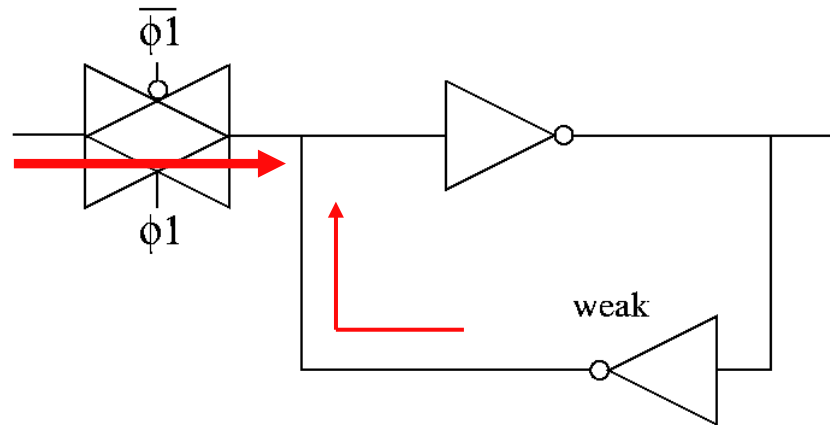
Flip-flop tipus D estàtic

- Podem eliminar una porta de pas
- L'inversor que implementa el feedback ha de ser "weak"



Flip-flop tipus D estàtic

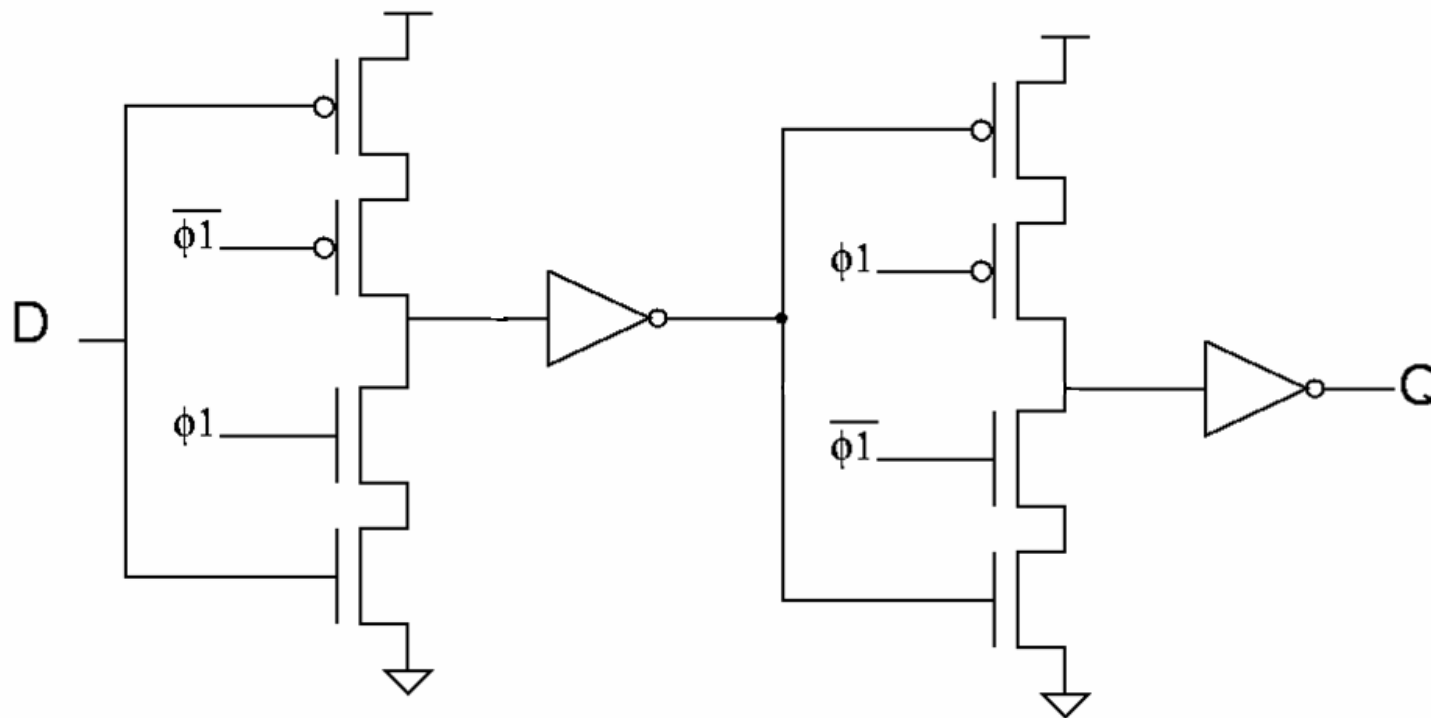
- Podem eliminar una porta de pas
- L'inversor que implementa el feedback ha de ser "weak"



- L'inversor *weak* ha de posar menys corrent que l'entrada

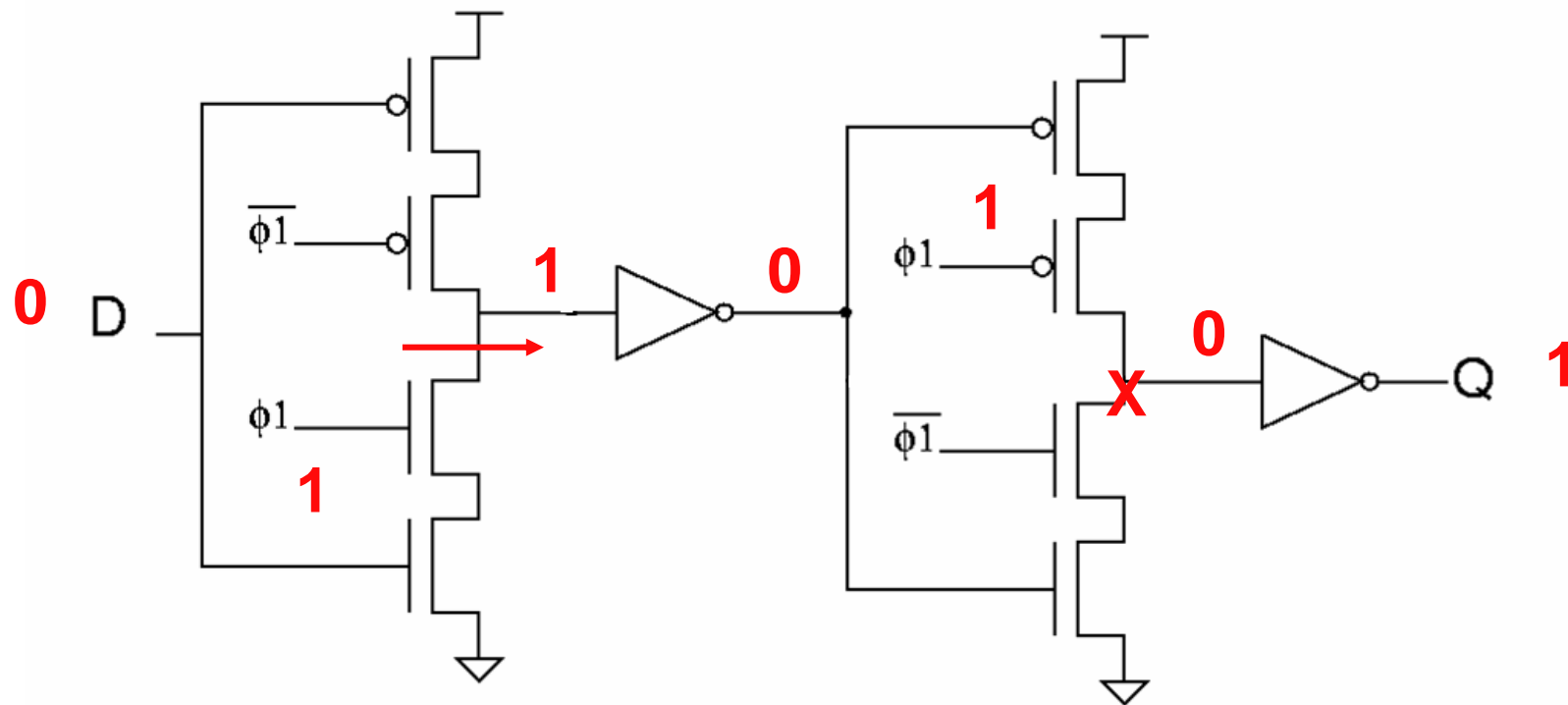
Flip-flop tipus D alternatiu

- Evita utilitzar les portes de pas
- Les substitueix per portes tri-state



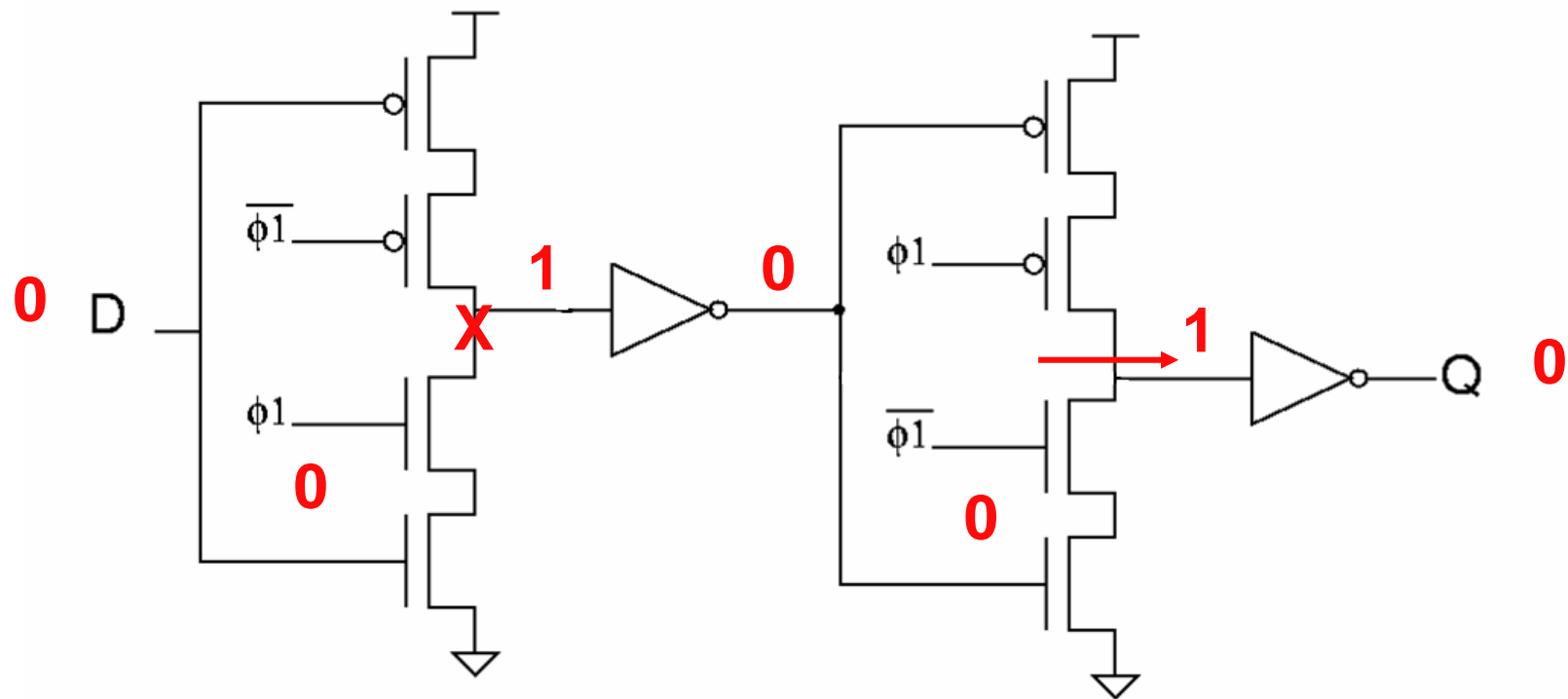
Flip-flop tipus D alternatiu

- Evita utilitzar les portes de pas
- Les substitueix per portes tri-state



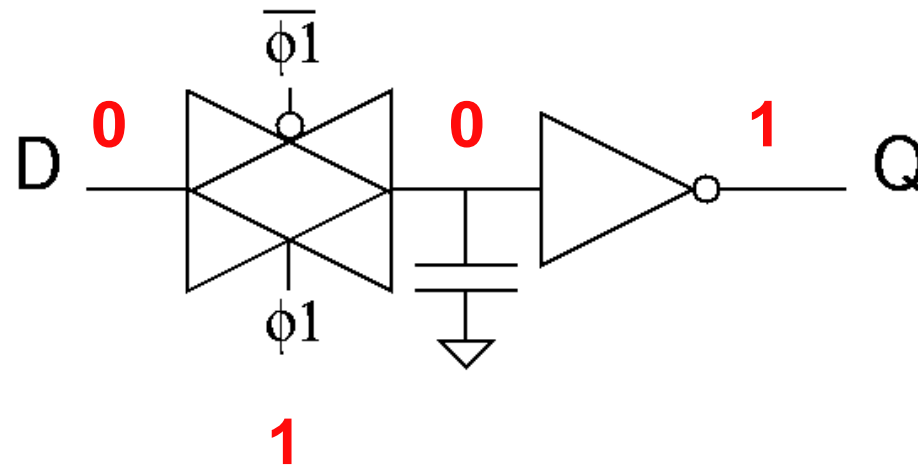
Flip-flop tipus D alternatiu C² MOS

- Clocked CMOS, evita utilitzar les portes de pas
- Les substitueix per portes tri-state



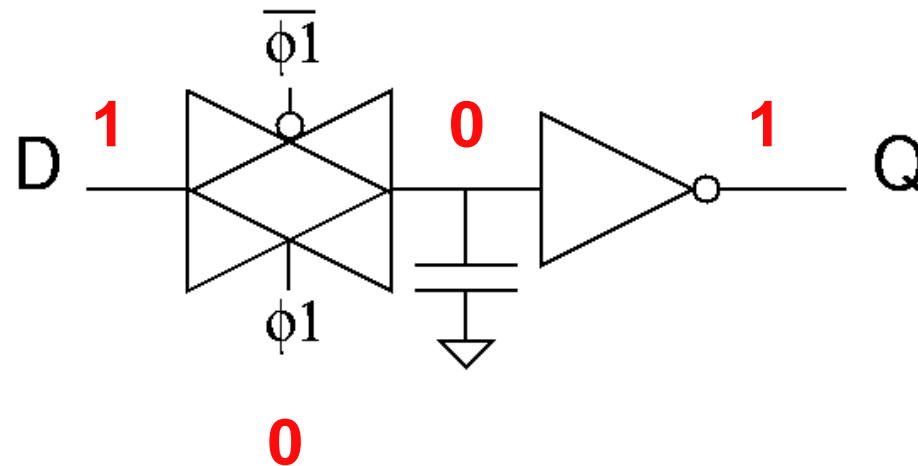
Flip-flop tipus D dinàmic

- Emmagatzema una dada a la capacitat d'entrada de l'inversor
- Requereix una freqüència mínima d'operació



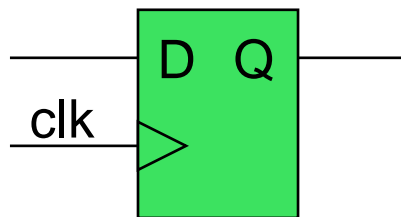
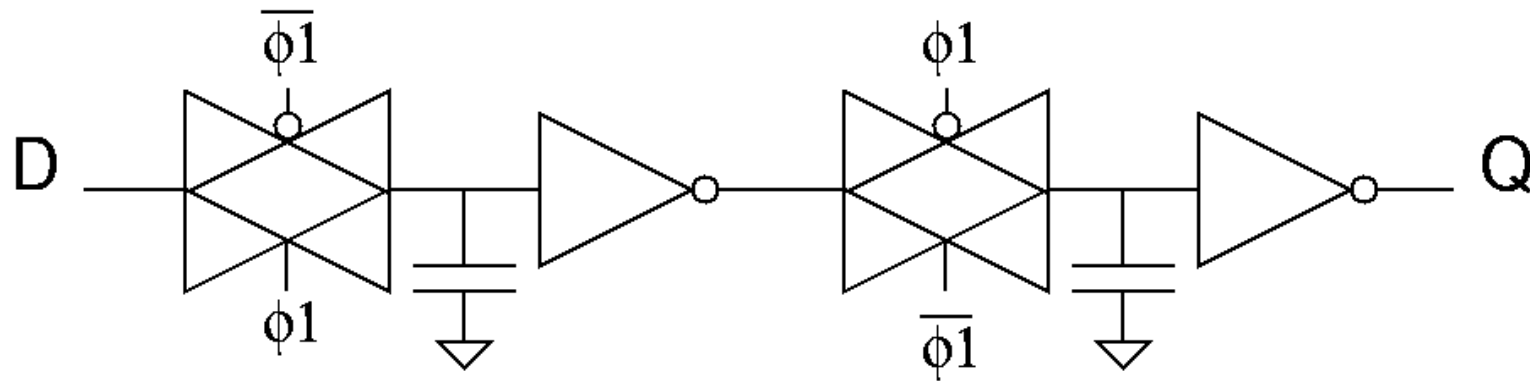
Flip-flop tipus D dinàmic

- Emmagatzema una dada a la capacitat d'entrada de l'inversor
- Requereix una freqüència mínima d'operació



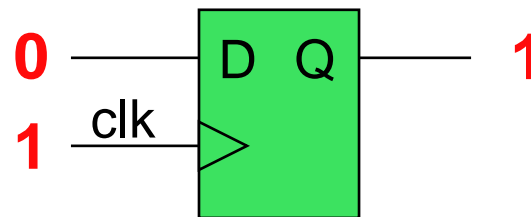
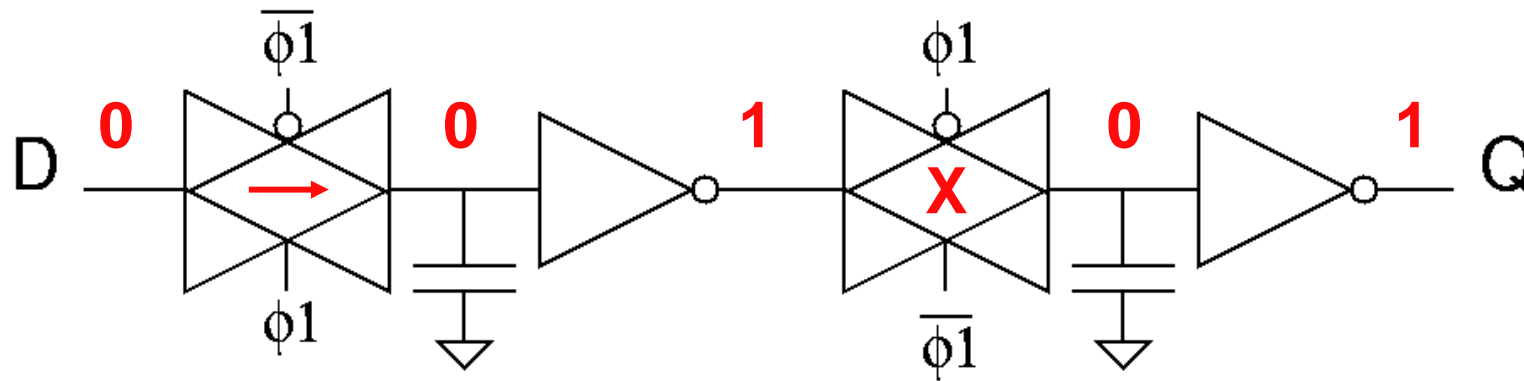
Flip-flop tipus D dinàmic

- Estructura Master-Slave



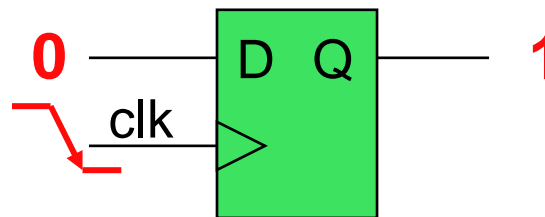
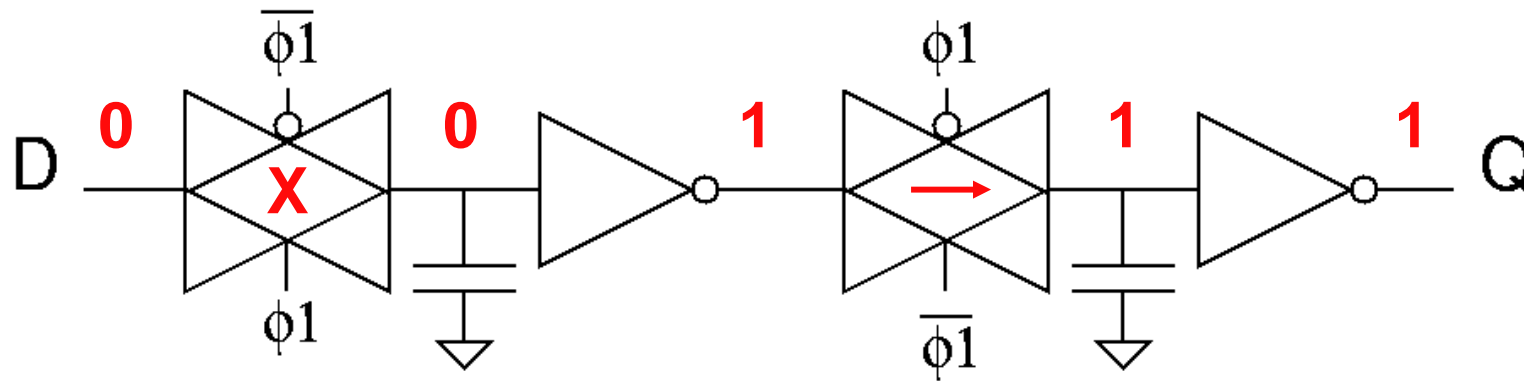
Flip-flop tipus D dinàmic

- Master: transparent
- Slave: emmagatzema una dada



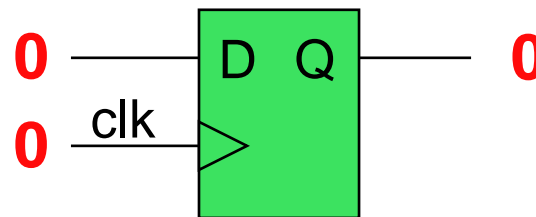
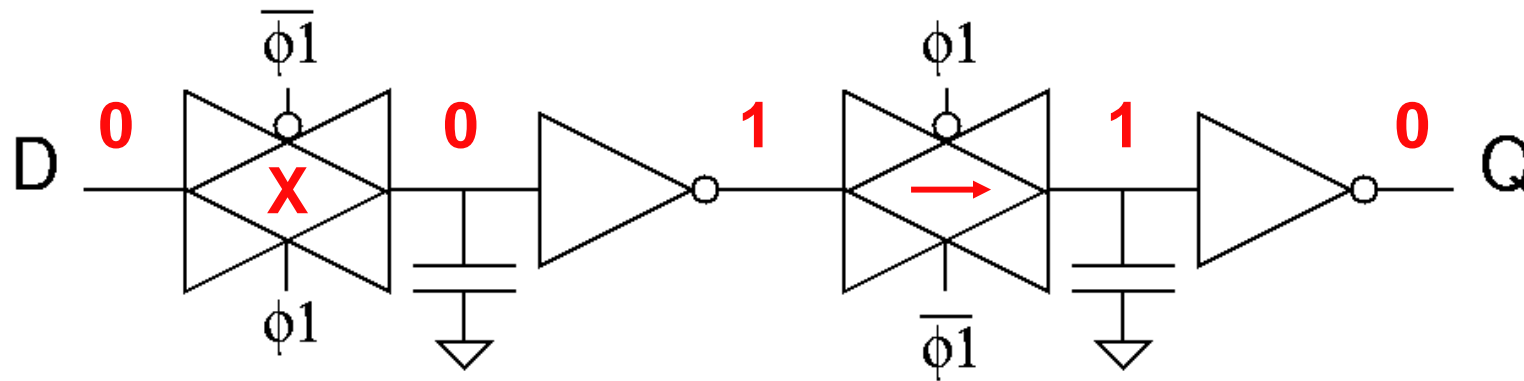
Flip-flop tipus D dinàmic

- Master: transparent
- Slave: emmagatzema un dada



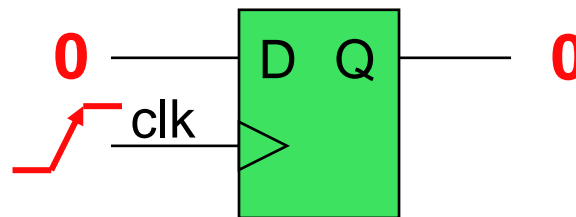
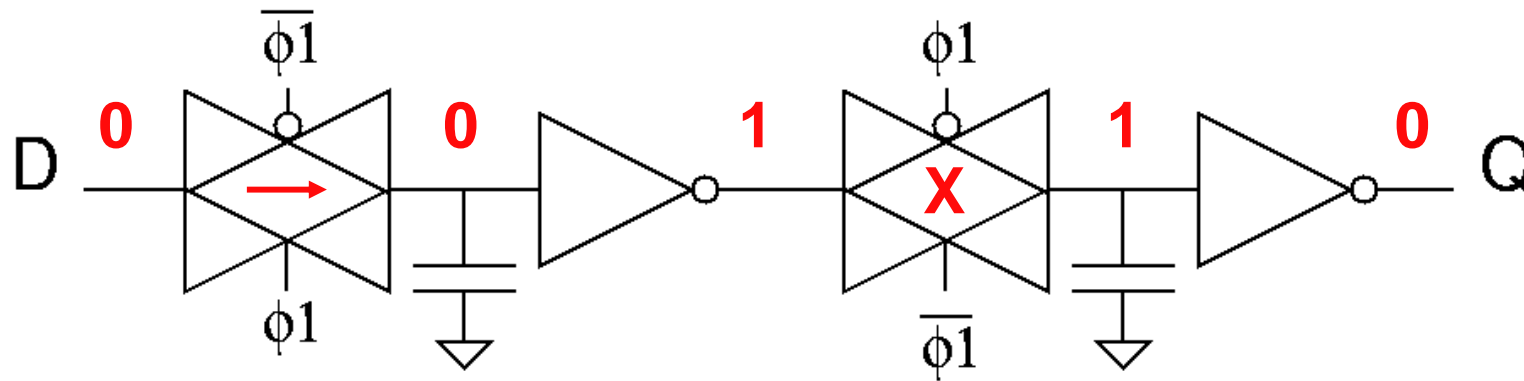
Flip-flop tipus D dinàmic

- Master: emmagatzema una dada
- Slave: transparent



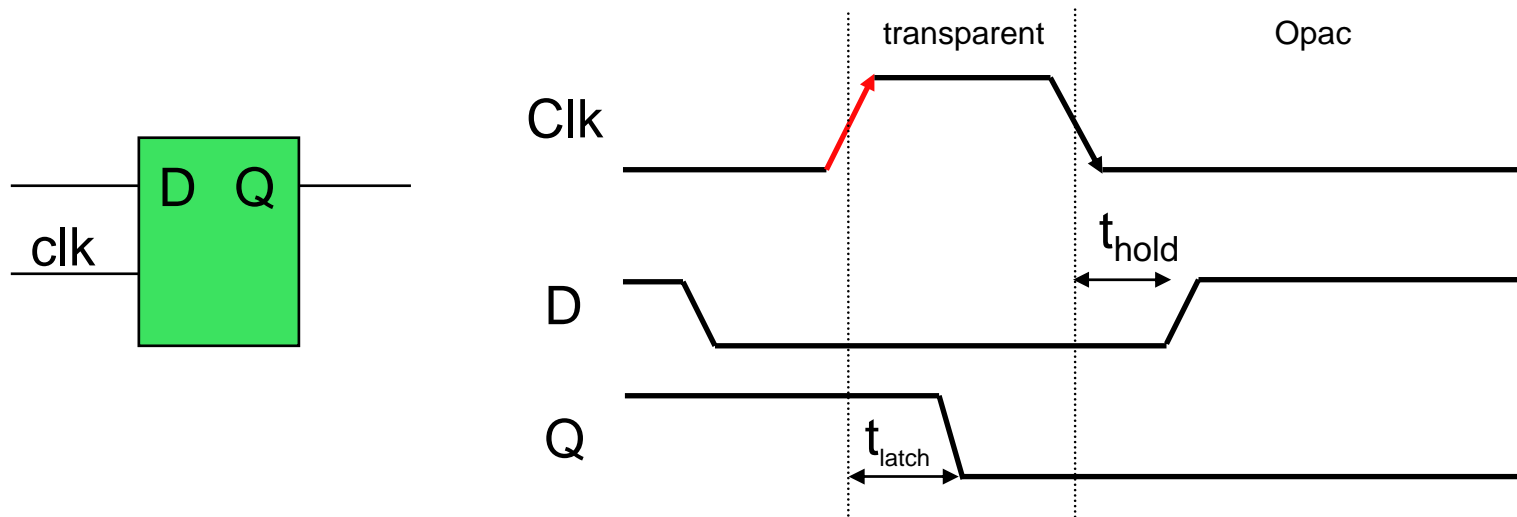
Flip-flop tipus D dinàmic

- Master: transparent
- Slave: emmagatzema una dada



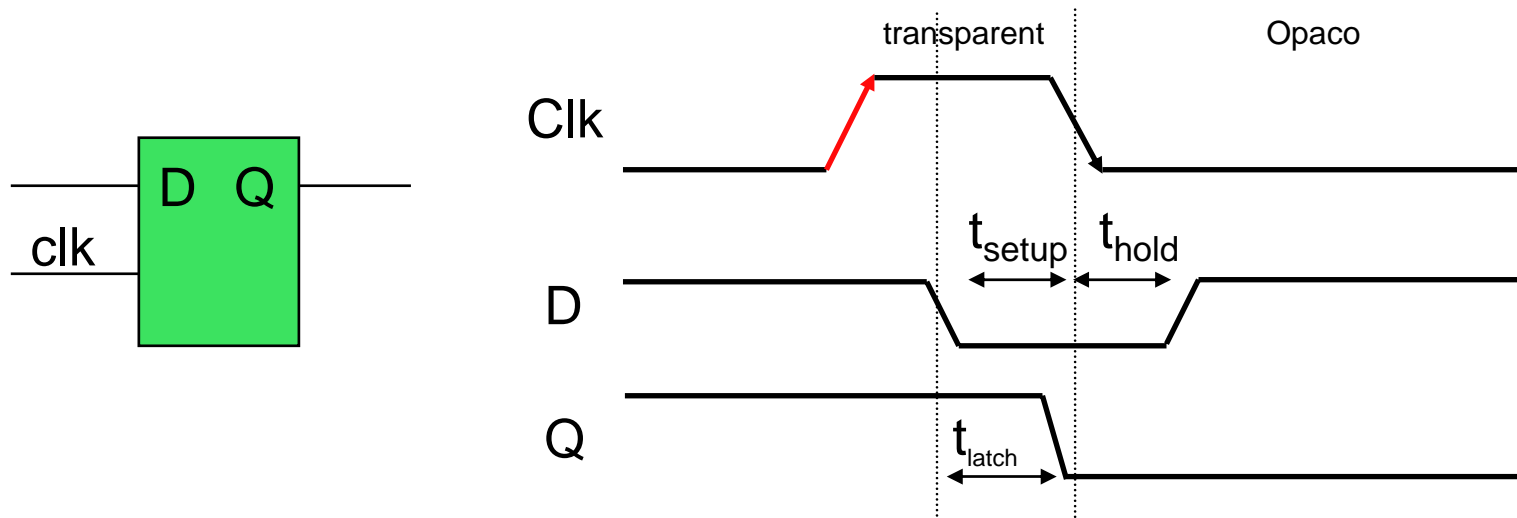
Latch tipus D

- emmagatzema una dada en el nivell negatiu del rellotge:
 - t_{hold} : dades estables després de la fase transparent
 - t_{latch} : temps de propagació



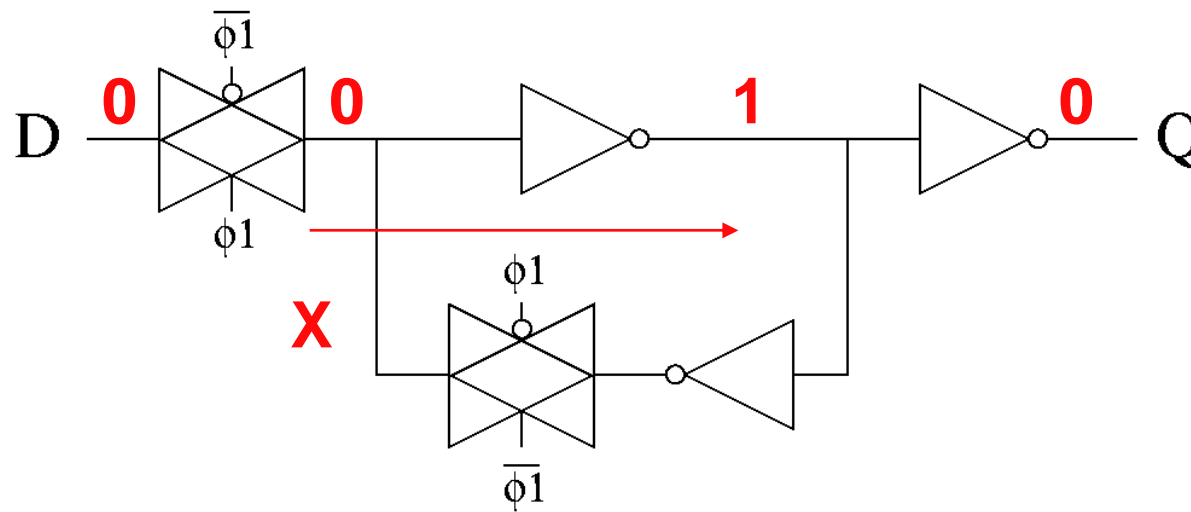
Latch tipus D

- emmagatzema una dada en el nivell negatiu del rellotge:
 - t_{hold} : dades estables després de la fase transparent
 - t_{latch} : temps de propagació
 - t_{setup} : dades estables abans de la fase opaca



Latch tipus D estàtic

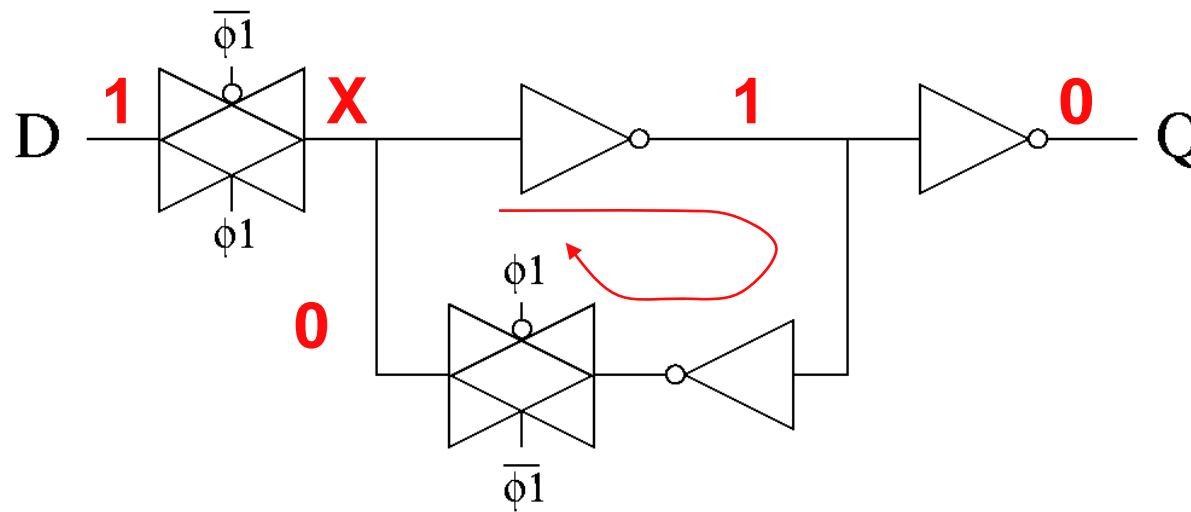
- Utilitza el mateix esquema que el flip-flop.



transparent

Latch tipus D estàtic

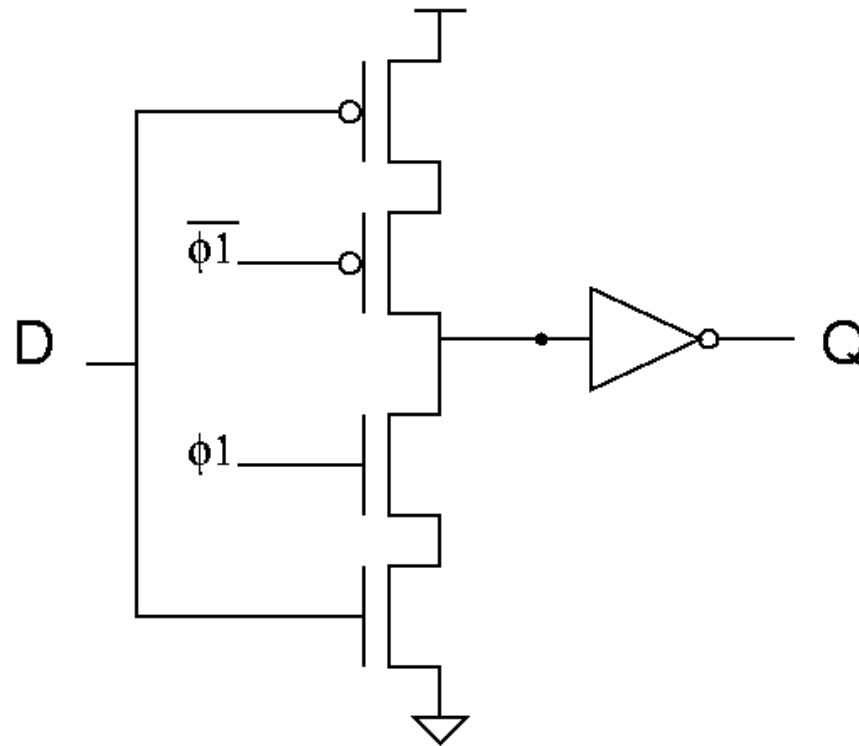
- Utilitza el mateix esquema que el flip-flop.



Opaco

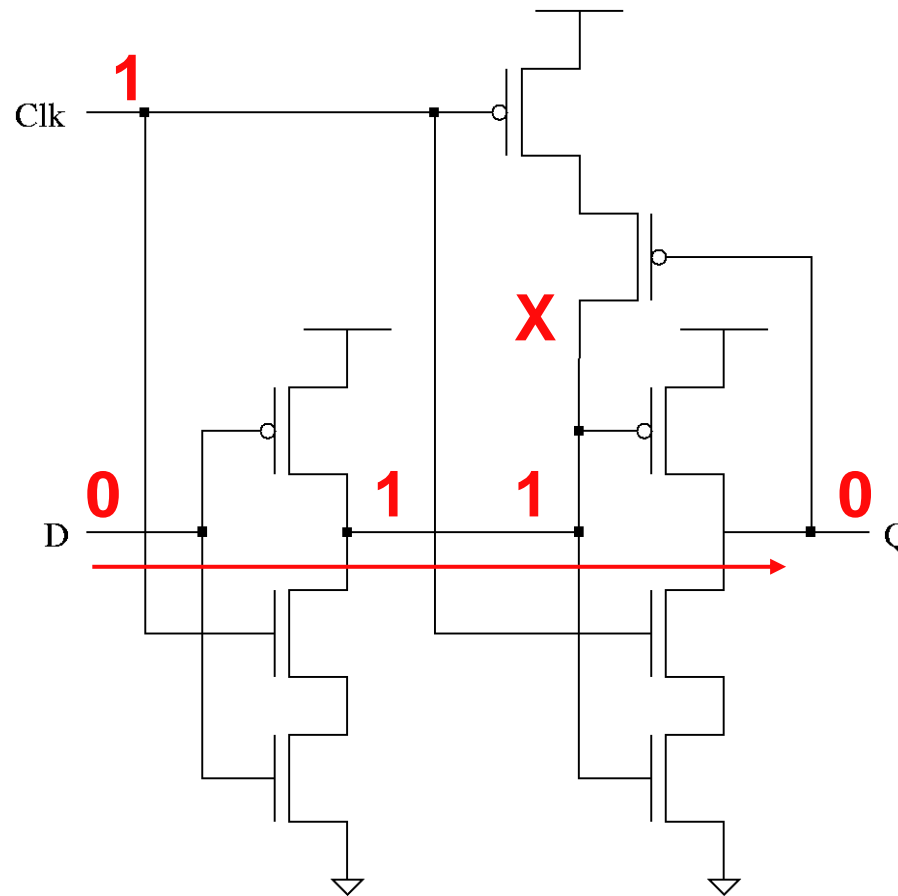
Latch tipus D dinàmic C²MOS

- Permet un millor control del node intern que emmagatzema el valor en el latch.



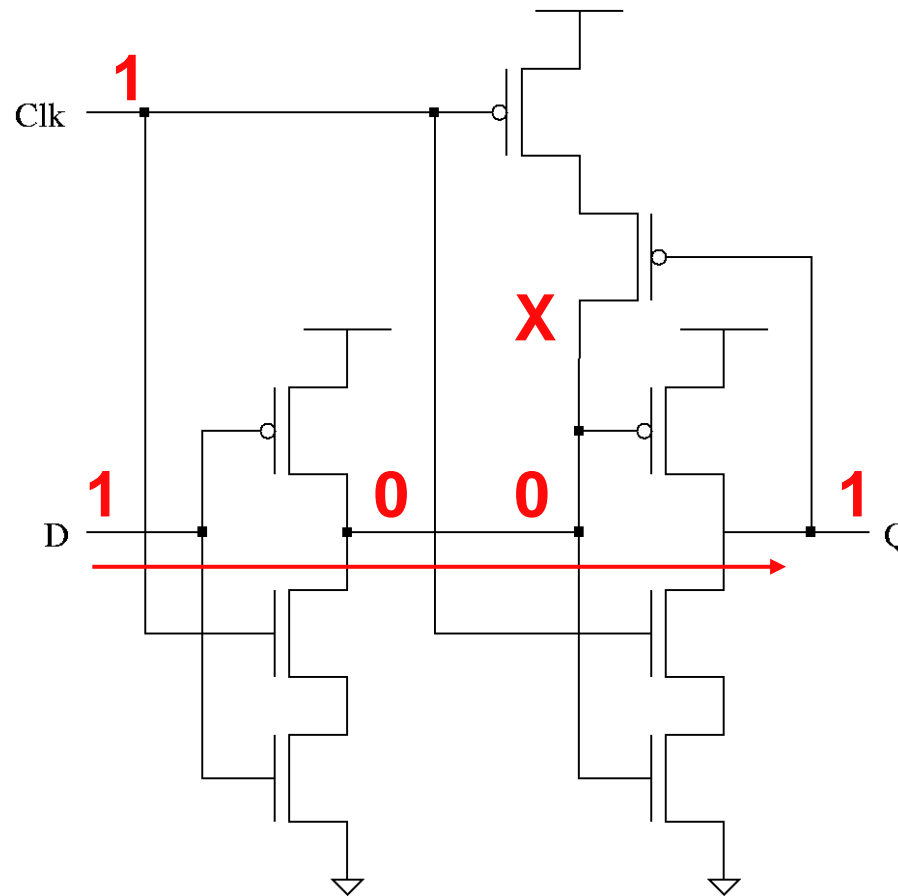
Latch tipus D dinàmic (Alpha 21064)

- Nombre de transistors reduït (actiu amb Clk = 1)



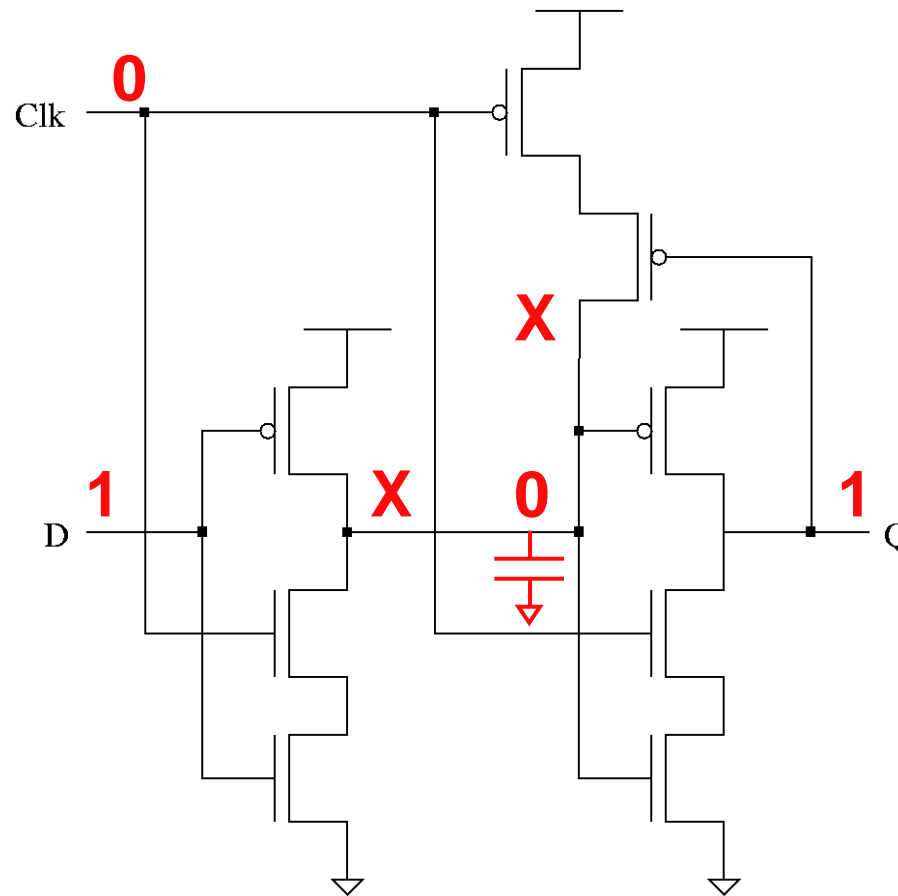
Latch tipus D dinàmic (Alpha 21064)

- Nombre de transistors reduït (actiu amb Clk = 1)



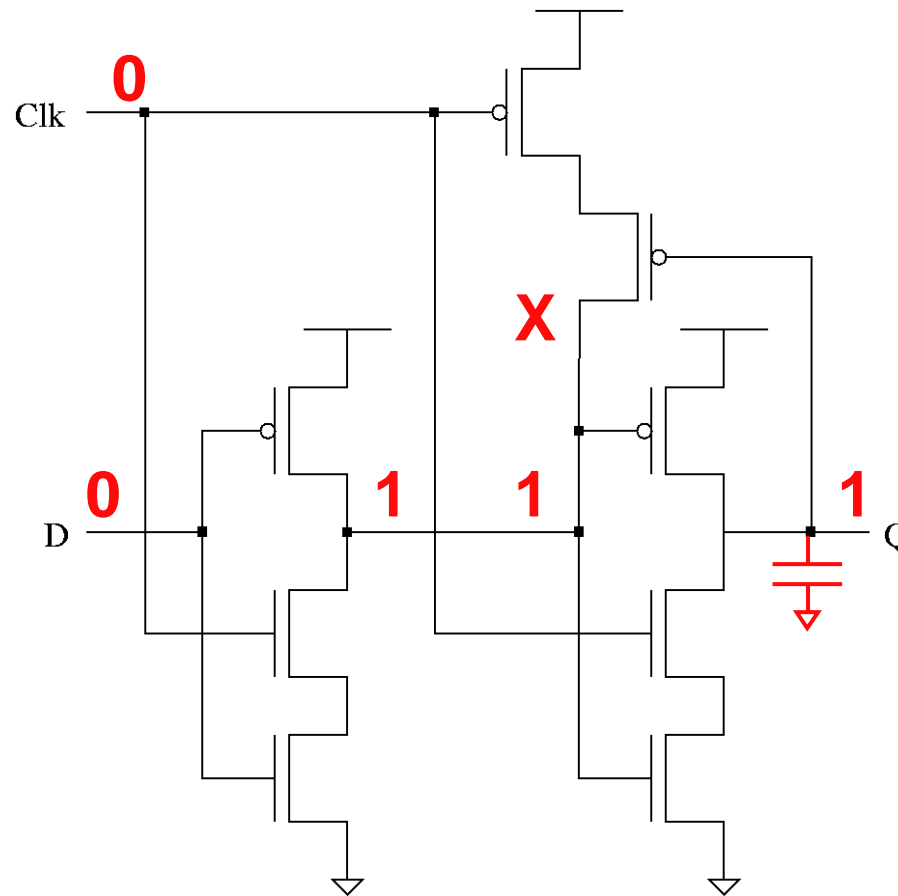
Latch tipus D dinàmic (Alpha 21064)

- Nombre de transistors reduït (actiu amb Clk = 1)

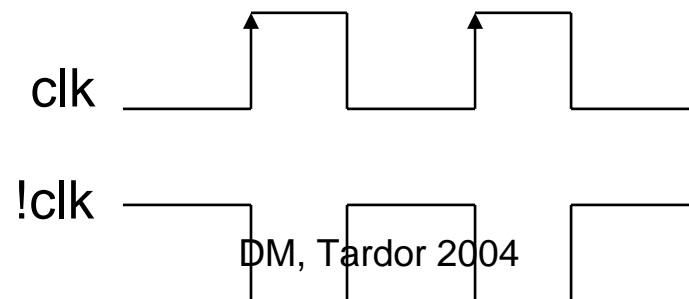
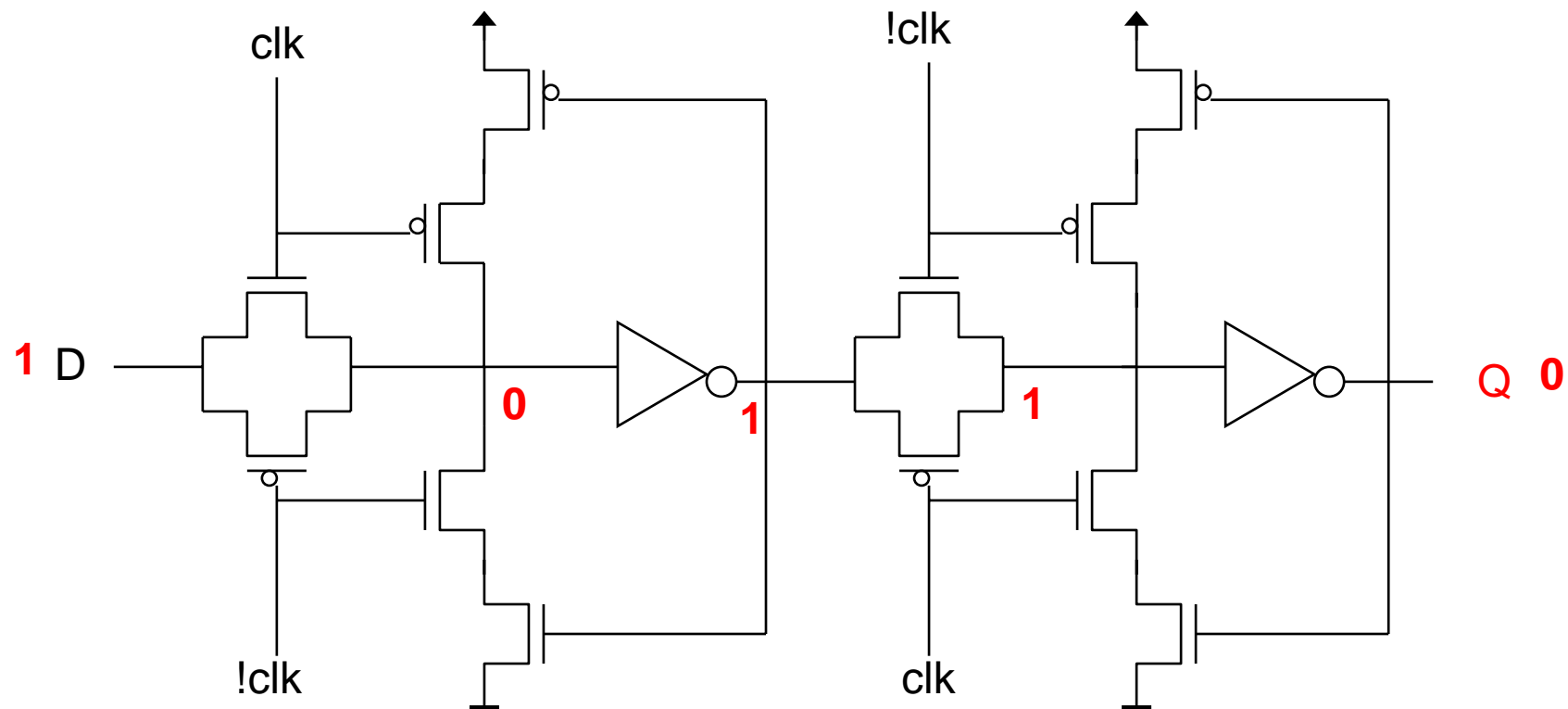


Latch tipus D dinàmic (Alpha 21064)

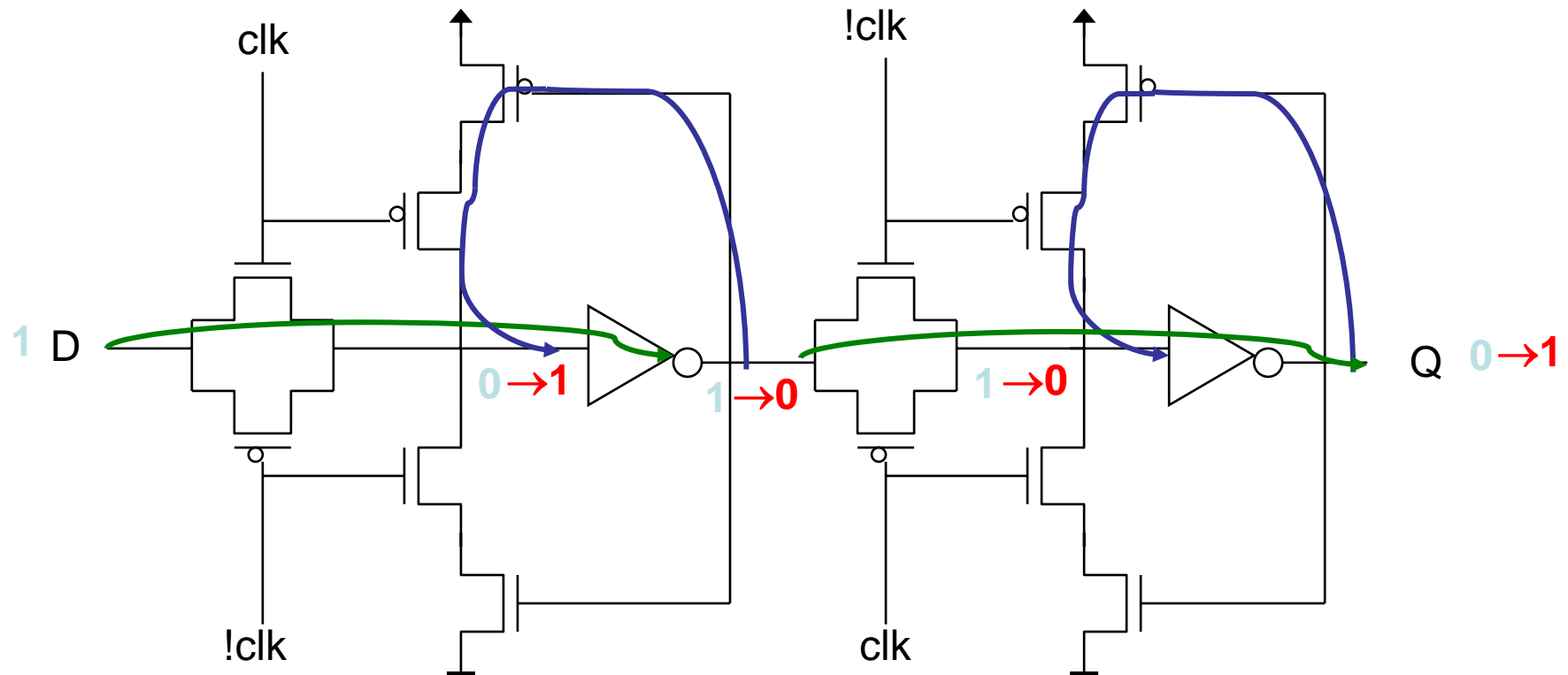
- Nombre de transistors reduït (actiu amb Clk = 1)



Power PC Flipflop

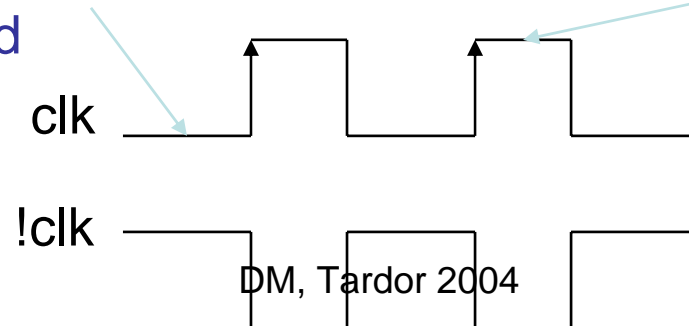


Power PC Flipflop



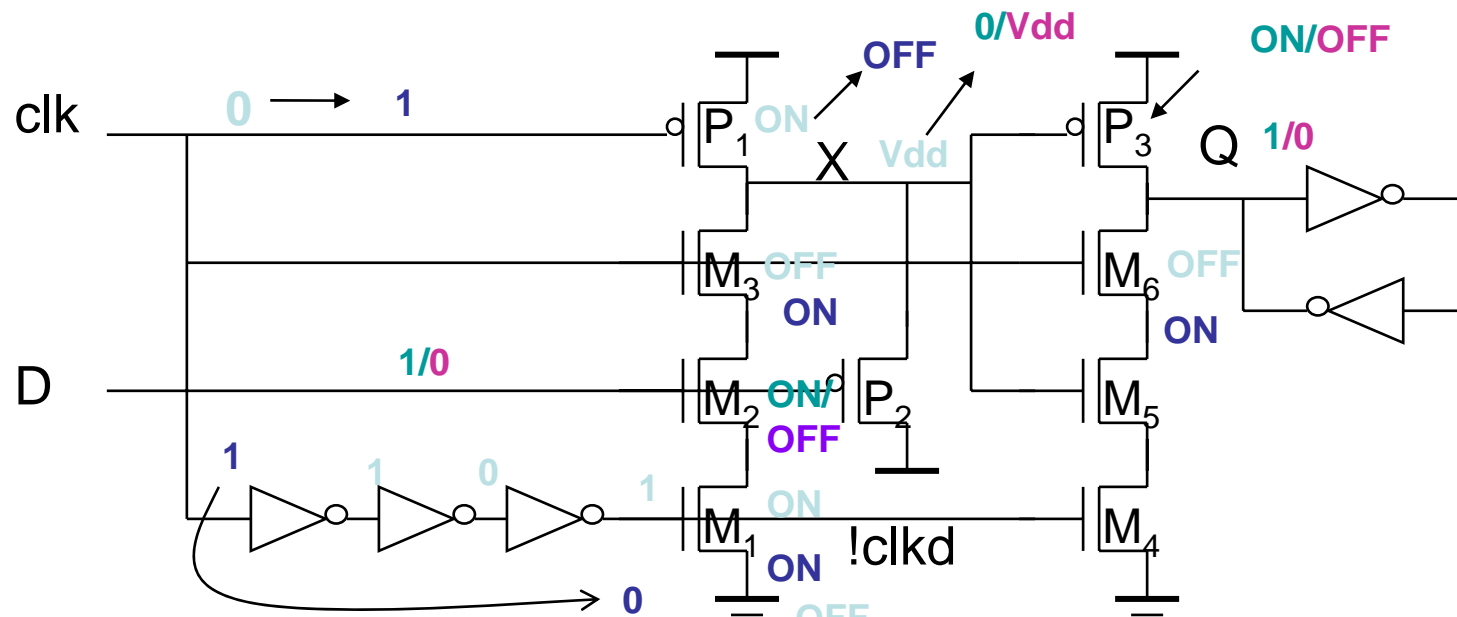
master transparent
slave hold

master hold
slave transparent



Pulsed FF (AMD-K6)

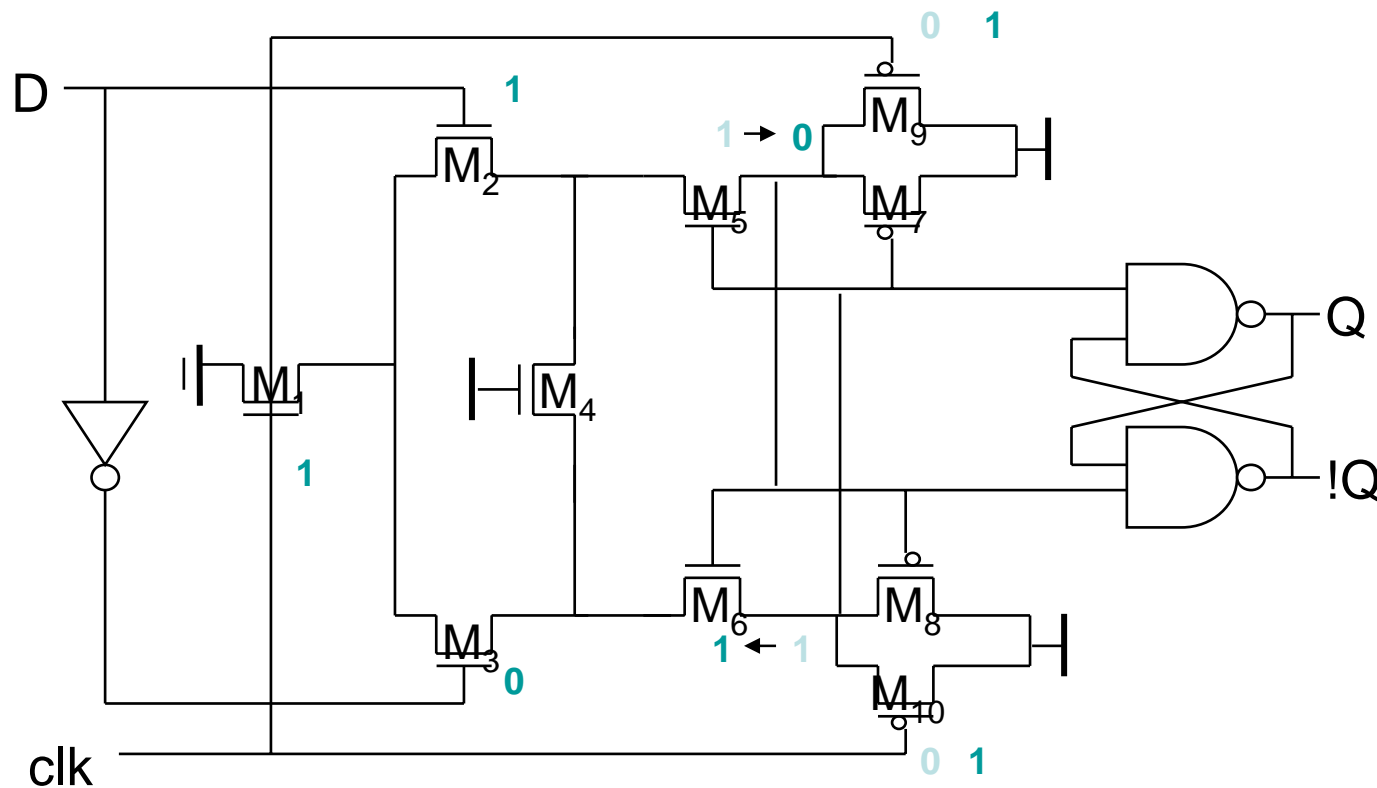
- ❑ Pulse registers - a short pulse (glitch clock) is generated locally from the rising (or falling) edge of the system clock and is used as the clock input to the flipflop
 - race conditions are avoided by keeping the transparent mode time very short (during the pulse only)
 - advantage is reduced clock load; disadvantage is substantial increase in verification complexity



DM, Tardor 2004

Sense Amp FF (StrongArm SA100)

- Sense amplifier (circuits that accept small swing input signals and amplify them to full rail-to-rail signals) flipflops
 - advantages are reduced clock load and that it can be used as a receiver for reduced swing differential buses



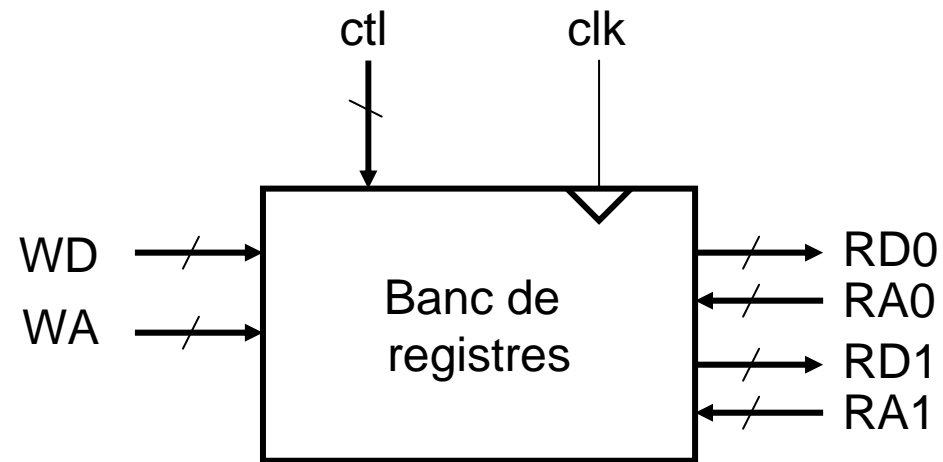
Flipflop Comparison Chart

Name	Type	#clk Id	#tr	$t_{\text{set-up}}$	t_{hold}	t_{pFF}
Mux	Static	8 (clk-!clk)	20	$3t_{\text{pinv}} + t_{\text{ptx}}$	0	$t_{\text{pinv}} + t_{\text{ptx}}$
PowerPC	Static	8 (clk-!clk)	16			
2-phase	Ps-Static	8 (clk1-clk2)	16			
T-gate	Dynamic	4 (clk-!clk)	8	t_{ptx}	$t_{\text{o1-1}}$	$2t_{\text{pinv}} + t_{\text{ptx}}$
C ² MOS	Dynamic	4 (clk-!clk)	8			
TSPC	Dynamic	4 (clk)	11	t_{pinv}	t_{pinv}	$3t_{\text{pinv}}$
S-O TSPC	Dynamic	2 (clk)	10			
AMD K6	Dynamic	5 (clk)	19			
SA 100	SenseAmp	3 (clk)	20			

Conclusions

- Elements de memòria per emmagatzemar informació en el data-path dels processadors
- Diferents tipus de bistables segons l'estratègia de “clocking”.
 - Master-slave.
 - Dinàmics / estàtics.
- Els bistables necessiten una caracterització especial:
 - temps de hold.
 - temps de setup.
 - temps de latch.

Bancs de registres



Bancs de registres

- Descodificador d'escriptura: com els descodificadors de fila de les RAM
- Descodificadors de lectura: com els descodificadors de columna de les RAM
 - Per exemple, en arbre