

Famílies lògiques en lògica estàtica

Rosa M. Badia

Ramon Canal

DM

Tardor 2005

Actualitzat Q1 2020-2021

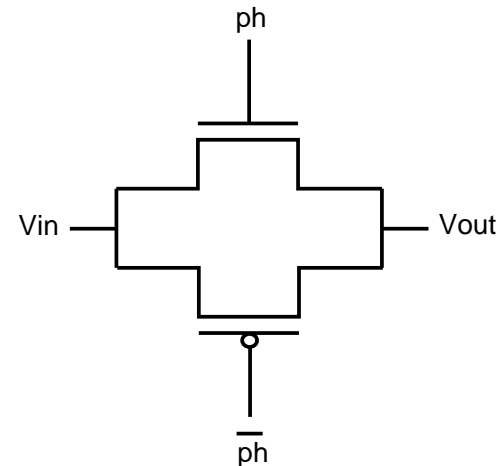
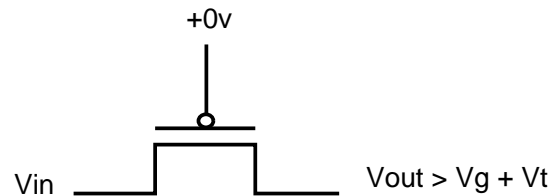
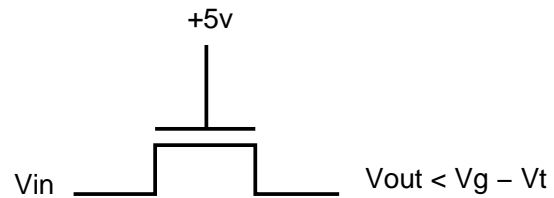


Objectiu

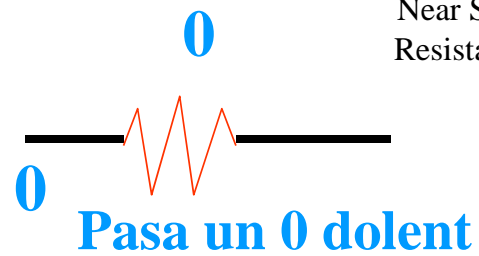
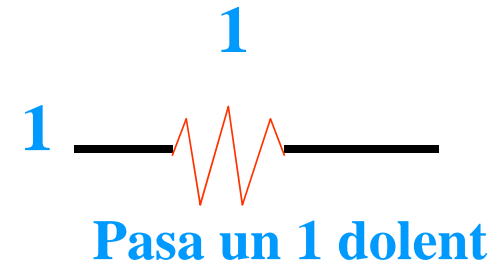
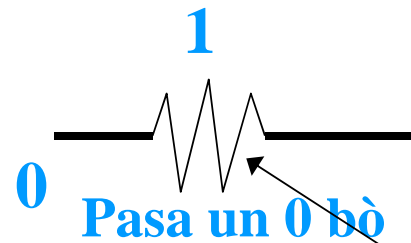
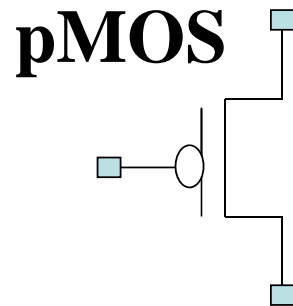
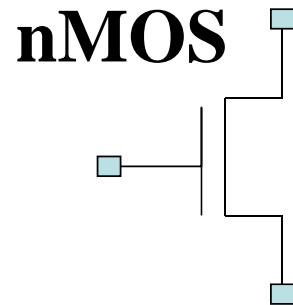
- Hi ha més maneres de fer lògica amb tecnologia CMOS
- Parlem de lògica estàtica per diferenciar-la de la dinàmica
- Famílies
 - Transistors de pas
 - Pseudo nMOS
 - CVSL
 - Clocked CMOS

Transistors de pas

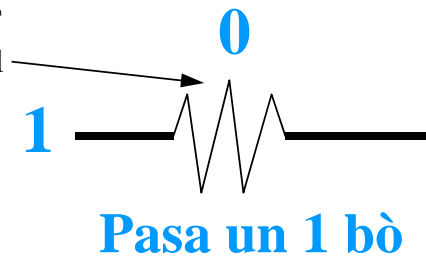
- Principis de funcionament:
 - Els transistors s'utilitzen com interruptors
 - No es creen estructures de pull-up i pull-down.



Els transistors MOS

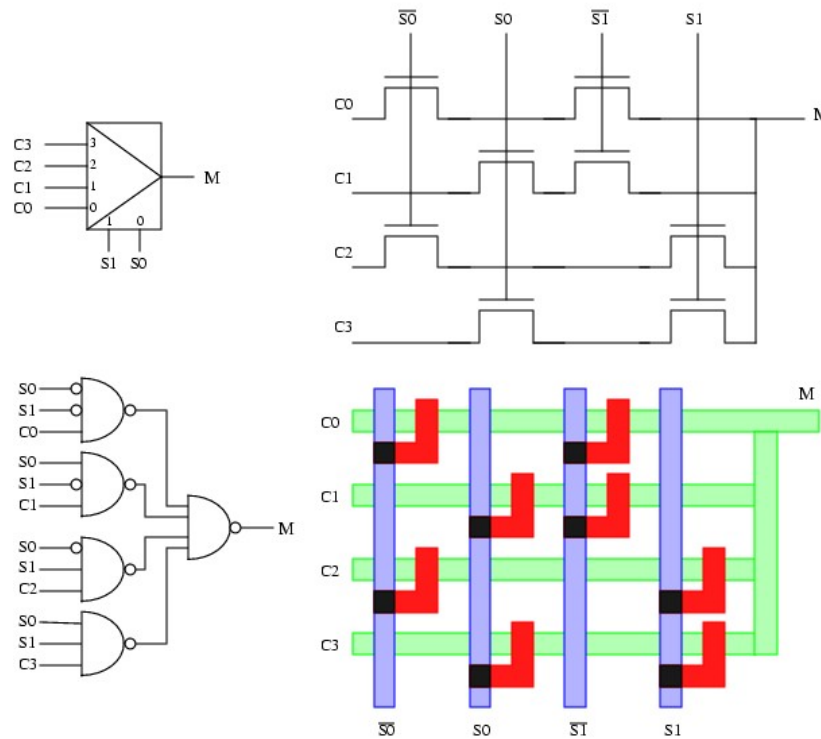


Near Short CCT
Resistance small



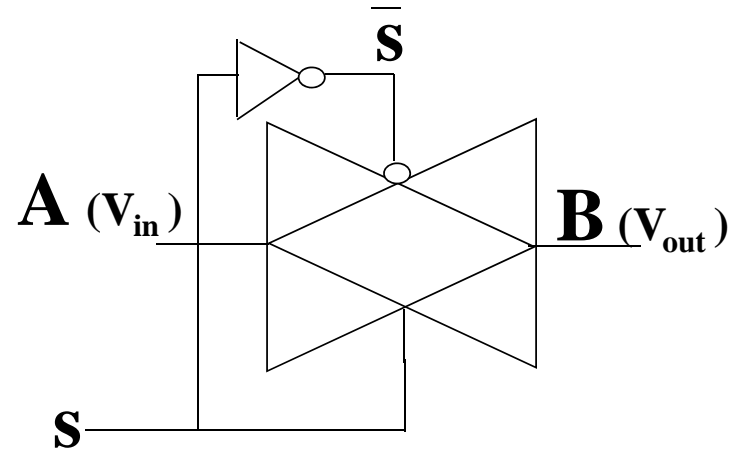
Transistors de pas

- Disseny d'un multiplexor:

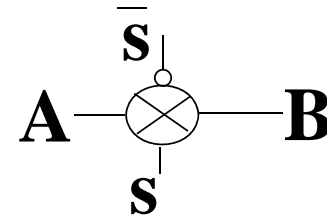
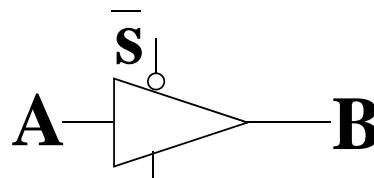
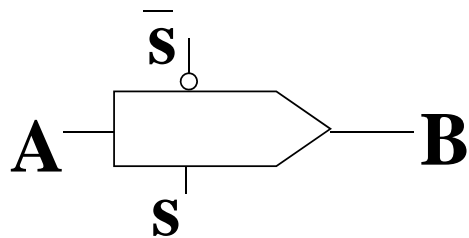


El transistor de pas és un buffer triestat

A	S	B
0	1	0
1	1	1
X	0	Z

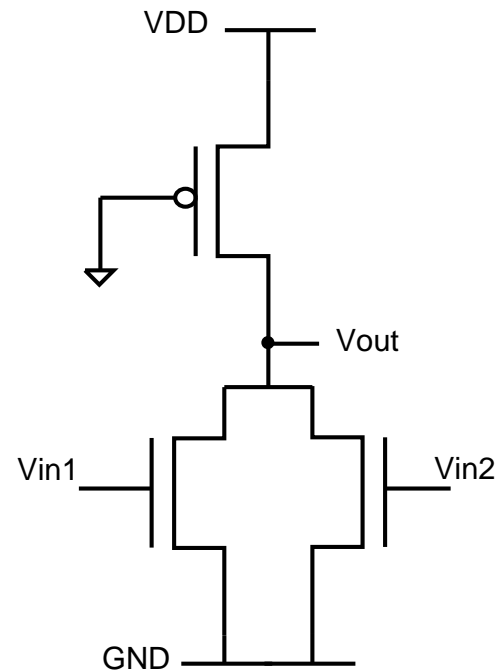
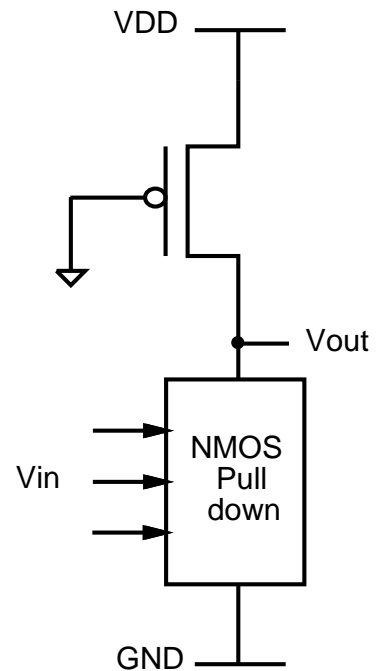


Altres símbols per un buffer triestat :



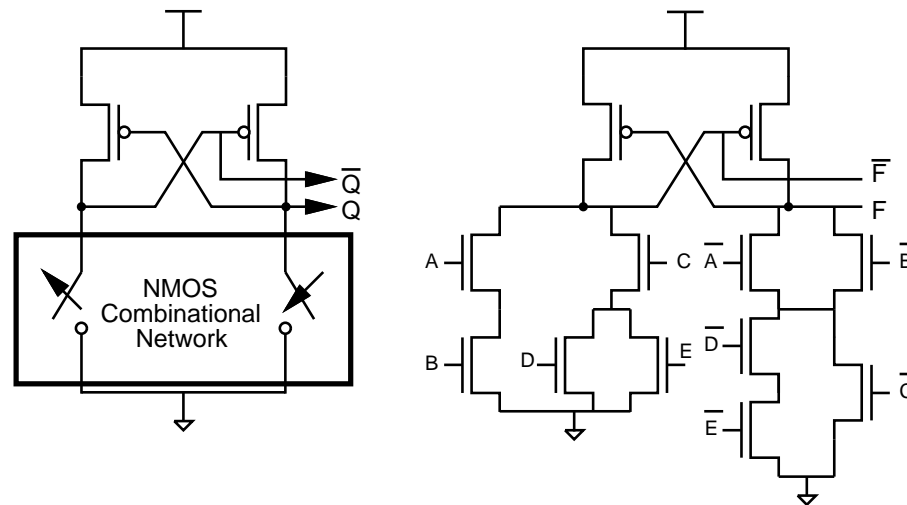
Lògica pseudo nMOS

- Semblant a nMOS, però el transistor nMOS del pull-up se substitueix per un transistor pMOS amb la porta a terra.



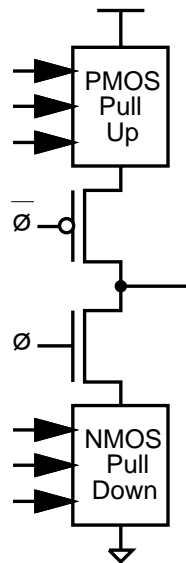
Lògica CVSL

- CVSL = Cascade Voltage Switch Logic
- Estil de lògica diferencial que requereix tant el senyal com el seu complementari



Lògica Clocked CMOS

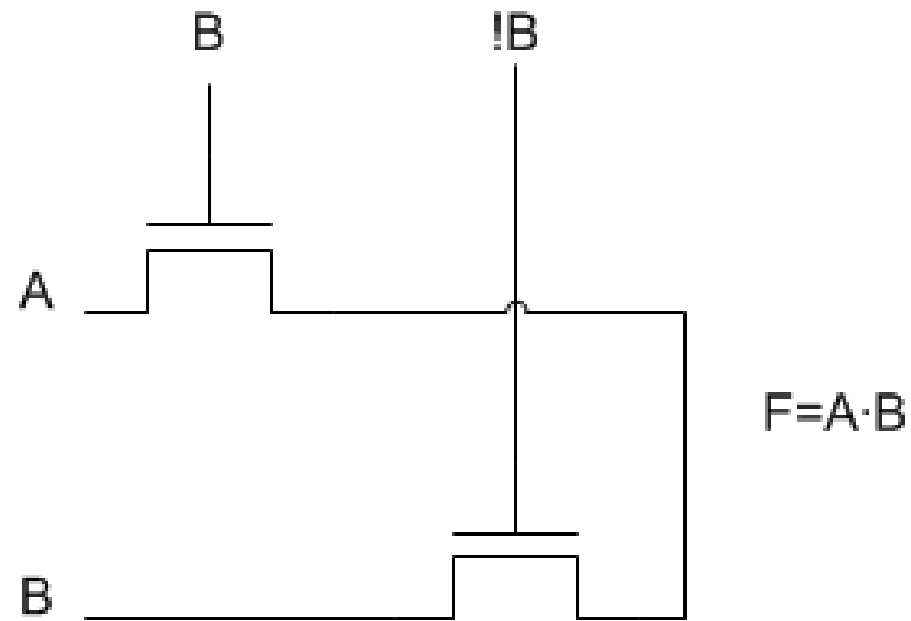
- Utilitzada per crear portes lògiques que es comporten com elements tri-state



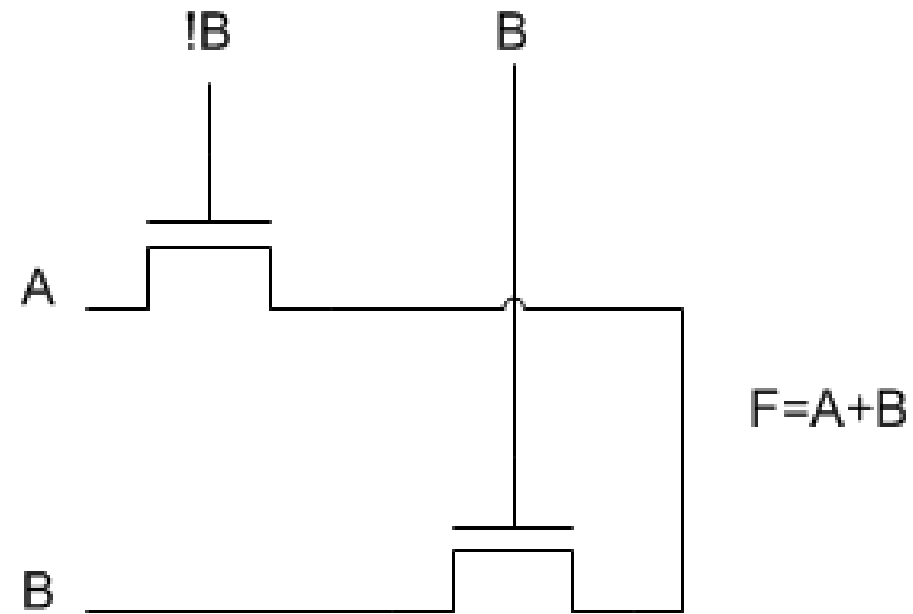
Implementació en portes de pas

- Implementeu les següents funcions amb portes de pas:
 - $F=A \cdot B$
 - $F=A+B$
 - $F=A \oplus B$

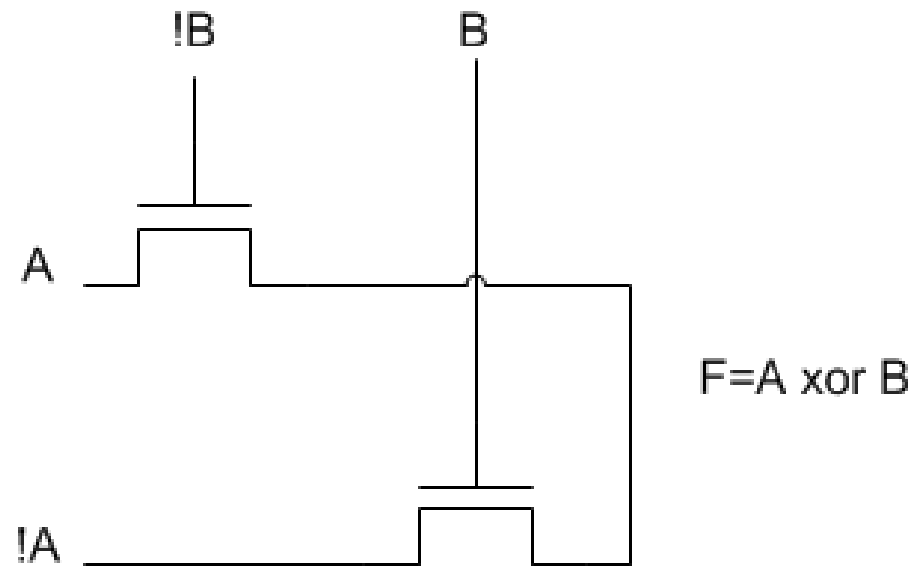
$$F = A \cdot B$$



$$F=A+B$$



$$F = A \oplus B$$



1.1. Dissenyar portes lògiques CMOS per a les següents funcions:

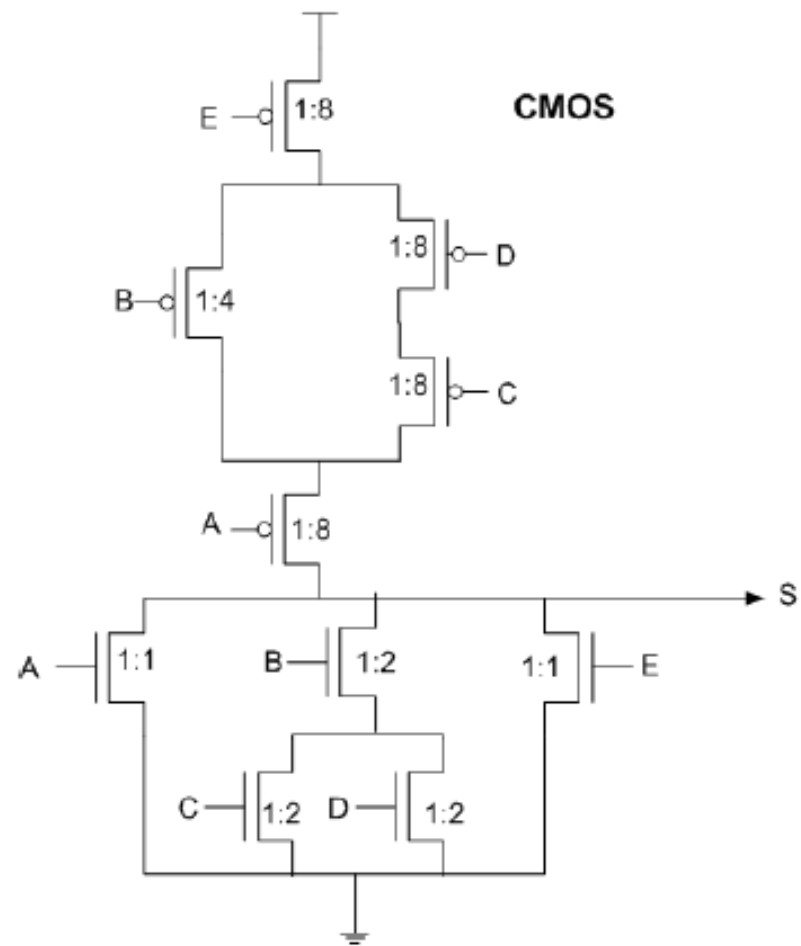
- $Z = \overline{A \cdot B \cdot C \cdot D}$
- $Z = \overline{A + B + C + D}$
- $Z = \overline{((A \cdot B \cdot C) + D)}$
- $Z = \overline{(((A \cdot B) + C) \cdot D)}$
- $Z = \overline{(A \cdot B) + (C \cdot (A + B))}$

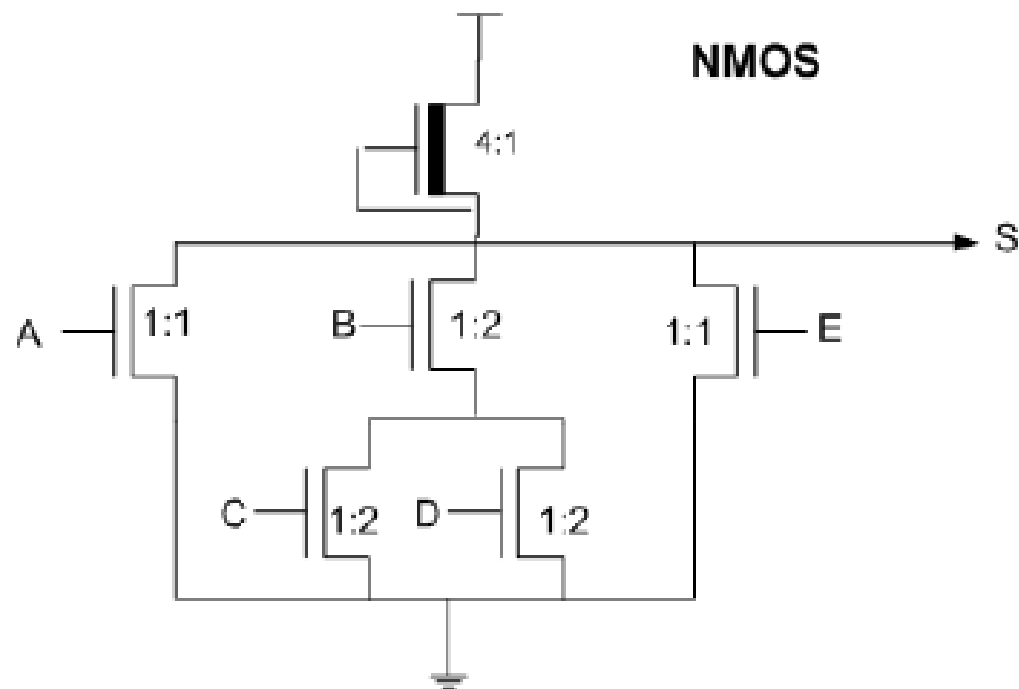
1.4. Repetir l'exercici 1 en lògica nMOS dimensionant correctament els transistors

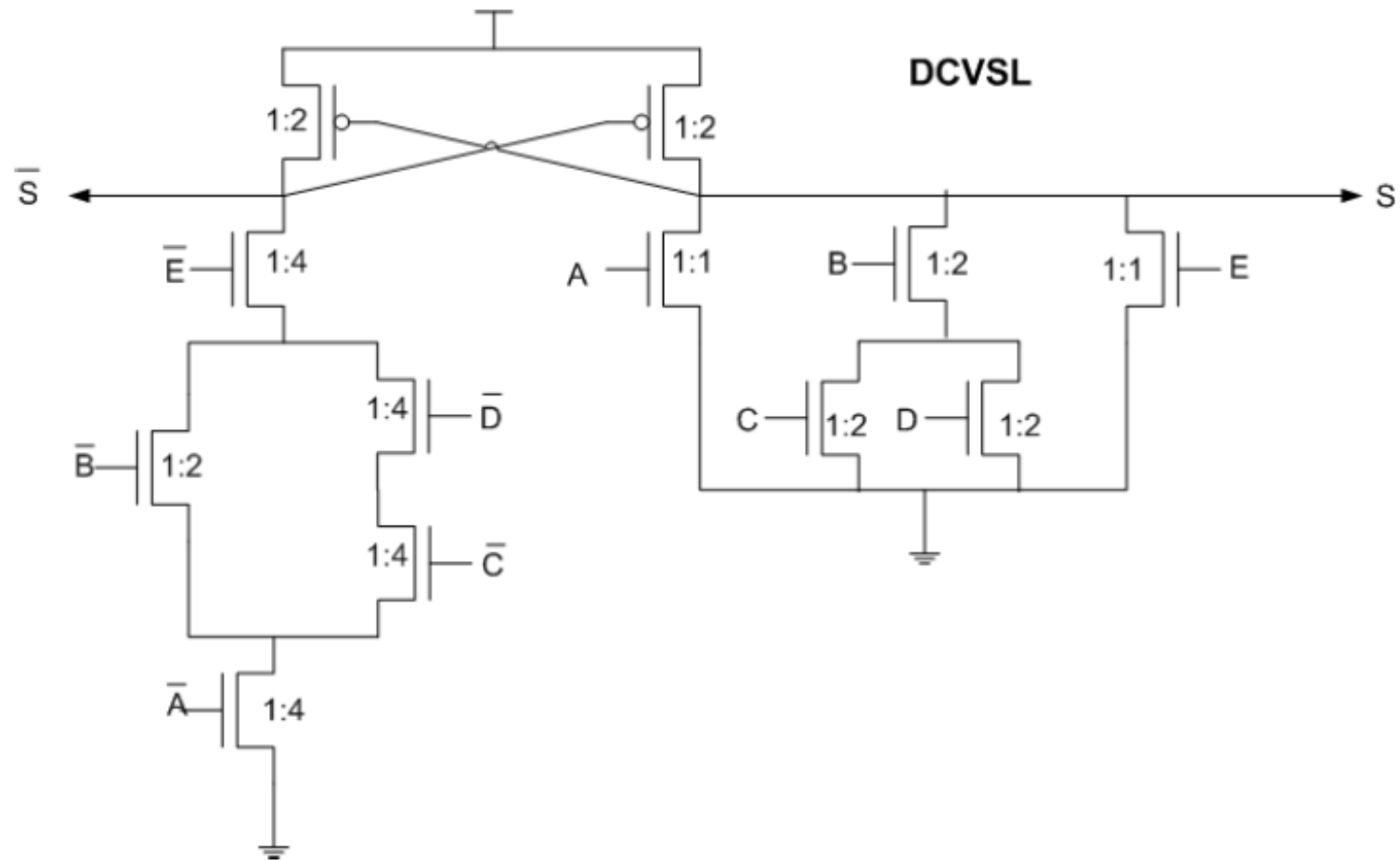
Problema 1 (2 punts)

Dissenyar la següent funció en CMOS, nMOS i DCVSL. Dimensioneu també els transistors de la manera que cregueu més correcta (o bé simètric, o bé mantenint la proporció 1 a 4) per tots els casos considerant que $1R_{sp} = 2R_s$. L i W han de ser potències de 2. (1, 2, 4, 8, 16, ...)

$$S = \overline{A + (B \cdot (C + D)) + E}$$







Famílies lògiques en lògica estàtica

Rosa M. Badia

Ramon Canal

DM

Tardor 2005

Actualitzat Q1 2020-2021