
Diseño VLSI

Caracterización de circuitos MOS

Enric Pastor, Ramon Canal
Dept. Arquitectura de Computadors
UPC

Adaptat Q1 2020-2021

Caracterización modular

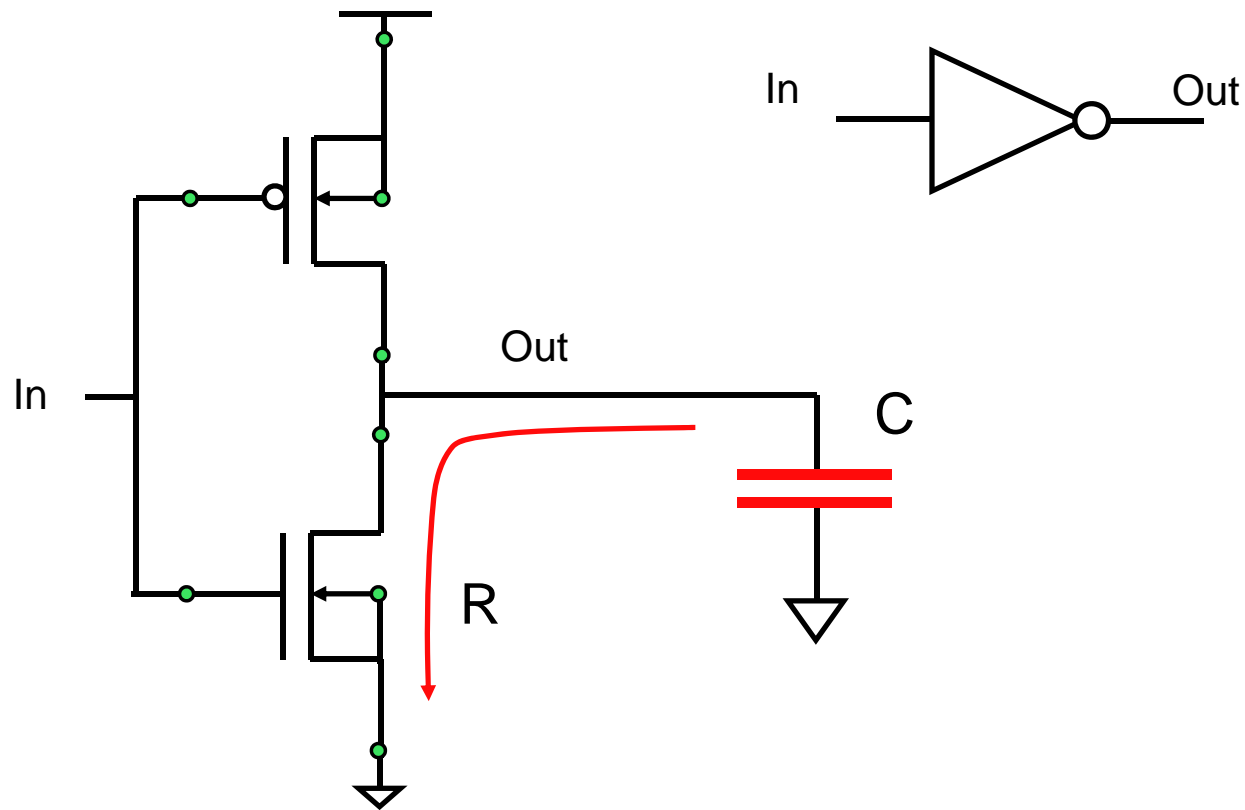
- No es posible analizar un circuito con miles de transistores mirando individualmente cada uno de ellos.
- Estrategia de análisis modular (igual que el diseño modular).
- Agrupar el comportamiento de transistores en puertas, el comportamiento de las puertas en bloques y así sucesivamente.
- Claves para el análisis en un circuito MOS:
 - El comportamiento interno es independiente del circuito que genera las entradas (en condiciones razonables).
 - Parámetros en la interficie: capacidad de las entradas/salidas e impedancia en la salida.
 - Las *puertas de paso* son un caso aparte.

Caracterización modular

- Elementos en la caracterización de un módulo:
 - Función lógica.
 - Capacidad de las entradas (~ puertas de transistores).
 - Capacidad de las salidas.
 - Impedancia de las salidas.
 - Tiempos de propagación internos.
- Los parámetros de capacidad e impedancia son fijos.
- Los tiempos de propagación internos varían con los datos y el tipo de operación:
 - Caracterizar el tiempo mayor/menor.
 - Crear caracterizaciones por funcionalidad, tipos de datos, análisis estadístico de las operaciones, etc.

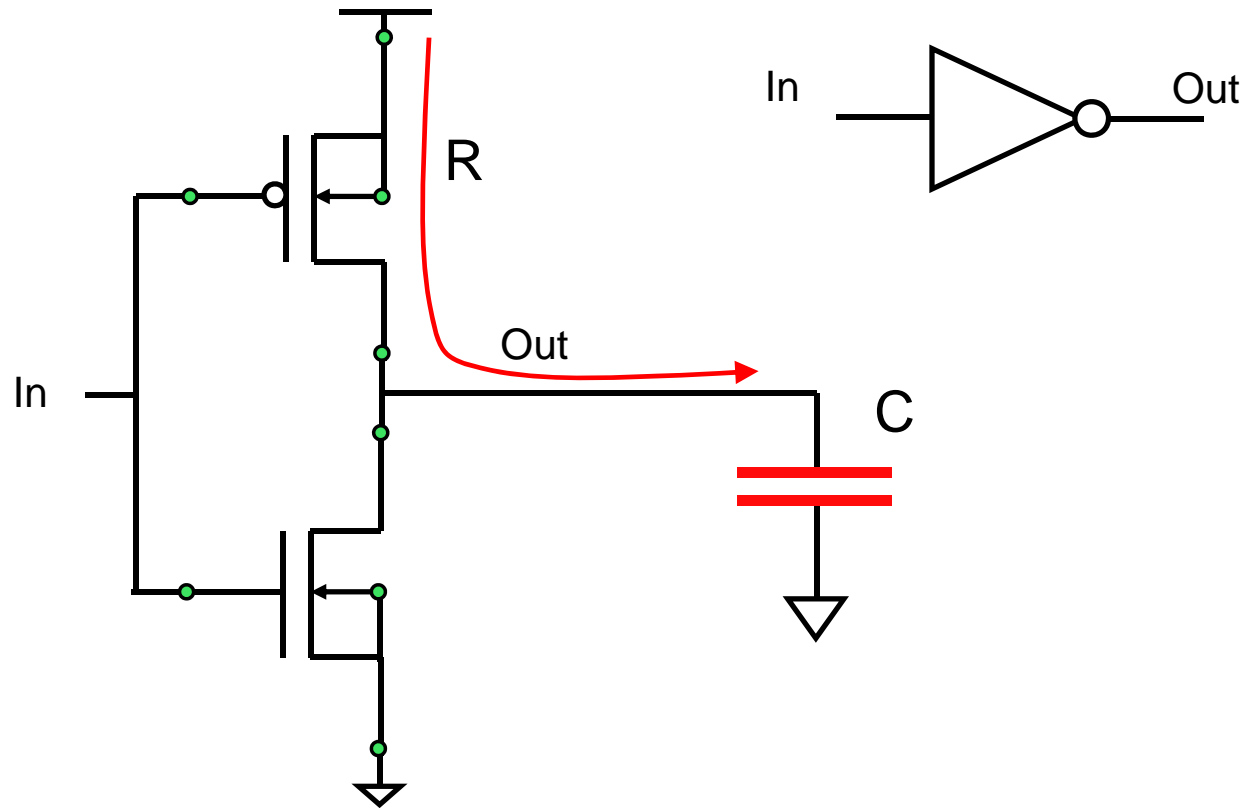
Retardo de un puerta MOS

- Retardo depende de la relación $R C$:



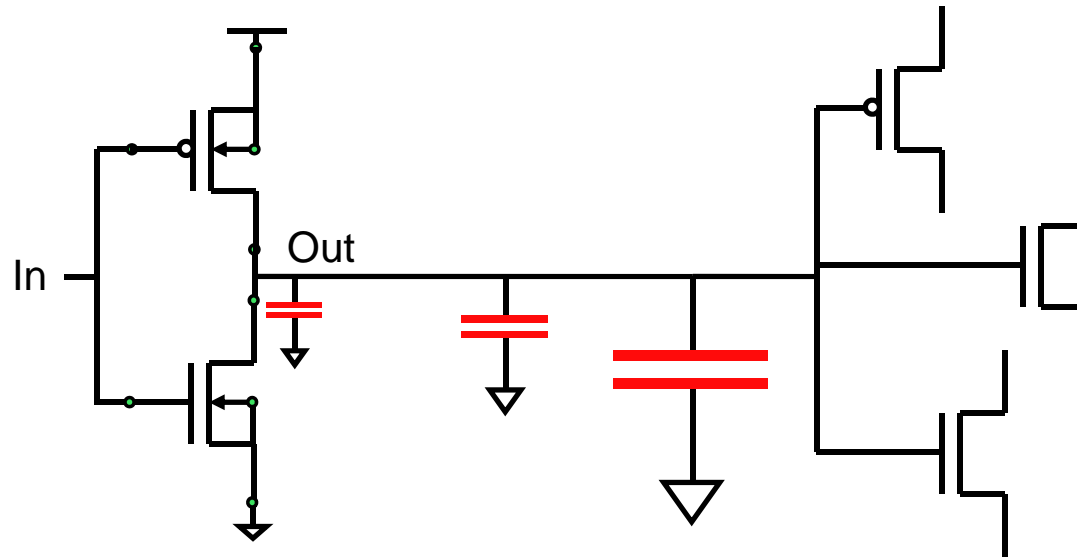
Retardo de un puerta MOS

- Retardo depende de la relación $R C$:



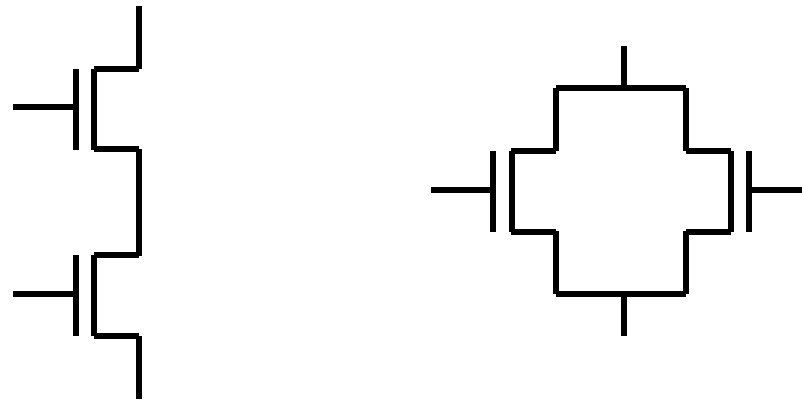
Retardo de un puerta MOS

- La capacidad C depende de:
 - Capacidad de las difusiones en el nodo de salida.
 - Capacidad de las conexiones.
 - Capacidad de las puertas conectadas al nodo de salida.



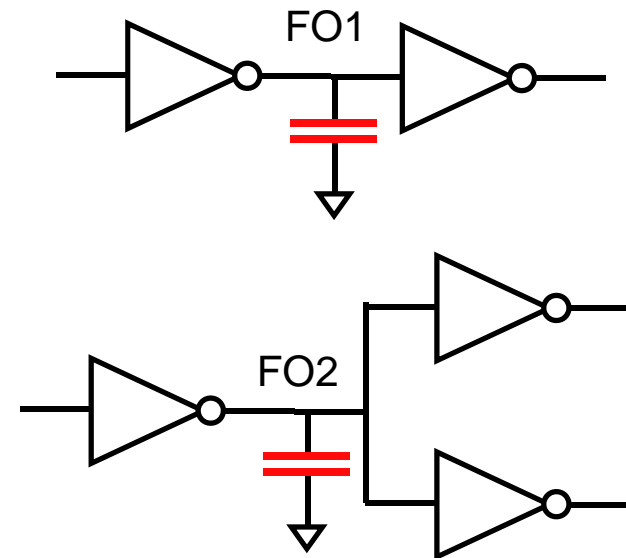
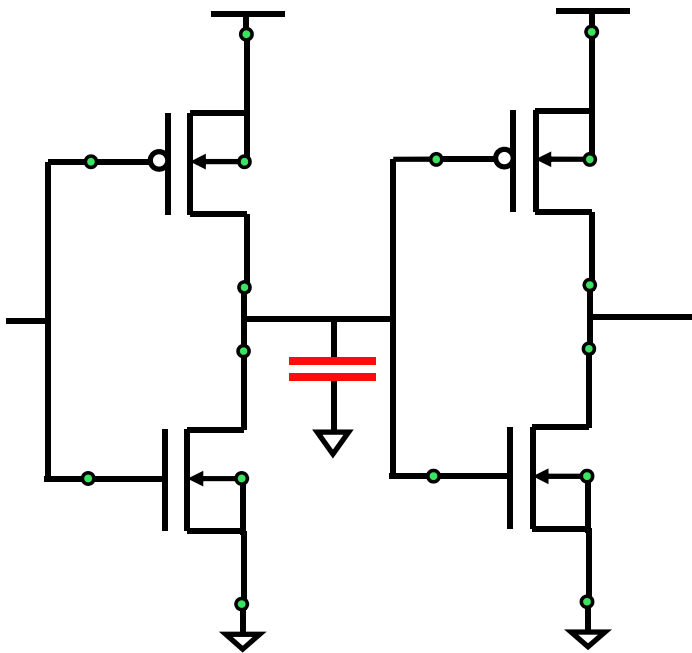
Retardo de un puerta MOS

- La resistencia R depende de:
 - Dimension de los transistores que realizan la carga / descarga de la capacidad en la salida ($\sim L/W$).
 - Transistores en serie aumentan la resistencia: $L_1/W_1 \ L_2/W_2$
 - $R \sim L_1/W_1 + L_2/W_2$
 - Transistores en paralelo la reducen: $L_1/W_1 \ L_2/W_2$
 - $R \sim 1 / (1/(L_1/W_1) + 1/(L_2/W_2))$



Retardo de un puerta MOS

- Definimos FO1 como el retardo de un inversor atacando otro inversor equivalente:
 - FO2 equivale a conectar dos inversores, etc.



Elementos en la caracterización

- Visión general de un módulo:

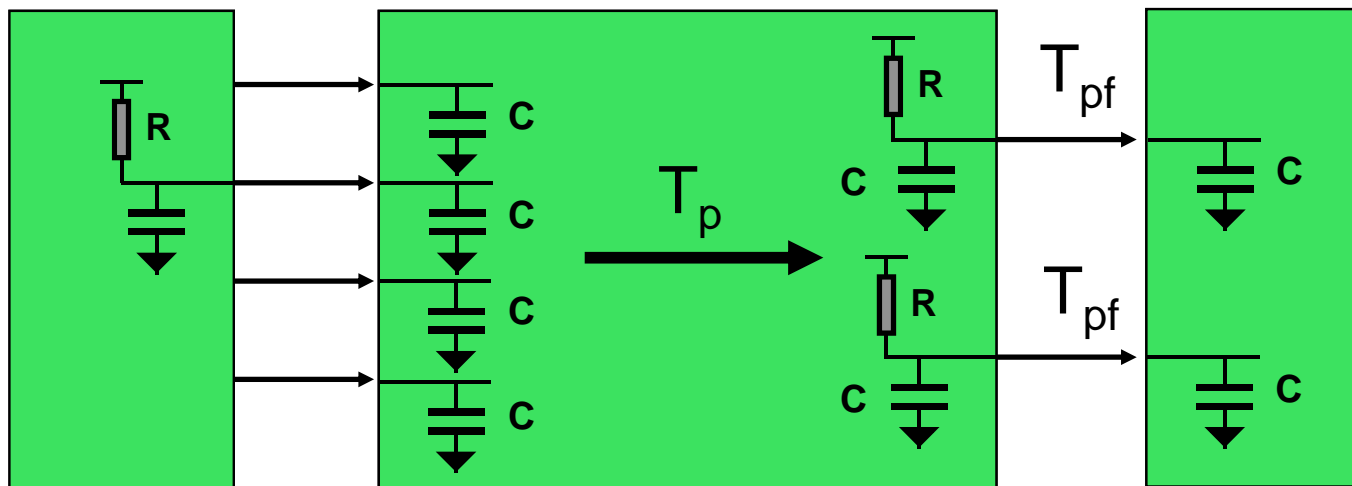
- Capacidad de las entradas:

- Capacidad de las salidas:

- Impedancia de las salidas.

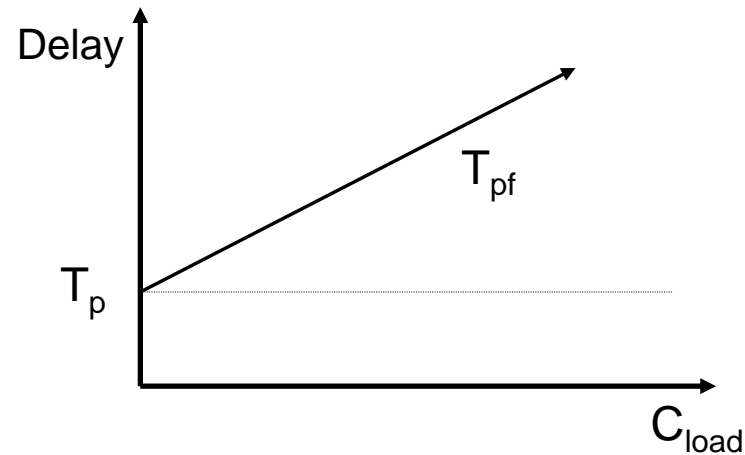
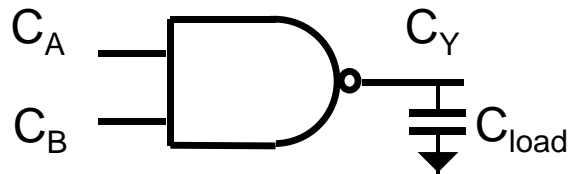
- Tiempo de propagación proporcional a la carga:

- Tiempos de propagación internos:

 C_I C_O T_{pf} T_p 

Ejemplo: caracterización puerta NAND

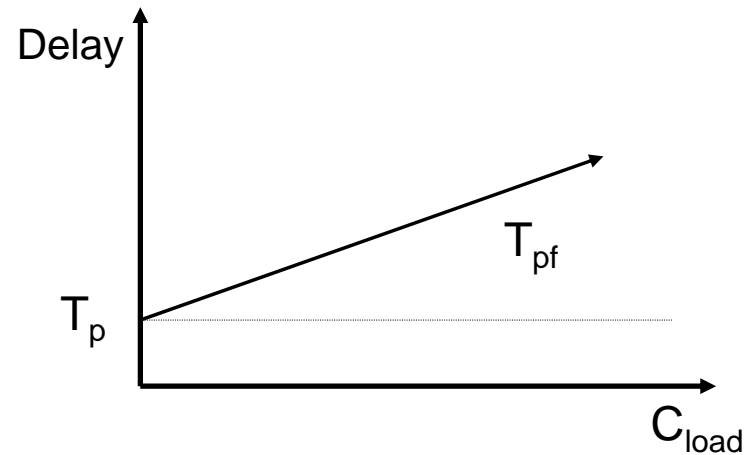
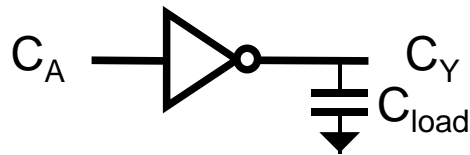
- Parámetros en una puerta combinacional: **NAND2**
 - Capacidad de las entradas: C_{I-A} C_{I-B} 40 fF
 - Capacidad de las salidas: C_{O-Y} 25 fF
 - Tiempos de propagación:
 - Proporcionales a la carga: $T_{pf Y}$ 0.02 ns/fF
 - Internos: $T_{p Y}$ 1 ns



Ejemplo: caracterización inversor

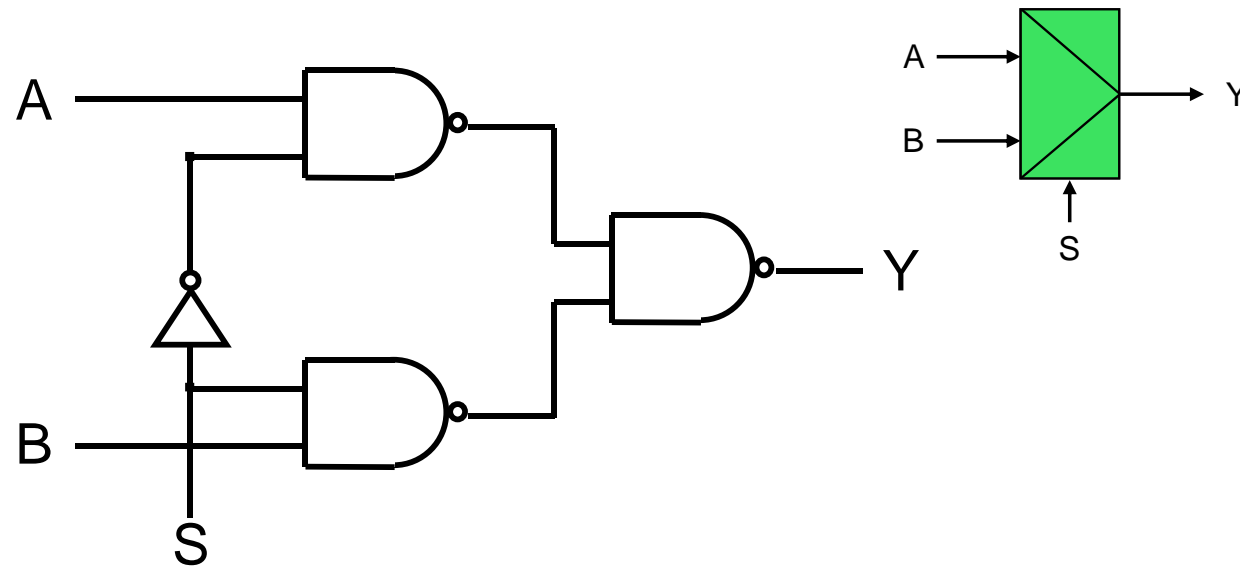
- Parámetros en una puerta combinacional: **INV**

- Capacidad de la entrada: C_{I-A} 30 fF
- Capacidad de la salida: C_{O-Y} 25 fF
- Tiempos de propagación:
 - Proporcionales a la carga: $T_{pf\ Y}$ 0.01 ns/F
 - Internos: $T_{p\ Y}$ 0.8 ns



Ejemplo: caracterización MUX

- Podemos caracterizar un multiplexor utilizando los parámetros disponibles para la puerta NAND y el inversor:
 - **Simplicidad:** utilizamos/generamos los mismos parámetros.
 - **Análisis conservador:** se produce un cierto “error”.



Caracterización de las capacidades

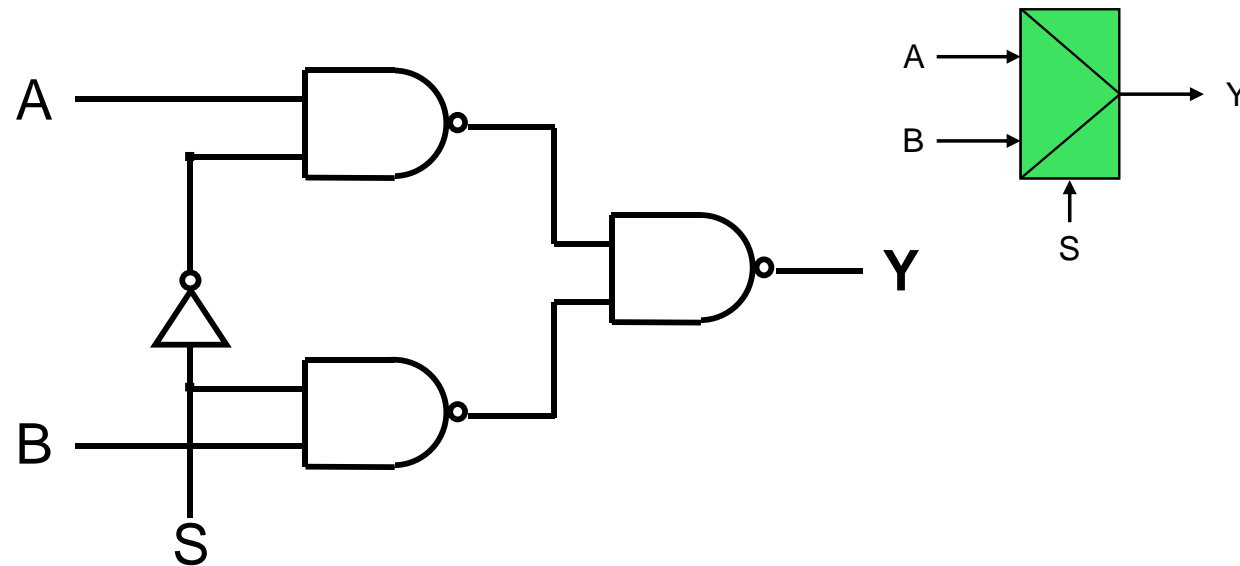
- Capacidades:

- $C_A = C_{I\text{-}NAND} = 40\text{fF}$

$$C_B = C_{I\text{-}NAND} = 40\text{fF}$$

- $C_S = C_{I\text{-}NAND} + C_{I\text{-}NOT} = 70\text{fF}$

$$C_Y = C_{O\text{-}NAND} = 25\text{fF}$$



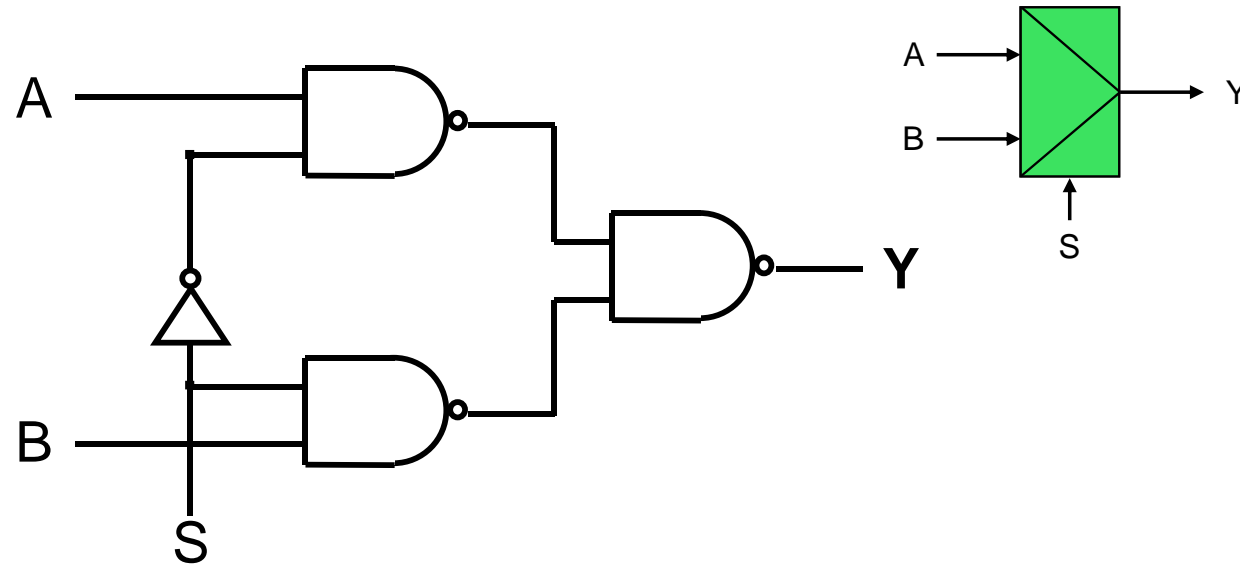
Caracterización del T_{pf}

- Tiempos de propagación proporcionales a la carga:

- $T_{pf Y} = T_{pf NAND} = 0.02\text{ns/fF}$

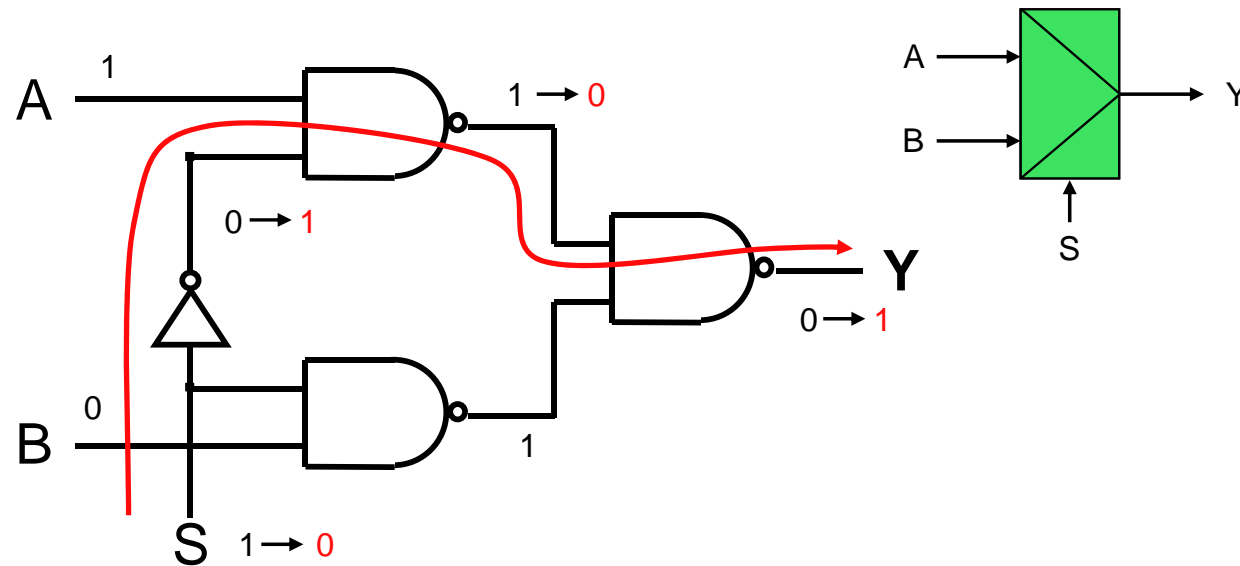
- Separando carga/descarga:

$$T_{pf Y+} = T_{pf NAND+} \quad T_{pf Y-} = T_{pf NAND-}$$



Caracterización del Tp crítico

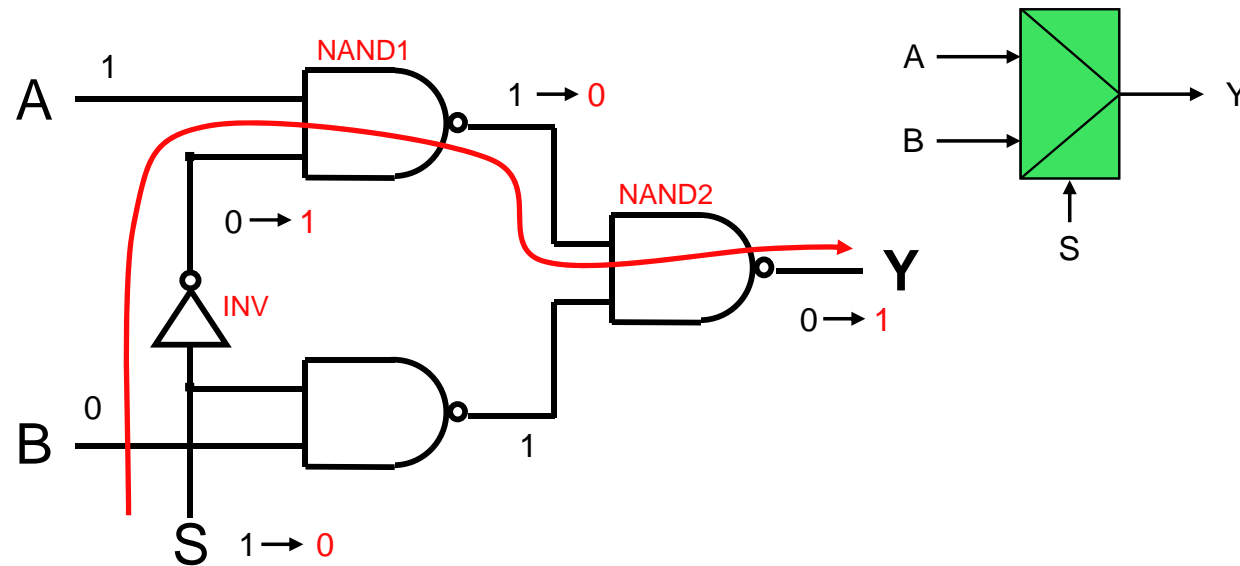
- Tiempos de propagación internos:
 - Depende del **camino crítico**: camino más lento desde una entrada hacia cada salida del circuito.
 - Debe demostrarse su existencia: existen “caminos críticos falsos”.



Caracterización del T_p crítico (cont.)

- Cálculo del tiempo de propagación máximo:

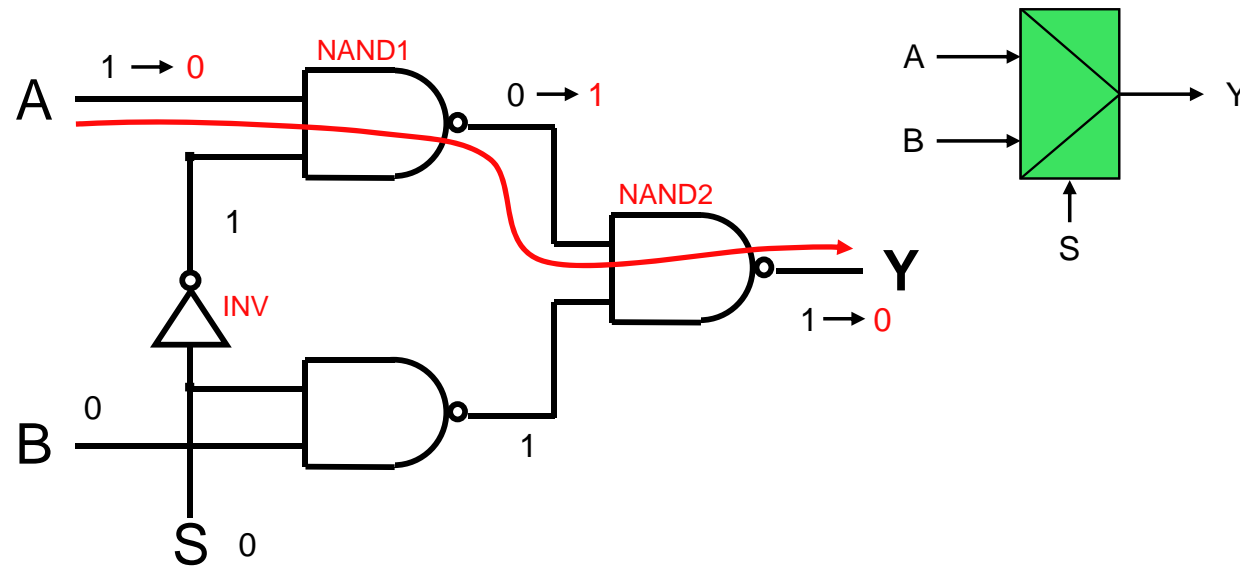
$$\begin{aligned} - T_{pY} = & T_{pINV} + T_{pfINV} C_{I-NAND1} + \\ & T_{pNAND1} + T_{pfNAND1} C_{I-NAND2} + \\ & T_{pNAND2} \end{aligned}$$



Caracterización del T_p mínimo

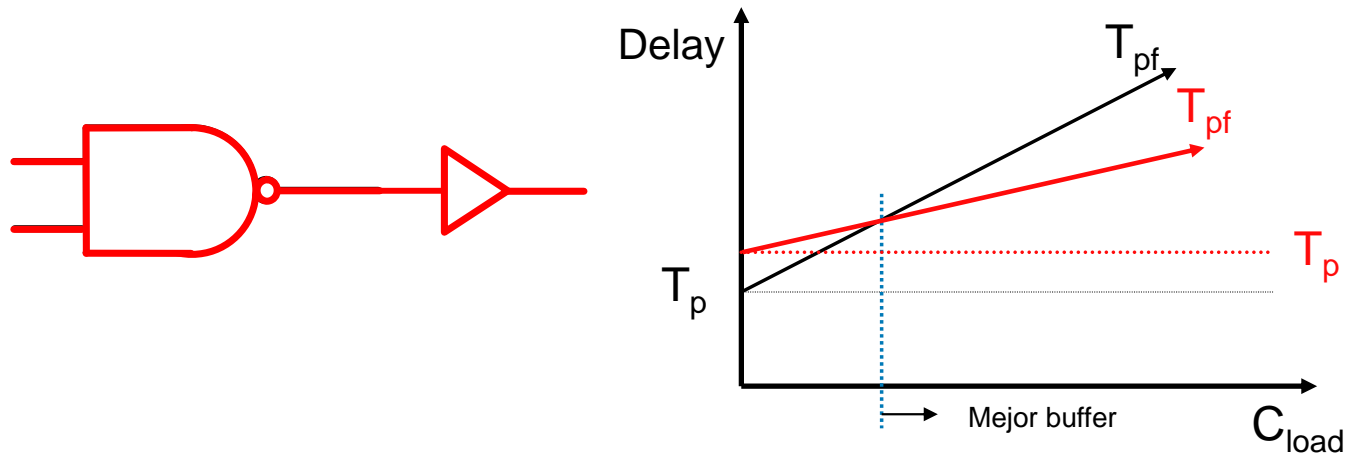
- Cálculo del tiempo de propagación mínimo:

$$- T_{pY} = T_{p\text{NAND1}} + T_{pf\text{NAND1}} C_{I\text{-NAND2}} + T_{p\text{NAND2}}$$



Buffers para mejorar el rendimiento

- La velocidad de un componente depende de su tiempo de cálculo, pero también de su conexión.
- Podemos mejorar el rendimiento sacrificando el T_p para conseguir un T_{pf} más reducido.



Conclusiones

- La tecnología MOS permite un análisis *modular*.
- Podemos caracterizar un sistema utilizando un subconjunto de sus parámetros de funcionamiento.
- Los tiempos de propagación T_{pf} solo dependen de los transistores que generan las salidas.
- Buffers en las salidas *aumentan* el T_p , pero *reducirán* el T_{pf} .
- Existe un máximo y mínimo, pero no siempre es el parámetro que necesitamos, e.g. en un sumador RCA:
 - T_p máximo es proporcional al número de bits.
 - En promedio solo 4-5 bits propagan acarreo.

Diseño VLSI

Caracterización de circuitos MOS

Enric Pastor

Dept. Arquitectura de Computadors

UPC

Diseño VLSI

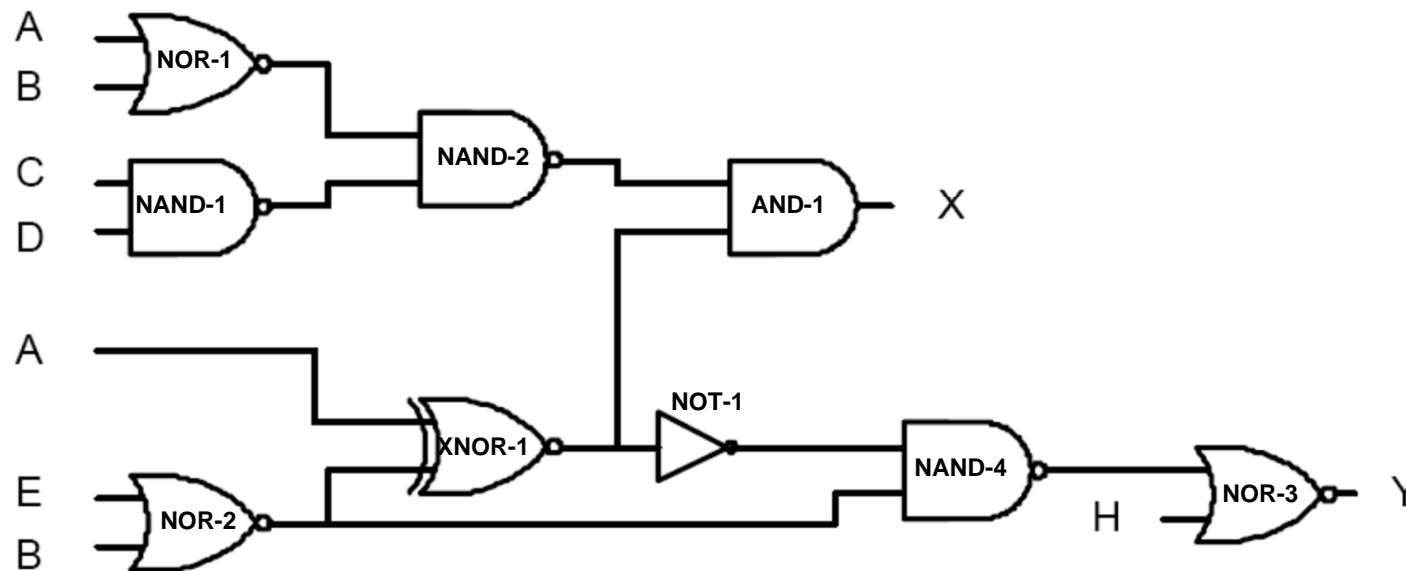
Caracterización de circuitos MOS PROBLEMES

Enric Pastor

Dept. Arquitectura de Computadors

UPC

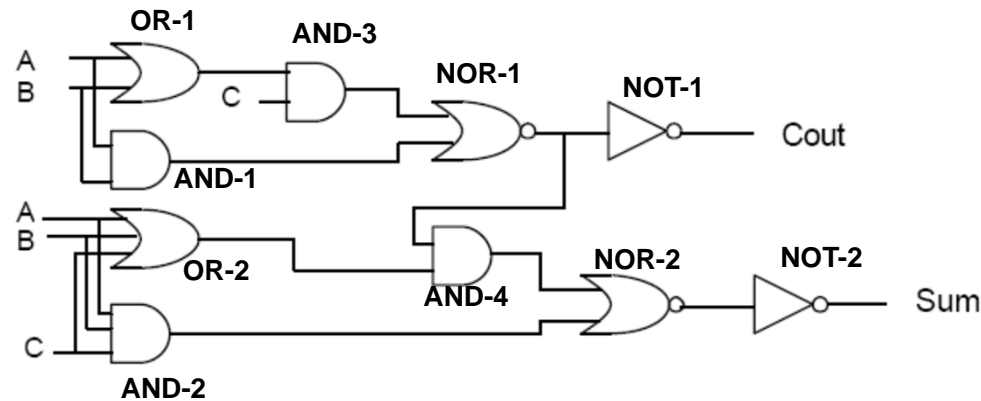
- 2.1 Donat el circuit de la figura, es demana que el caracteritzeu, determinant la capacitat a les entrades, i el retard intern (T_p) i el retard depenent de la capacitat a la sortida (T_{pf}) per cadascuna de les sortides.



	Cin	T_p (ns)	T_{pf} (ns/fF)
AND2	45fF	1.3	0.01
NOR2	35fF	0.9	0.02
NAND2	45fF	0.8	0.02
NOT	30fF	0.8	0.01
XNOR2	40fF	1.5	0.03

2.2 Donat el circuit de la figura, i la següent taula amb els valors de capacitat d'entrada (C_{in}), retard intern (T_p) i retard depenent de la capacitat a la sortida (T_{pf}), es demana:

- Caracteritzeu el circuit indicant per cada entrada la seva capacitat, i per cada sortida el seu retard intern i retard depenent de la capacitat a la sortida.
- Si les capacitats de sortida són: $C_{cout} = 30 C_g$ i $C_{sum} = 40 C_g$, calcular el consum dinàmic mitjà si la freqüència de treball de les entrades és 25 MHz i les sortides Cout i Sum commuten el 50% de les vegades ($V_{dd} = 3.3V$).



	C_{in}	T_p	T_{pf}
OR2	35fF	1.1ns	0.025ns/fF
AND2	45fF	1.3ns	0.01ns/fF
NOR2	35fF	0.9ns	0.02ns/fF
NOT	30fF	0.8ns	0.01ns/fF

OR3	40fF	1.5ns	0.03ns/fF
AND3	50fF	1.8ns	0.015ns/fF

Diseño VLSI

Caracterización de circuitos MOS PROBLEMES

Enric Pastor

Dept. Arquitectura de Computadors

UPC