Lògica dinàmica

Rosa M. Badia Ramon Canal DM Tardor 2004 Actualitzat Q1 2020-2021



Estructures dinàmiques CMOS

- La utilització d'estructures estàtiques CMOS es interessant de cara a facilitar el disseny i reduir el consum, però suposa un increment dels retards i l'àrea
- Les estructures dinàmiques s'utilitzen per accelerar els càlculs i a la vegada reduir el nombre de transistors requerits
- Famílies lògiques:
 - Lògica dinàmica
 - Lògica NP
 - Lògica Domino
 - Lògica multifase
 - Lògica CVSL (versió dinàmica)
 - Lògica Domino amb múltiples sortides
 - Lògica NORA

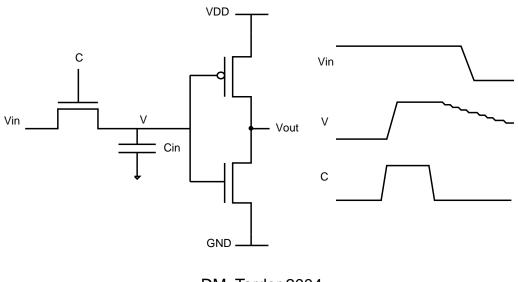


DM, Tardor 2004

2

Estructures dinàmiques CMOS

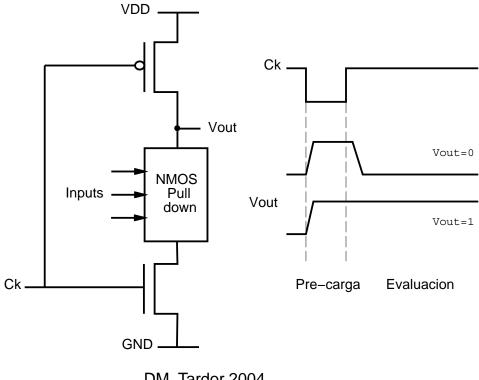
- Principis de funcionament:
 - La tecnologia dinàmica es bassa en la utilització de les capacitats
 paràsites (capacitats de porta) per emmagatzemar temporalment valors





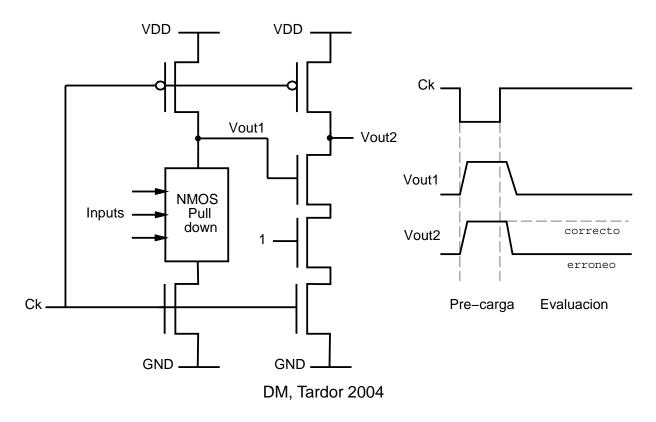
3

- Lògica Dinàmica
 - El funcionament de la porta es composa de dues fases:
 - Pre-càrrega
 - Avaluació



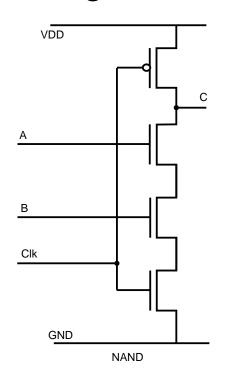


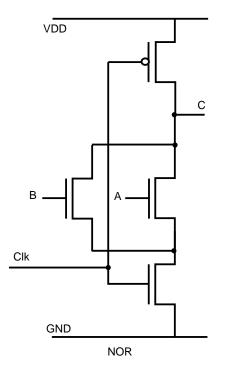
• L'encadenament de portes lògiques dinàmiques produeix una descàrrega no volguda en la fase d'avaluació





• Estructures en lògica dinàmica



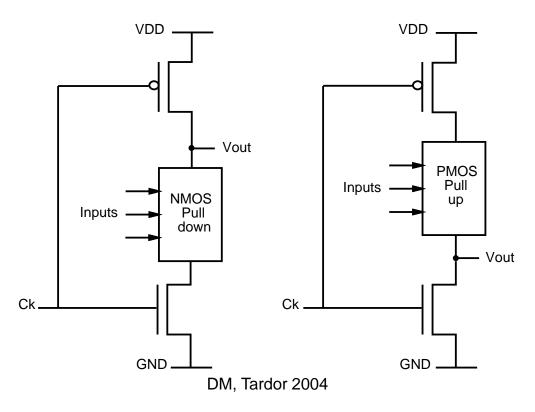




• Lògica NP:

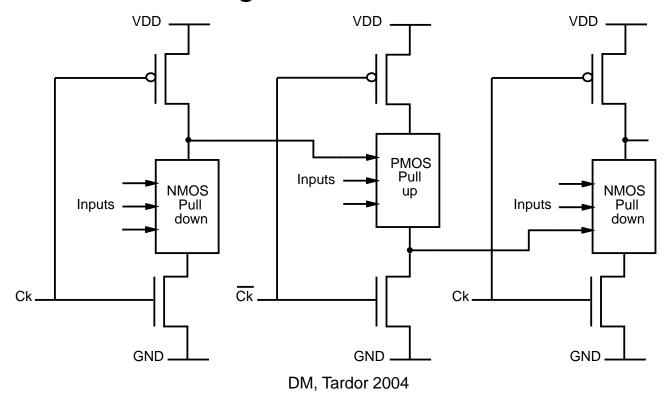
- Es poden crear portes dinàmiques amb la funció en el pull-down (porta N) i al pull-up

(porta P)



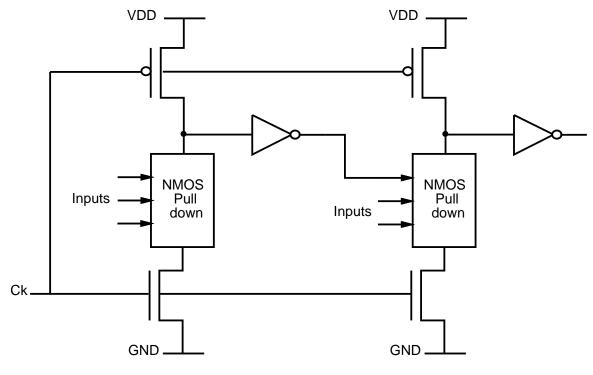


 Lògica NP: l'encadenament de portes N amb portes P evita el problema de la descàrrega





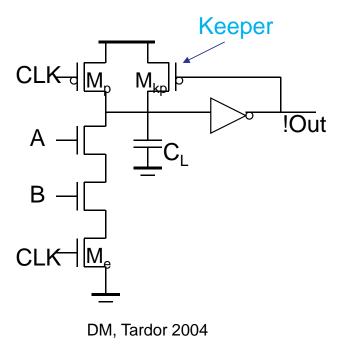
- Lògica Domino:
 - S'afegeix un inversor a la sortida per evitar la descàrrega





Solució a la pèrdua de càrrega (leakage)

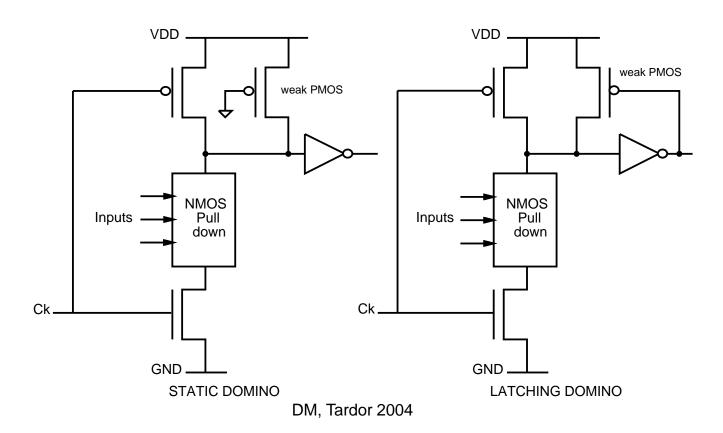
 Keeper compensates for the charge lost due to the pull-down leakage paths.





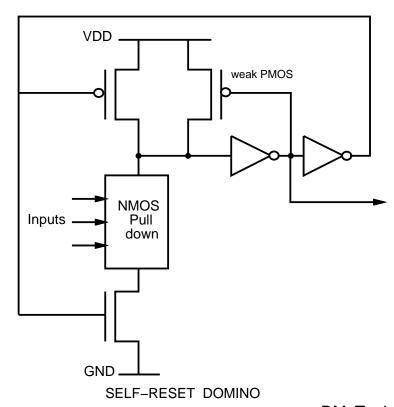
10

Versions a la lògica domino

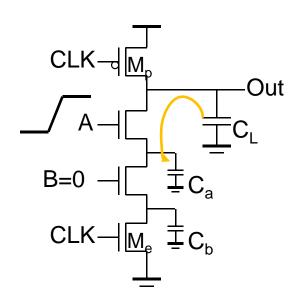




Més variacions en la lògica domino







Redistribució de càrrega en domino:

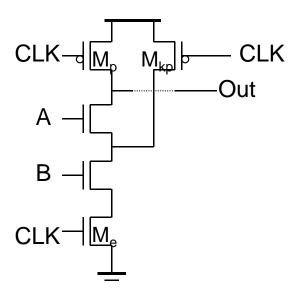
Charge stored originally on C_L is redistributed (shared) over C_L and C_A leading to static power consumption by downstream gates and possible circuit malfunction.

When $\Delta V_{out} = -V_{DD} (C_a / (C_a + C_L))$ the drop in V_{out} is large enough to be below the switching threshold of the gate it drives causing a malfunction.



DM, Tardor 2004 13

Solució a la redistribució de càrrega



Precharge internal nodes using a clock-driven transistor (at the cost of increased area and power)



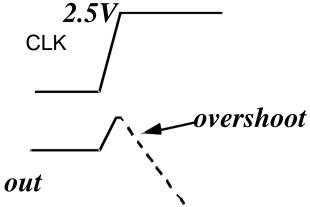
DM, Tardor 2004 14

Clock Feedthrough

CLK M_p Out $A \rightarrow M_a$ $A \rightarrow M_b \rightarrow C_a$ Cap
the

CLK $C_b \rightarrow C_b$ Cap
(and

could potentially forward bias the diode

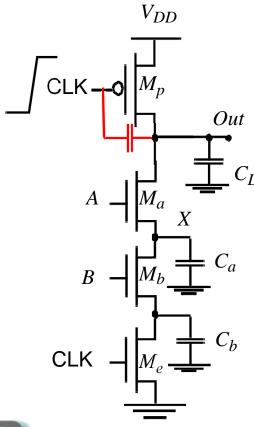


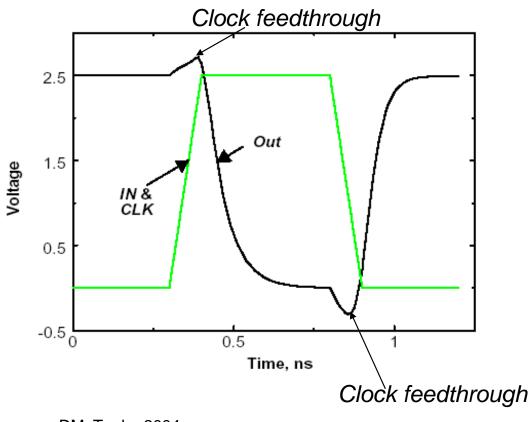
Capacitive coupling between Out and Clk input of the precharge device due to the gate to drain capacitance.

So voltage of Out can rise above $V_{\rm DD}$. The fast rising (and falling edges) of the clock couple to Out.



Clock Feedthrough



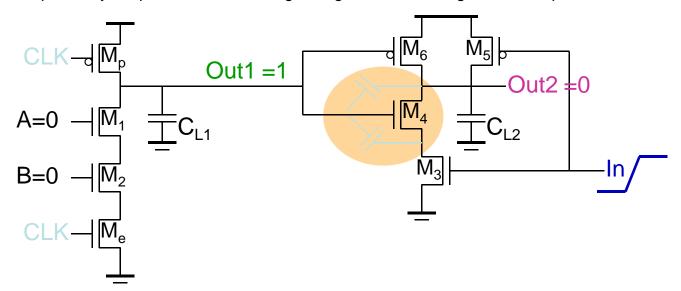




DM, Tardor 2004 16

Backgate Coupling

- Susceptible to crosstalk due to 1) high impedance of the output node and 2) capacitive coupling
 - Out2 capacitively couples with Out1 through the gate-source and gate-drain capacitances of M4

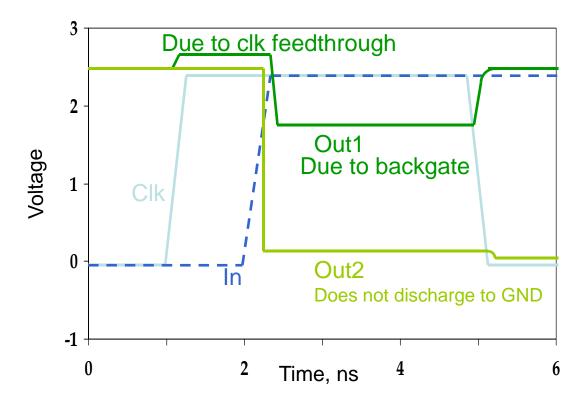


Dynamic NAND

Static NAND



Backgate Coupling



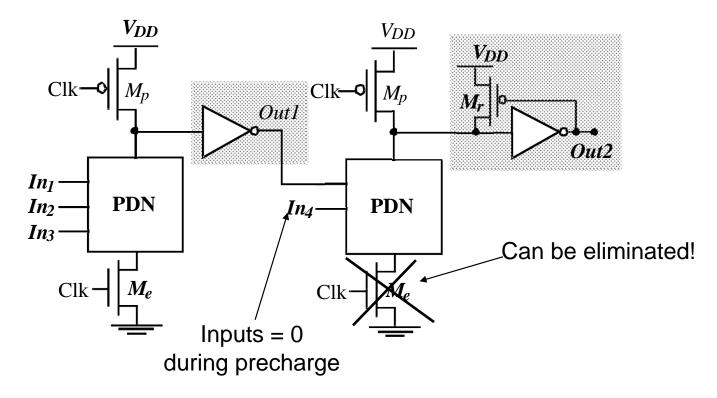


Altres efectes

- Capacitive coupling
- Substrate coupling
- Minority charge injection
- Supply noise (ground bounce)



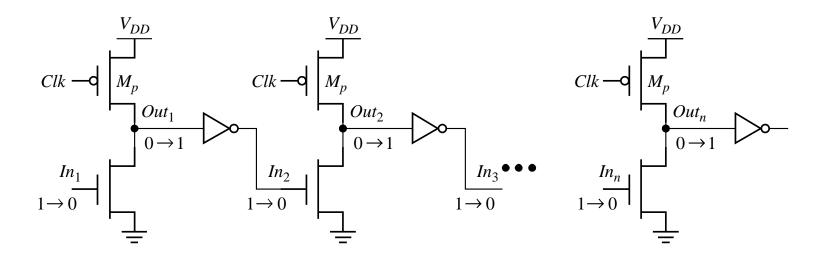
Millores a la lògica domino





DM, Tardor 2004 20

• Footless Domino

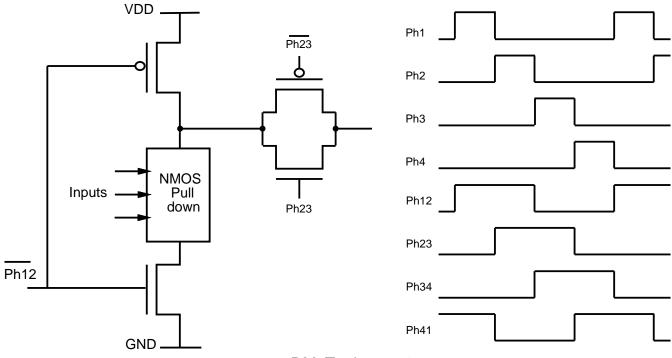


The first gate in the chain needs a foot switch Precharge is rippling – short-circuit current A solution is to delay the clock for each stage



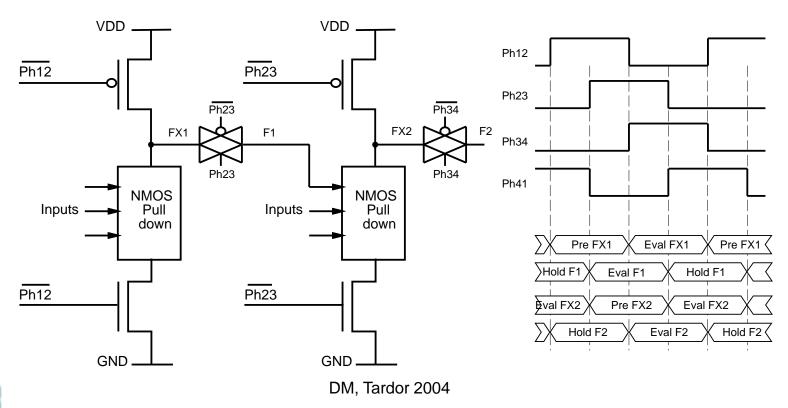
DM, Tardor 2004 21

- Lògica multifase
 - S'utilitzen quatre fases d'un rellotge per crear un pipeline en l'avaluació de les portes.
 - S'utilitza una porta de pas per controlar la interconnexió



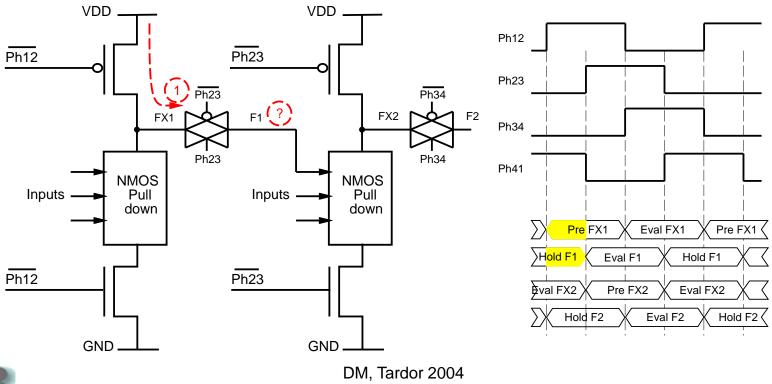


- Lògica multifase
 - L'avaluació d'una etapa i la transferència de dades d'una etapa a la següent es realitza en quatre fases



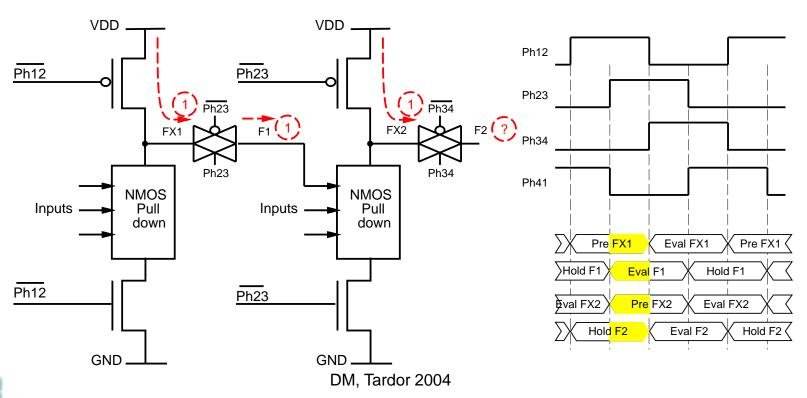


- Lògica multifase
 - Inicialment es precarrega el senyal intern FX1. El senyal F1 no es modifica.



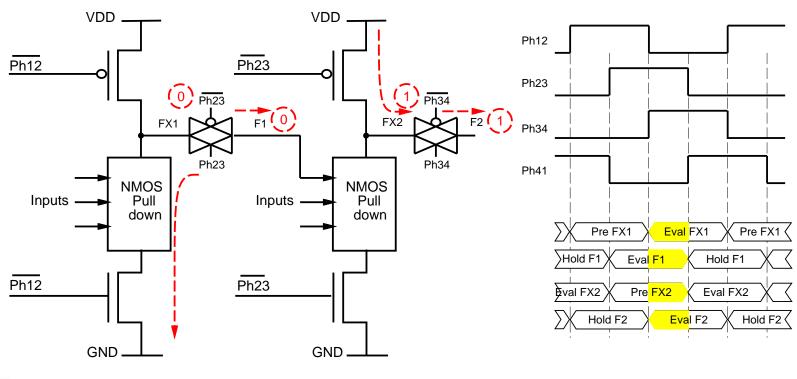


- Lògica multifase
 - El senyal FX1 es propaga a la sortida F1. El senyal FX2 es precarrega.



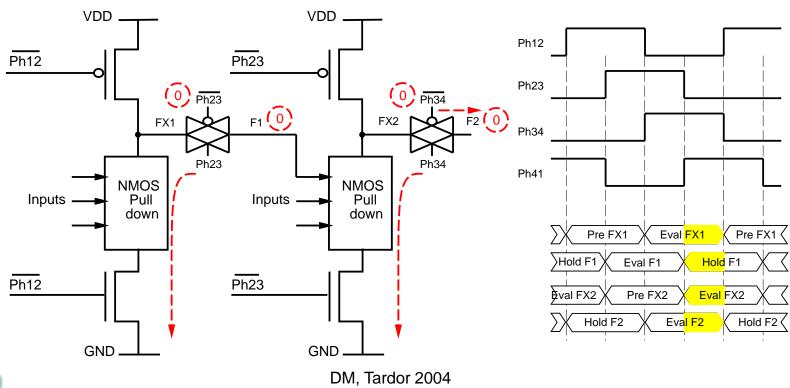


- Lògica multifase
 - Els senyals FX1 y F1 avaluen. El senyal FX2 es propaga a la sortida F2.



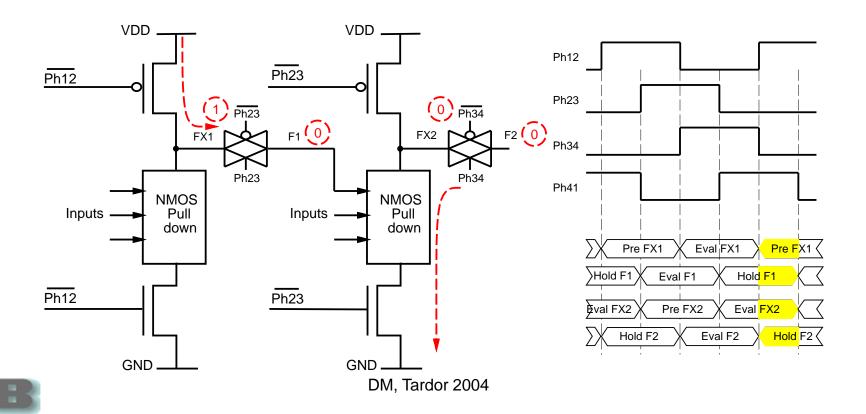


- Lògica multifase
 - El senyal F1 s'aïlla de FX1. El senyal FX2 avalua i es propaga a la sortida F2.

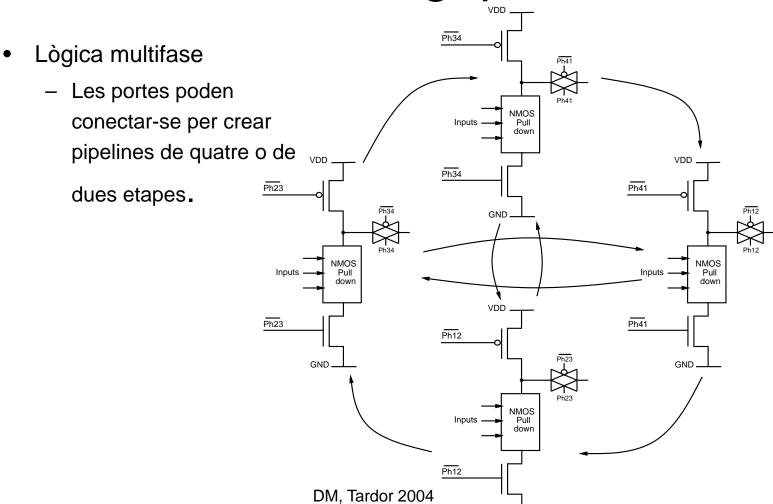




- Lògica multifase
 - El senyal FX1 es precarrega, mentre F1 està aïllada. La sortida F2 manté el seu valor.



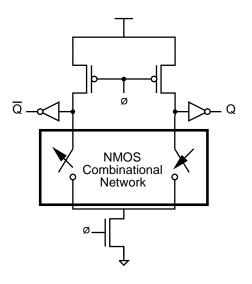




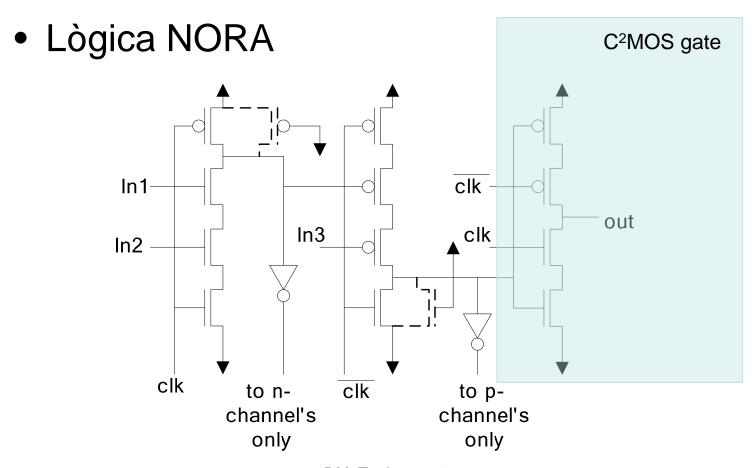
GND.



• Lògica CVSL (versió dinàmica)







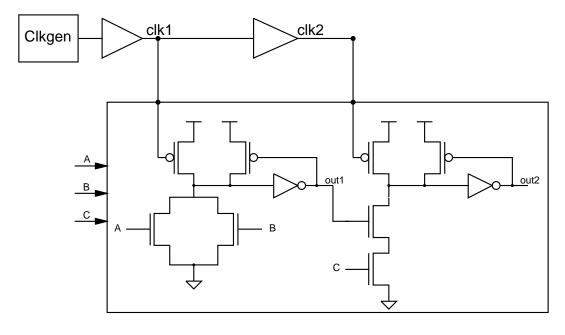


- No he posat:
 - Estructures estàtiques: explicar portes de pas CMOS!
- Dubtes:
 - Que faig amb el delayed reset?
- Falta
 - Domino amb múltiples sortides



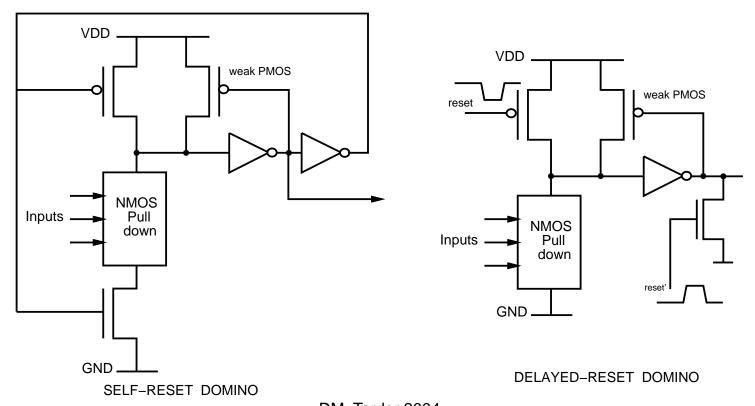
DM, Tardor 2004 32

- Lògica domino delayed-reset
 - Els senyals clk1 i clk2 han d'estar parcialment solapats





Més variacions en la lògica domino





Lògica dinàmica problemes

Rosa M. Badia Ramon Canal VLSI Q1 2020-2021

