

Multiprocesadores: Práctica 1

Eric Rufart y Àlex Torregrosa

Trabajo 1: Analice el flujo de información en el camino de datos y los estados en el autómata de control en los cálculos $\text{mcd}(21, 12)$ y $\text{mcd}(0, 8)$. Una forma de representar los cálculos es mediante una tabla (Figura 5). Los acrónimos mxa y mxb indican las salidas de los multiplexores ubicados en las entradas del módulo sub (Figura 2). El multiplexor mxa es el ubicado en la parte superior de la figura., en la página 4.

ciclo	estado	ra	rb	menor	mx	mx	sub	cero
1	ESP	X	X	X	X	X	X	X
2	CALC	21	12	0	21	12	9	0
3	CALC	9	12	1	12	9	3	0
4	CALC	3	9	1	9	3	6	0
5	CALC	6	3	0	6	3	3	0
6	CALC	3	3	0	3	3	0	0
7	CALC	0	3	1	3	3	3	1
8	HECHO	3	0	0	3	0	3	1

Tabla 1: Evolución de señales durante el cálculo de $\text{mcd}(21, 12)$.

Ciclo	estado	ra	rb	menor	mx	mx	sub	cero
1	ESP	X	X	X	X	X	X	X
2	CALC	0	8	1	8	0	8	1
3	HECHO	8	0	0	8	0	8	1

Tabla 2: Evolución de señales durante el cálculo de $\text{mcd}(0, 8)$.

Trabajo 6: Analice el programa de prueba. Describa los procedimientos “producir_datos” y “consumir_datos” mediante diagramas temporales. Para ello, utilice la señal reloj y sus flancos como referente. Céntrese en las señales relativas a los protocolos de las interfaces (productor-mcd y mcd-consumidor) y el valor de las entradas. Tenga en cuenta también el parámetro “tiempoproducir”, en la página 8.

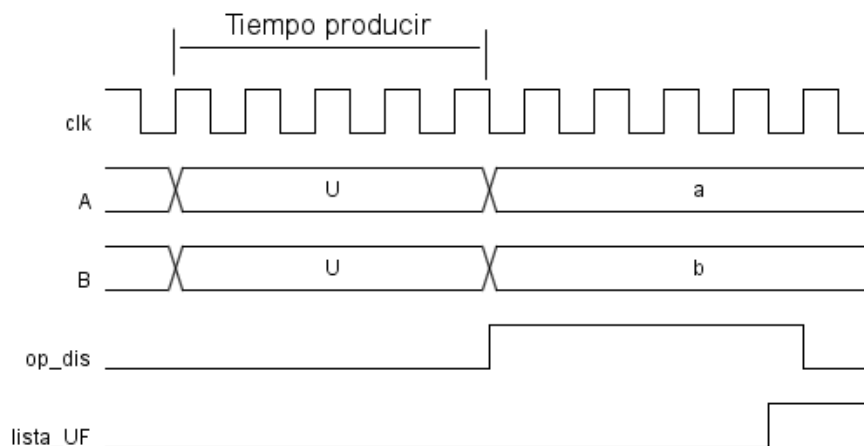


Figura 1: Diagrama temporal del procedimiento “producir_datos”.

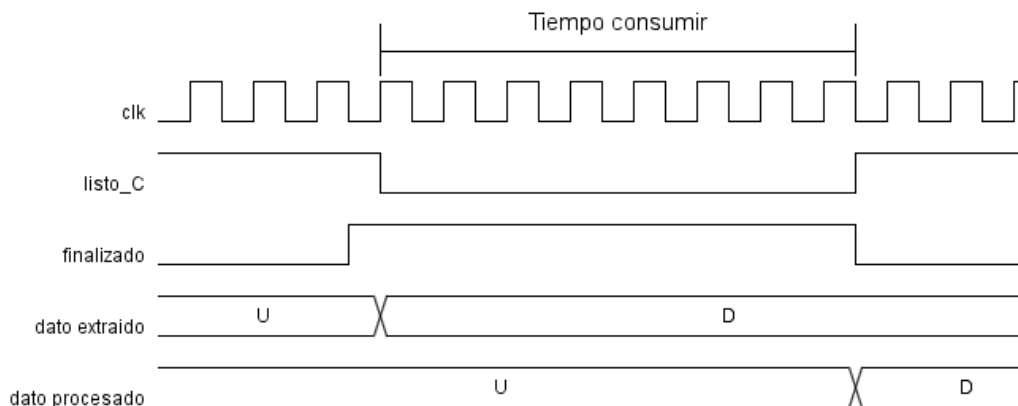


Figura 2: Diagrama temporal del procedimiento "consumir_datos".

Trabajo 17: Construya una tabla con los ciclos de cálculo de las operaciones iniciadas por el productor en los Trabajos 7: y Trabajo 16: en la página 10.

Operación	Ciclos de CALC con HECHO	Ciclos de CALC sin HECHO
1	6	9
2	6	6
3	4	7
4	1	1
5	1	3

Tabla 3: Ciclos de cálculo.

Trabajo 20: Analice el flujo de información en el camino de datos y los estados en el autómata de control en los cálculos $\text{mcd}(21, 12)$, $\text{mcd}(8, 0)$ y $\text{mcd}(0, 7)$. Una forma de representar los cálculos es mediante una tabla (Figura 17). Los acrónimos *mx_a* y *mx_b* indican las salidas de los multiplexores ubicados en las entradas del módulo sub (Figura 2), en la página 12.

ciclo	estado	Reg_a	Reg_b	menor	Mux_ini_a	Mux_ini_b	mx _a	mx _b	sub	cero
1	ESP	X	X	0	21	12	21	12	9	0
2	CALC	9	12	1	9	12	12	9	3	0
3	CALC	3	9	1	3	9	9	3	6	0
4	CALC	6	3	0	6	3	6	3	3	0
5	CALC	3	3	0	3	3	3	3	0	0
6	CALC	0	3	1	0	3	3	0	3	1

Tabla 4: Evolución de señales durante el cálculo de $\text{mcd}(21, 12)$.

ciclo	estado	Reg_a	Reg_b	menor	Mux_ini_a	Mux_ini_b	mx _a	mx _b	sub	cero
1	ESP	X	X	0	8	0	8	0	8	1

Tabla 5: Evolución de señales durante el cálculo de $\text{mcd}(8, 0)$.

ciclo	estado	Reg_a	Reg_b	menor	Mux_ini_a	Mux_ini_b	mx_a	mx_b	sub	cero
1	ESP	X	X	1	0	7	7	0	7	1

Tabla 6: Evolución de señales durante el cálculo de $\text{mcd}(0, 7)$.

Trabajo 32: Modifique el programa de prueba utilizando operandos de entrada distintos. Efectúe una simulación con Modelsim y analice los resultados., en la página 17.

Como podemos observar en la tabla 7, el tiempo mínimo de cálculo es cuando uno de los operandos es 0. Aparte de ese caso, la norma general, es que cuanto más cercano sea un operando a la mitad del segundo menos ciclos requerirá.

A	B	ciclos	A	B	ciclos
45	12	7	14	2	7
58	89	13	81	58	16
1	2	2	35	33	19
5	0	0	41	10	14
6	7	7	47	88	14
3	2	3	26	16	6

Tabla 7: Ciclos de cálculo del $\text{mcd}(A, B)$.

Trabajo 34: Analice el flujo de información en el camino de datos en los cálculos $\text{mcd}(21, 12)$, $\text{mcd}(0, 8)$ y $\text{mcd}(7, 0)$. Una forma de representar los cálculos es mediante una tabla (Figura 34). Los acrónimos mx_ini_a , mx_ini_b y mx_a indican las salidas en los multiplexores ubicados en las entradas de los registros o en la entrada del multiplexor mx_ini_a (Figura 32), en la página 20.

ciclo	estado	reg_a	reg_b	menor	cero	sub	mx_a	mx_ini_a	mx_ini_b
1	ESP	X	X	X	0	X	X	21	12
2	CALC	21	12	0	0	9	9	9	21
3	CALC	9	12	1	0	-3	12	12	9
4	CALC	12	9	0	0	3	3	3	12
5	CALC	3	9	1	0	-6	9	9	3
6	CALC	9	3	0	0	6	6	6	9
7	CALC	6	3	0	0	3	3	3	3
8	CALC	3	3	0	0	0	0	0	3
9	CALC	0	3	1	0	-3	3	3	0
10	HECHO	3	0	0	1	3	3	3	0

Tabla 8: Evolución de señales durante el cálculo de $\text{mcd}(21, 12)$.

ciclo	estado	reg_a	reg_b	menor	cero	sub	mx_a	mx_ini_a	mx_ini_b
1	ESP	X	X	X	0	X	X	0	8
2	CALC	0	8	1	0	-8	8	8	0
3	HECHO	8	0	0	1	8	8	8	0

Tabla 9: Evolución de señales durante el cálculo de $\text{mcd}(0, 8)$.

ciclo	estado	reg_a	reg_b	menor	cero	sub	mx_a	mx_ini_a	mx_ini_b
1	ESP	X	X	X	0	X	X	7	0
2	HECHO	7	0	0	1	7	7	7	0

Tabla 10: Evolución de señales durante el cálculo de $\text{mcd}(7, 0)$.

Trabajo 37: Diseñe un autómata de control para el camino de datos de la Figura 32 utilizando 3 estados (ESP, CALC y HECHO). Construya la tabla de transiciones entre estados donde también se especifique la lógica de salida., en la página 21.

Los cambios de estado y lógica de salida se encuentran representados en la tabla 11. Además, un valor '1' de la señal ppero siempre devolverá al autómata al estado ESP.

Estado actual		! op_dis	op_dis	! igualcero		igualcero	! consumo	consumo
				! menor	menor			
ESP	Próximo estado:	ESP	CALC					
	Salidas:	ini: 0 pe_a: 0 pe_b: 0	ini: 1 pe_a: 1 pe_b: 1					
		finalizada: 0 desocupada: 1						
CALC	Próximo estado:		CALC		HECHO			
	Salidas:		pe_a: 1 pe_b: 0	pe_a: 1 pe_b: 1	pe_a: 0 pe_b: 0			
			ini: 0 finalizada: 0 desocupada: 0					
HECHO	Próximo estado:					HECHO	ESP	
	Salidas:					ini: 0 pe_a: 0 pe_b: 0 finalizada: 1 desocupada: 0		

Tabla 11: Lógica de cambio de estado y de salida del autómata con tres estados.

Trabajo 44: Efectúe una simulación con Modelsim y analice los resultados. Construya una tabla con los ciclos de cálculo de las operaciones iniciadas por el productor., en la página 21.

A	B	Ciclos CALC
21	12	9
84	48	9
15	10	6
0	8	2
7	0	1

Tabla 12: Ciclos de cálculo del mcd(A, B) para camino segmentado.

Trabajo 47: Utilice los retardos especificados en el Apéndice 1.7 para dibujar un diagrama temporal de retardos con el cual determinar el tiempo de ciclo., en la página 22.

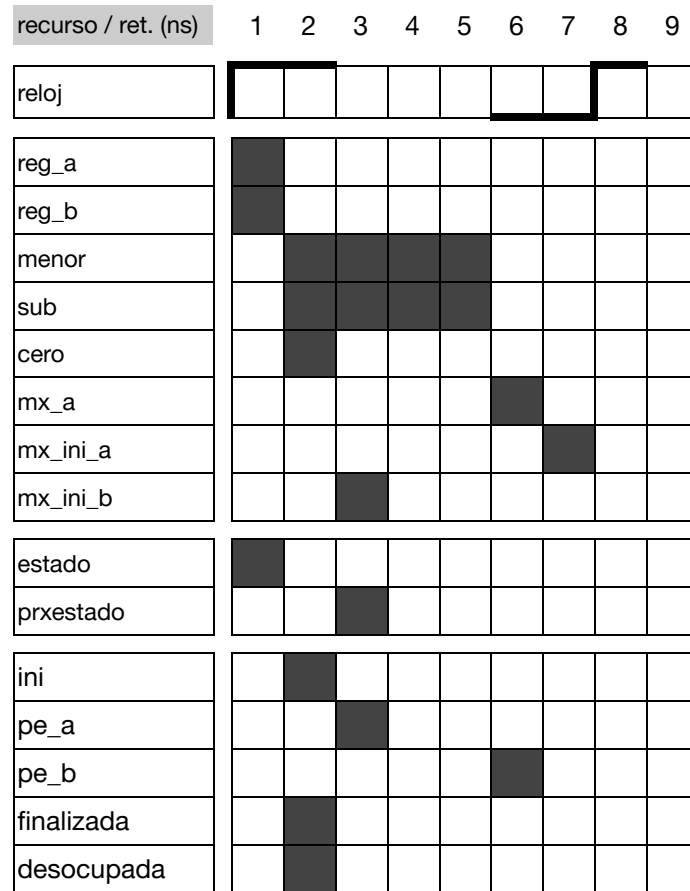


Figura 3: Diagrama de retardos del circuito segmentado con tres estados..

Trabajo 48: Diseñe un autómata de control para el camino de datos de la Figura 32 utilizando 2 estados (ESP y CALC). Construya la tabla de transiciones entre estados donde también se especifique la lógica de salida., en la página 22.

Los cambios de estado y lógica de salida se encuentran representados en la tabla 13. Además, un valor '1' de la señal ppero siempre devolverá al autómata al estado ESP.

Estado actual		! op_dis	op_dis	! igualcero		igualcero	
				! menor	menor	! consumo	consumo
ESP	Próximo estado:	ESP	CALC				
	Salidas:	ini: 0 pe_a: 0 pe_b: 0	ini: 1 pe_a: 1 pe_b: 1				
		finalizada: 0 desocupada: 1					
CALC	Próximo estado:			CALC		CALC	ESP
	Salidas:			pe_a: 1 pe_b: 0	pe_a: 1 pe_b: 1	pe_a: 0 pe_b: 0 finalizada: 1	
				finalizada: 0			
				ini: 0 desocupada: 0			

Tabla 13: Lógica de cambio de estado y de salida del autómata con dos estados.

Trabajo 55: Diseñe con puertas lógicas las lógicas de próximo estado y de salida. Para codificar el estado se utiliza un vector de bits (Apéndice 1.6)., en la página 22

Las figuras 4 y 5 contienen respectivamente la representación del diseño de la lógica de próximo estado y salida.

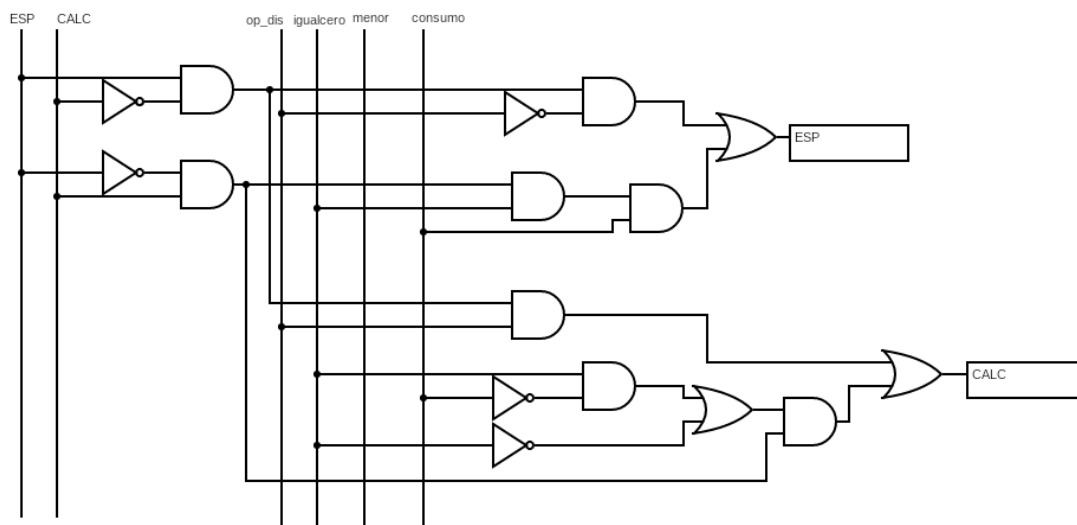


Figura 4: Lógica de próximo estado.

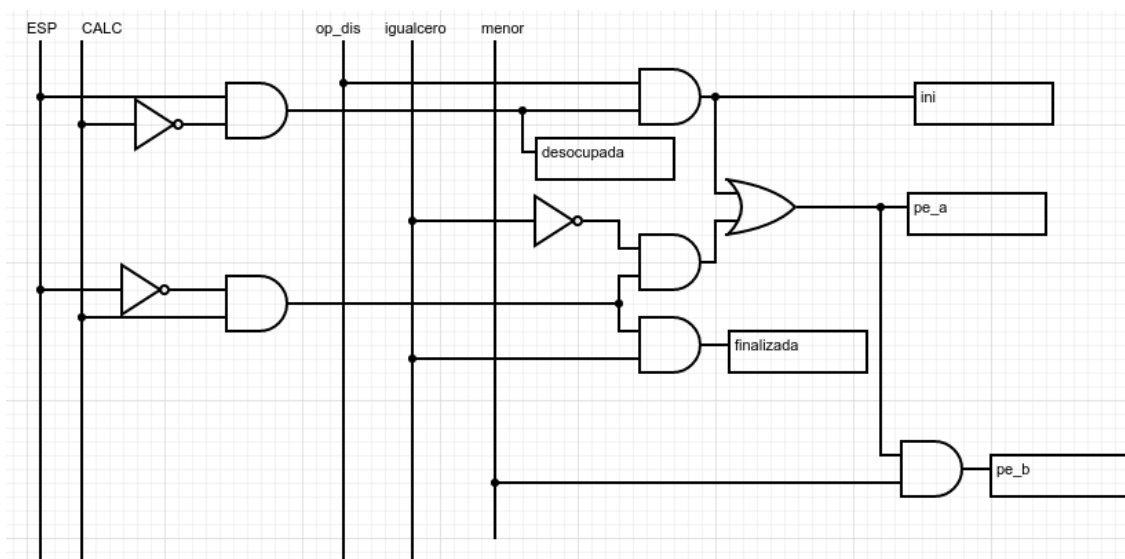


Figura 5: Lógica de salida.

Trabajo 57: Analice con detalle la forma de utilizar el camino de datos para las operaciones intercambio y calcular, tanto al iniciar una operación mcd como en régimen permanente. Este análisis es necesario para diseñar el autómata de control. Por ejemplo, es de interés analizar la utilización del camino de datos de la Figura 35 en los cálculos $\text{mcd}(21, 12)$, $\text{mcd}(8,0)$, $\text{mcd}(0,7)$ y $\text{mcd}(8, 1)$. En primer lugar debe analizarse el inicio de la operación y el siguiente ciclo. Posteriormente se analiza el régimen permanente., en la página 23.

En este nuevo diseño, el registro reg_b no recibe ningún dato hasta que se produce el primer intercambio ($a < b$). Durante la primera iteración de cálculo, que ahora podemos realizar en el ciclo 1, el registro reg_a tampoco contiene ningún valor. Esto podemos observarlo en la tabla 14, que muestra el cálculo para $a=21$ y $b=12$.

ciclo	reg_a	reg_b	menor	cero	sub	mx_a	mx_ini_a	mx_ini_b
1	X	X	0	0	9	9	21	12
2	9	X	1	0	-3	12	9	12
3	12	9	0	0	3	3	12	9
4	3	9	1	0	-6	9	3	9
5	9	3	0	0	6	6	9	3
6	6	3	0	0	3	3	6	3
7	3	3	0	0	0	0	3	3
8	0	3	1	0	-3	3	0	3
9	3	0	0	1	3	3	3	0

Tabla 14: Cálculo del máximo común divisor de 21 y 12 iniciando el cálculo en ESP

Para el caso de 8 y 0, como el operando b ya es 0, la operación se completará en un solo ciclo, tal y como podemos ver en la tabla 15. Los registros A y B no llegarán a tener cargados los operandos, ya que el resultado se calcula directamente con los operandos de reg_ini_a y b .

ciclo	reg_a	reg_b	menor	cero	sub	mx_a	mx_ini_a	mx_ini_b
1	X	X	0	1	8	8	8	0

Tabla 15: Cálculo del máximo común divisor de 8 y 0 iniciando el cálculo en ESP

En cambio, para 0 y 7, se debe producir antes un intercambio. Inmediatamente después reg_b será 0, de manera que la operación habrá finalizado. Como podemos ver en la tabla 16, a diferencia de los dos casos anteriores, como la primera operación que se realiza es la de intercambio, en el segundo ciclo ya contamos con un valor en reg_b.

ciclo	reg_a	reg_b	menor	cero	sub	mx_a	mx_ini_a	mx_ini_b
1	X	X	1	0	-7	7	0	7
2	7	0	0	1	7	7	7	0

Tabla 16: Cálculo del máximo común divisor de 0 y 7 iniciando el cálculo en ESP

Finalmente, para el cálculo del mcd de 8 y 1, las 8 primeras iteraciones realizarán la resta a-b, hasta que a sea 0, y en ese momento se realizará el intercambio de 0 y 1. Esto, tal y como vemos en la tabla 17, provoca que no se guarde ningún valor en b hasta el noveno ciclo.

ciclo	reg_a	reg_b	menor	cero	sub	mx_a	mx_ini_a	mx_ini_b
1	X	X	0	0	7	7	8	1
2	7	X	0	0	6	6	7	1
3	6	X	0	0	5	5	6	1
4	5	X	0	0	4	4	5	1
5	4	X	0	0	3	3	4	1
6	3	X	0	0	2	2	3	1
7	2	X	0	0	1	1	2	1
8	1	X	0	0	0	0	1	1
9	0	X	1	0	-1	1	0	1
10	1	0	0	1	1	1	1	0

Tabla 17: Cálculo del máximo común divisor de 8 y 1 iniciando el cálculo en ESP

Trabajo 60: Diseñe un autómata de control para el camino de datos de la Figura 35 utilizando 3 estados (ESP, CALC, CALCINI), donde en el estado ESP ya se inicia el cálculo. Construya la tabla de transiciones entre estados donde también se especifique la lógica de salida., en la página 24.

Asumiendo que las dos entradas son mayores o iguales a cero, si $b=0$, $a \geq b$, de manera que no se pueden dar igual cero y menor a la vez. Con esta simplificación obtenemos la tabla 18 (Por razones de espacio en vez de finalizada y desocupada hemos escrito fin y desoc):

Estado actual		! op_dis	op_dis				! igualcero		igualcero		
			! igualcero		igualcero		! menor	menor	! consumo	consumo	
			! menor	menor	! consumo	consumo					
ESP	Próximo estado:	ESP	CALC	CALCINI	CALC	ESP					
	Salidas:	pe_a: 0 pe_b: 0	pe_a: 1 pe_b: 0	pe_a: 1 pe_b: 1	pe_a: 0 pe_b: 0						
		pe: 1	pe: 0								
		ini_a: 1 ini_b: 1									
		fin: 0 desoc: 1	fin: 0 desoc: 0		desoc: 0	desoc: 1					
					fin: 1						
CALC	Próximo estado:						CALC	CALCINI	CALC	ESP	
	Salidas:						pe_b: 0	pe_b: 1	pe_a: 0 pe_b: 0 fin: 1		
							pe_a: 1 fin: 0				
							pe: 0 ini_a: 0 ini_b: 1				
							desoc: 0			desoc: 1	
CALCINI	Próximo estado:						CALCINI			ESP	
	Salidas:						pe_b: 0	pe_b: 1	pe_a: 0 pe_b: 0 fin: 1		
							pe_a: 1 fin: 0				
							pe: 0 ini_a: 0 ini_b: 0				
							desoc: 0			desoc: 1	

Tabla 18: Lógica de cambio de estado y de salida del autómata con cálculo en ESP.

Trabajo 70: Utilice los retardos especificados en el Apéndice 1.7 para dibujar un diagrama temporal de retardos con el cual determinar el tiempo de ciclo., en la página 25.

El tiempo de ciclo es, para este caso, 8ns que es cuando se estabiliza el último componente.

recurso / ret. (ns)	1	2	3	4	5	6	7	8	9
reloj									
reg_ini_a									
reg_ini_b									
mx_ini_a									
mx_ini_b									
reg_a									
reg_b									
menor									
sub									
cero									
mx_a									
estado									
prxestado									
ini_a									
ini_b									
pe									
pe_a									
pe_b									
finalizada									
desocupada									

Figura 6: Diagrama de retardos del circuito segmentado con inicio de cálculo en ESP.

Trabajo 71: En el diseño de la mcd de las Figura 32 y Figura 35 se utilizan componentes distintos para efectuar la operación de resta y determinar si “ $a < b$ ”. Proponga una implementación de la operación resta, que además de determinar el resultado, indique si se produce desbordamiento ($a < b$). El módulo diseñado tendría, además de la salida s, la salida “ $a < b$ ”. Nota: razone sobre efectuar la operación de resta extendiendo el rango de representación., en la página 25.

Para ello simplemente haría falta modificar las salidas del restador añadiendo a estas una salida que indique el signo del resultado, es decir que si da un número negativo esta sea 1 y si es positivo sea 0. Extender el rango de representación de la resta no afectaría en nada dado que utiliza el signo final de la operación para decidir si $a < b$ o no.