

VHDL

Timing Analysis

Rafael Corsi Ferrão - IMT



`rafael.corsi@maua.br`
`http://www.maua.br`

12 de novembro de 2014

Conceitos

Análise estática

1 Conceitos

2 Análise estática

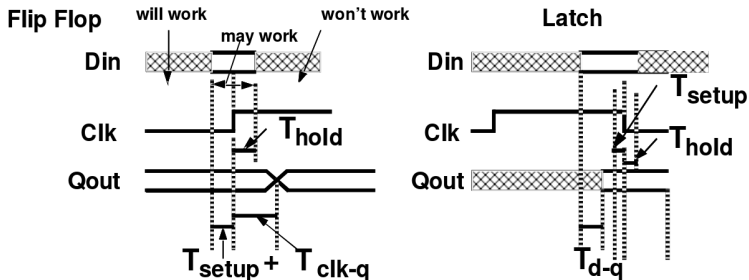
Conceitos

Análise estática

1 Conceitos

2 Análise estática

- ▶ Os dados trafegam entre Flip-Flops
- ▶ o tempo da transmissão entre Flip-Flops é crítico
- ▶ parâmetros como Set-up Time, Hold-time, ... devem ser analisados para evitar a META ESTABILIDADE



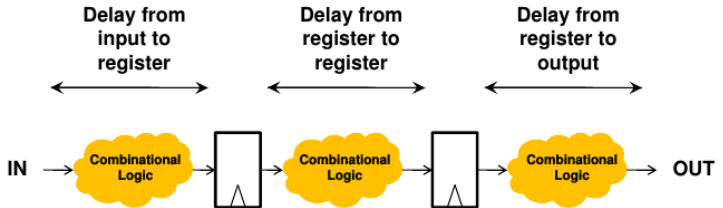
- ▶ Tempo de propagação
 - ▶ Quanto mais portas mais complexo é a análise
 - ▶ FPGA não possui portas mas sim LUTs, e esse tempo deve ser levado em conta



- ▶ esse é o grande problema !!
- ▶ FPGA é lenta se comparada com ASIC
- ▶ o caminho influencia em até 50 % do tempo de propagação
- ▶ o roteamento depende da ferramenta, porém podemos alocar recursos !

Conceitos

Análise estática

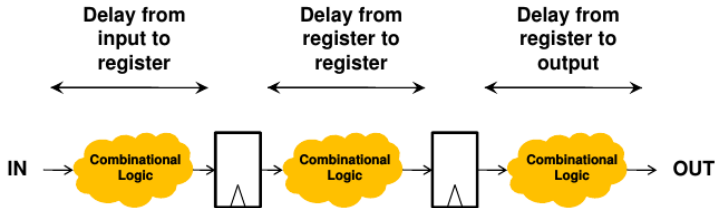


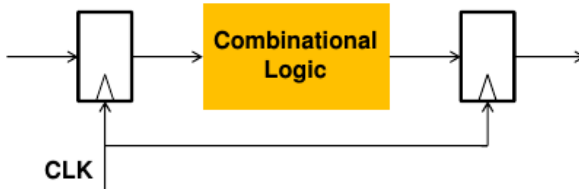
Conceitos

Análise estática

1 Conceitos

2 Análise estática



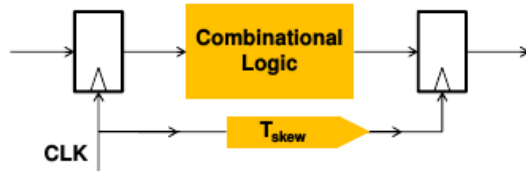


$$T_{\text{clk,min}} = T_{\text{clk} \rightarrow Q} + T_{\text{Logic}} + T_{\text{Routing}} + T_{\text{Setup}}$$

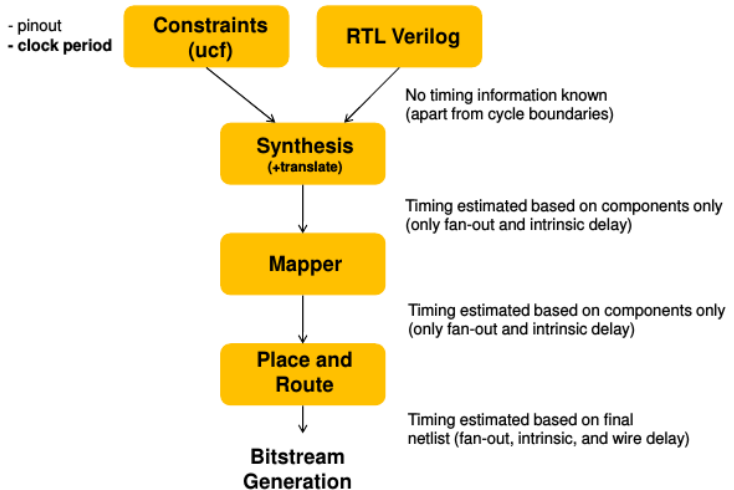
Property of
the component
(flipflop)

Property of
the netlist

Property of
the component
(flipflop)



$$T_{\text{clk,min}} = T_{\text{clk} \rightarrow \text{Q}} + T_{\text{Logic}} + T_{\text{Routing}} + T_{\text{Setup}} - T_{\text{Skew}}$$



Design Timing Summary					
Setup		Hold		Pulse Width	
Worst Negative Slack (WNS):	0.342 ns	Worst Hold Slack (WHS):	0.028 ns	Worst Pulse Width Slack (WPWS):	3.000 ns
Total Negative Slack (TNS):	0,000 ns	Total Hold Slack (THS):	0,000 ns	Total Pulse Width Negative Slack (TPWS):	0,000 ns
Number of Failing Endpoints:	0	Number of Failing Endpoints:	0	Number of Failing Endpoints:	0
Total Number of Endpoints:	13858	Total Number of Endpoints:	13858	Total Number of Endpoints:	5834
All user specified timing constraints are met.					