

AULA 1 - LÓGICA PROGRAMÁVEL

Introdução FPGA

4 de outubro de 2015

Rafael Corsi Ferrão - IMT

rafael.corsi@maua.br

<http://www.maua.br>



1. Introdução a FPGA
2. Introdução
3. FPGA - Arquitetura interna

1. Introdução a FPGA

1.1 O que é FPGA ?

1.2 Aplicações

1.3 Mercado

2. Introdução

3. FPGA - Arquitetura interna

3.1 Visão Geral

3.2 CLB

3.3 Matriz de roteamento

3.4 Memory-Blocks

3.5 IO-Blocks

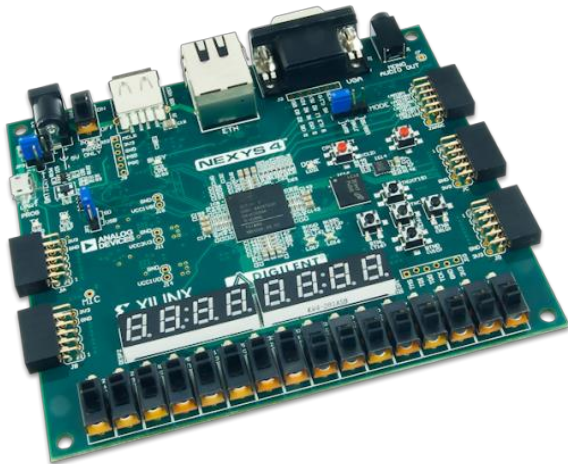
3.6 IO Blocs

3.7 Sinais Globais

3.8 Revisão

Field-programmable gate array

FIELD-PROGRAMMABLE GATE ARRAY



Não é um processador !

NÃO É UM PROCESSADOR !

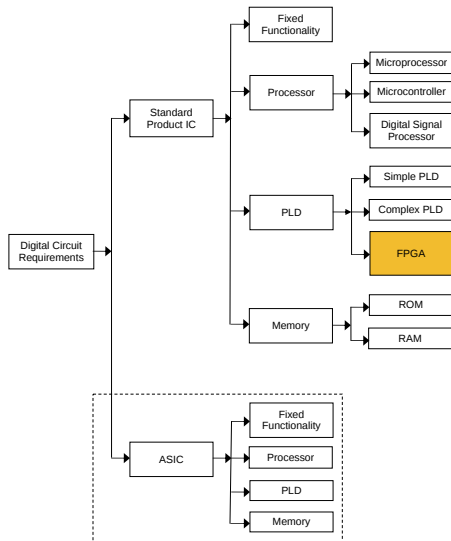


Figura: (2008) *Digital Systems Design with FPGAs and CPLDs* - pg. 41

MAS PODEMOS IMPLEMENTAR UM...

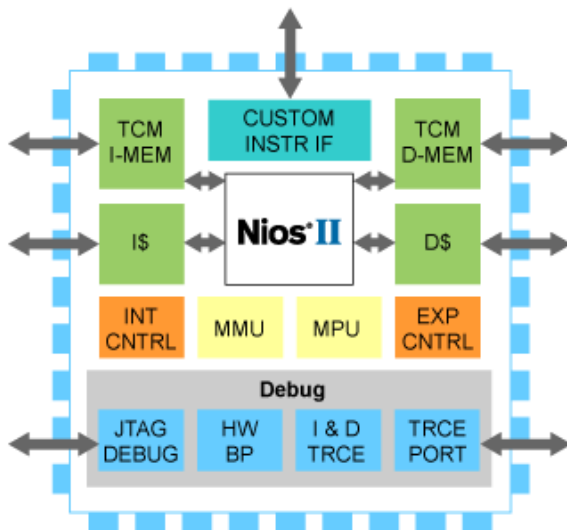


Figura: Nios Altera

Então o que é ?

- ▶ é um CI integrado **digital**
- ▶ é um dispositivo realmente capaz de executar processos em paralelo
- ▶ é um hardware altamente configurável
- ▶ o mais próximo de ASIC que podemos chegar

- ▶ é um CI integrado **digital**
- ▶ é um dispositivo realmente capaz de executar processos em paralelo
- ▶ é **ASIC**
- ▶ é Application Specific Integrated Circuits
- ▶ o mais próximo de ASIC que podemos chegar

Implementar "qualquer" sistema digital, tais como :

- ▶ Filtros digitais
- ▶ processamento de sinais
- ▶ protocolos de comunicação (tcp/ip, usb, ...)
- ▶ microprocessador
- ▶ lógicas digitais de acionamento/controle
- ▶ ...

FPGAs são projetadas para funcionarem como um chip digital, e não possuem nenhuma configuração analógica, portanto não é possível :

- ▶ Criar um filtro analógico (exe : anti-aliasing)
- ▶ fazer a modulação analógica
- ▶ amplificar um sinal
- ▶ criar um ressoador
- ▶ ...

FPGAs são projetadas para funcionarem como um chip digital, e não possuem nenhuma configuração analógica, portanto não é possível :

- ▶ C **FPA**
- ▶ fa Field-programmable analog array
- ▶ ar ▶ É análoga a FPGA mas para sistemas analógicos
- ▶ criar um ressoador
- ▶ ...

A ONDE É USADO ?

- ▶ Militar
- ▶ Aeroespacial
- ▶ Médica
- ▶ Comunicação (roteadores/ modems)
- ▶ ...

- ▶ Imageamento
- ▶ Criptografia
- ▶ Modulação
- ▶ Processamento de dados
- ▶ Internet
- ▶ Protocolos de alta velocidade
- ▶ Rádio definido por Software

- ▶ Im
- ▶ C
- ▶ M
- ▶ P
- ▶ In
- ▶ P
- ▶ R

Sites

- ▶ Altera :

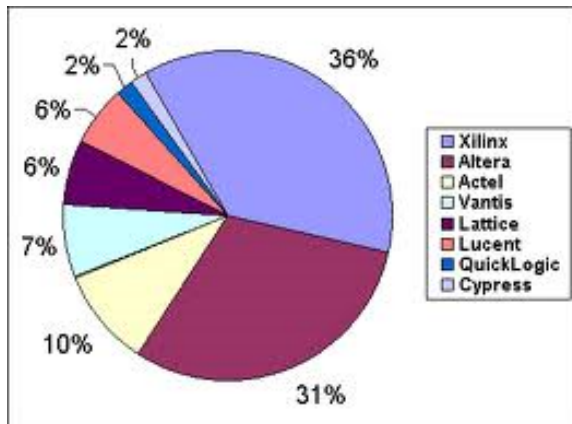
- ▶ <https://www.altera.com/solutions/technology/system-design/solutions.html>

- ▶ Xilinx :

- ▶ <http://www.xilinx.com/applications/megatrends.html>

MERCADO

O mercado de FPGA gira em torno de \$20 bilhões de dolares por ano, sendo os principais fornecedores:



2014

Forbes / Investing

JUN 1, 2015 @ 10:26 AM 4,491 VIEWS

Intel Buying Chipmaker Altera For \$16.7 Billion



2015

1. Introdução a FPGA

1.1 O que é FPGA ?

1.2 Aplicações

1.3 Mercado

2. Introdução

3. FPGA - Arquitetura interna

3.1 Visão Geral

3.2 CLB

3.3 Matriz de roteamento

3.4 Memory-Blocks

3.5 IO-Blocks

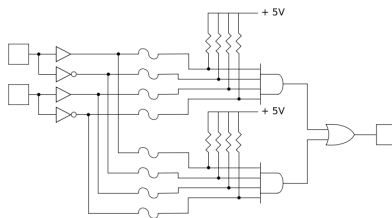
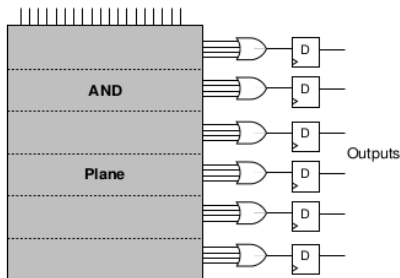
3.6 IO Blocs

3.7 Sinais Globais

3.8 Revisão

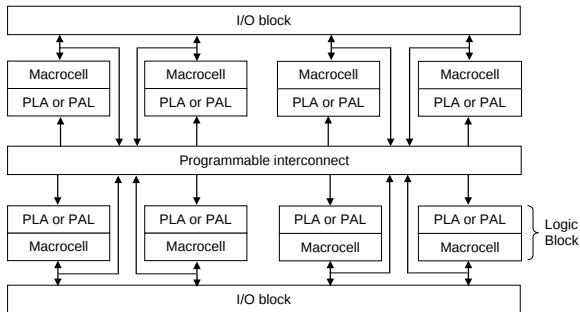
TUDO COMEÇOU COM OS PLDS - PROGRAMMABLE LOGIC DEVICE

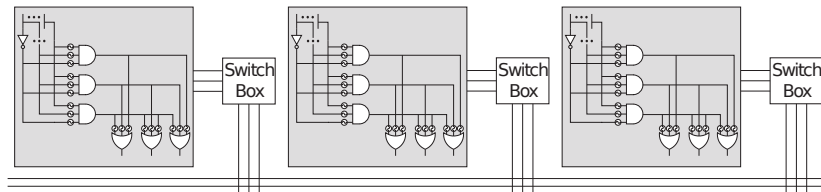
- ▶ Introduzido em 1970 pela Philips.



Simplified programmable logic device

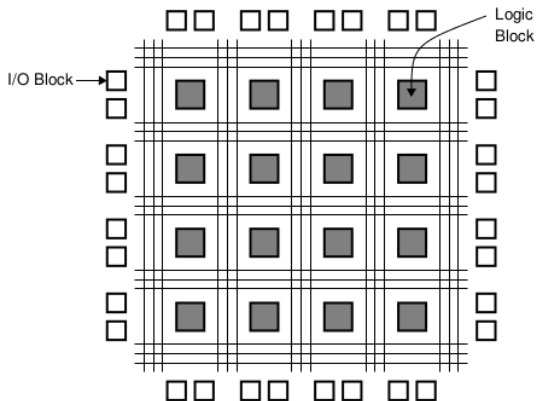
Que é um conjunto de PLDs interconectado por uma matriz de roteamento.





QUE ENTÃO, CHEGOU NA FPGA

Uma arquitetura similar porém com blocos lógicos (diferente de PLDs) e alocado de forma mais distribuído na pastilha. O que permite a implementação de uma gama maior de lógicas.



1. Introdução a FPGA

1.1 O que é FPGA ?

1.2 Aplicações

1.3 Mercado

2. Introdução

3. FPGA - Arquitetura interna

3.1 Visão Geral

3.2 CLB

3.3 Matriz de roteamento

3.4 Memory-Blocks

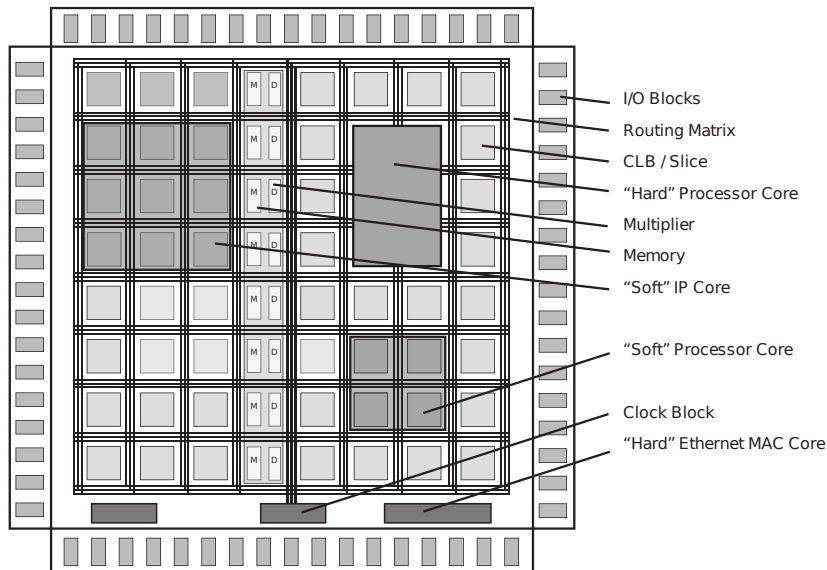
3.5 IO-Blocks

3.6 IO Blocs

3.7 Sinais Globais

3.8 Revisão

ARQUITETURA INTERNA



Os principais blocos internos de uma FPGA são:

- ▶ Logic-Blocks/ CLB
- ▶ Switch Matrix
- ▶ Memory
- ▶ IO-Blocks
- ▶ Sinais globais (clk, rst)

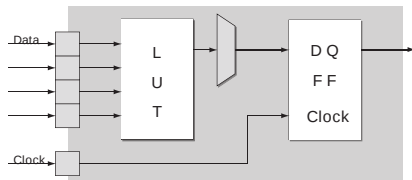
O CLBs é a unidade mais básica da FPGA, cada fabricante utiliza um nome diferente para os CLBs:

- ▶ logic cell, slice, macrocell e logic element

São criados para permitir ao usuário implementar qualquer lógica digital.

Cada CLB possui internamente

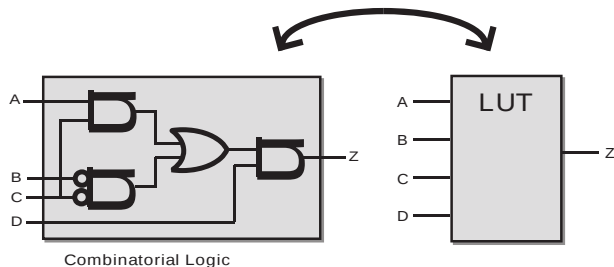
- ▶ LUT - Look-Up-Table
- ▶ Multiplexadores
- ▶ Flip-Flops
- ▶ Somador



- ▶ A estrutura interna do CLB é dependente do fabricante e família da FPGA utilizada.

LUT - LOOK UP TABLE

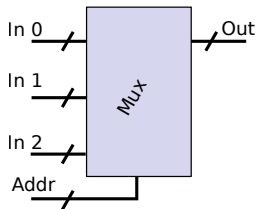
- ▶ Implementa-se utilizando uma memória qualquer tabela verdade
- ▶ as entradas atuam como endereço para acessar a resposta que está salvo na memória
- ▶ Exemplo: $[(A.C) + (B.\bar{C})].D = z$



D	C	B	A	Z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
	•	•	•	
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

MULTIPLEXIADOR (MUX)

- Sistema digital ou analógico que escolhe dentre um entrada uma única saída



in 1	in 2	in2	Addr	out
D1	D2	D3	0x00	D1
D1	D2	D3	0x01	D2
...				

FLIP FLOP - UNIDADE BÁSICA DE MEMÓRIA

- ▶ O flip-flop é um dos elementos mais básicos de memória
- ▶ é um elemento síncrono, ou seja, necessita de um clock
- ▶ o mais utilizado em CLB é o tipo Q

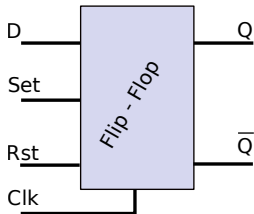
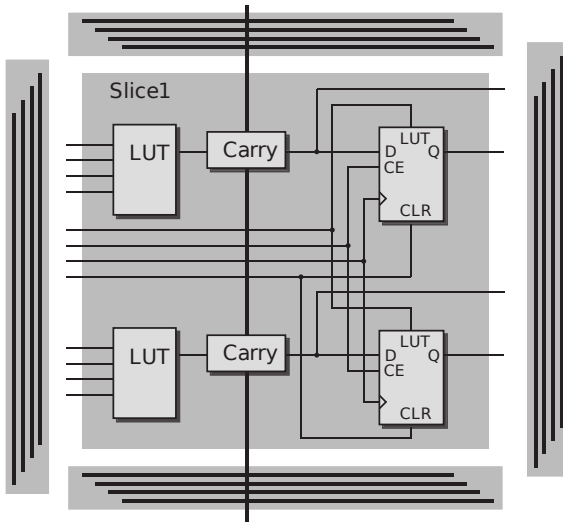


Tabela verdade Flip flop tipo D

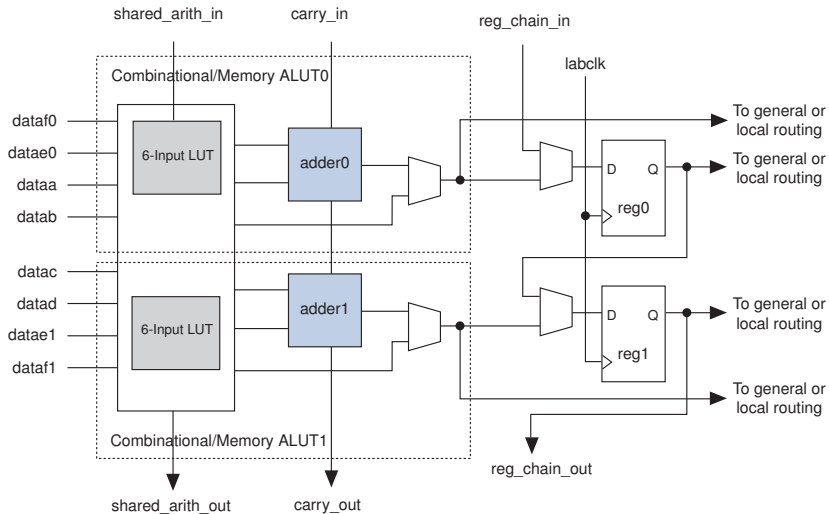
$\bar{S}et$	$\bar{R}st$	D	Clk	Q	\bar{Q}
0	1	-	-	1	0
1	0	-	-	0	1
0	0	-	-	-	-
1	1	1	LH	1	0
1	1	0	LH	0	1

- ▶ Unidade capaz de executar soma/ subtração
- ▶ o tamanho dos dados a serem somados dependem da família da FPGA
- ▶ o estouro (carry) é compartilhado para outros CLBs

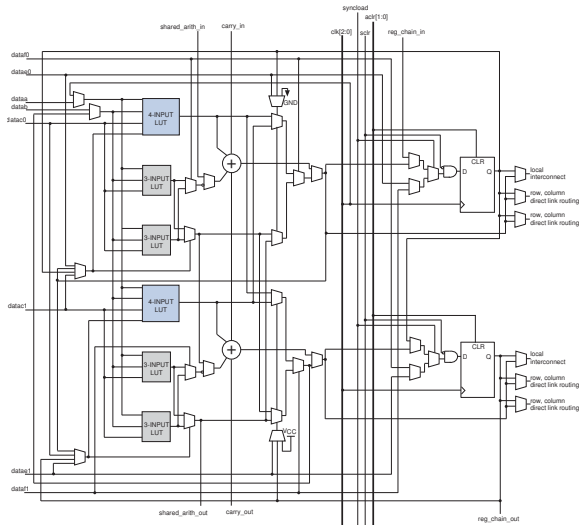
SOMADOR - CARRY



EXEMPLO CLB - ALTERA STRATIX 4

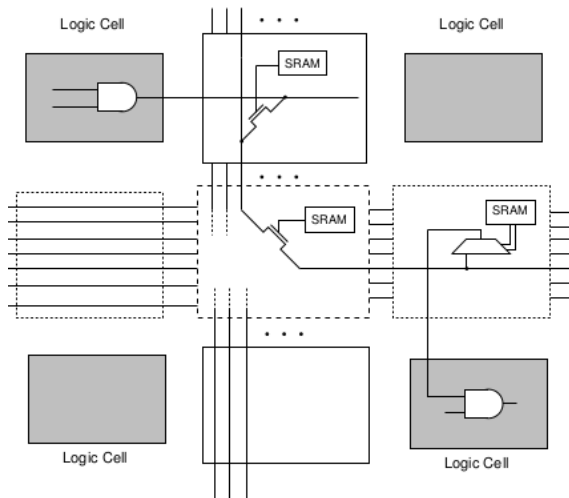


CLB - ALTERA STRATIX 4

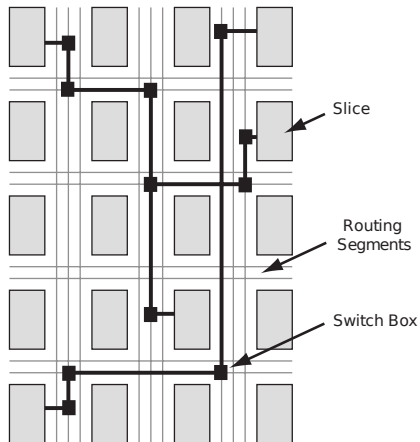


- ▶ A matriz de roteamento é responsável por interligar os CLB
- ▶ são programadas na inicialização e não podem mudar durante operação
 - ▶ Nova tecnologia chamada de *Partial reconfiguration* permite a reprogramação em operação.
- ▶ é análogo ao roteamento de um PCB

MATRIZ DE ROTEAMENTO



MATRIZ DE ROTEAMENTO



- ▶ São blocos de memória compartilhada na FPGA
 - nota: é possível também implementar o chamado memória distribuída, onde utiliza-se de FF no lugar de blocos dedicados
- ▶ do tipo RAM ou ROM
- ▶ comporta-se similar a uma memória ram convencional, onde os tempos de acesso necessitam ser respeitados
- ▶ podem ser do tipo: Single-Port, Dual-Port

Uma das principais características da FPGA é a flexibilidade com os seus I/Os, tanto no mapeamento (place) quanto na escolha do nível de sinal (CMOS, TTL ...).

Além do nível de sinal, pode-se escolher entre uma enorme gama de periféricos dedicados:

- ▶ Serializador / Deserializador
- ▶ acesso a memória DDR2/3
- ▶ PICE / PCI
- ▶ ethernet

Similar ao microprocessador, também utiliza de Bancos de IO (IO Banks)

Table 1-1: Supported Features in the HR and HP I/O Banks

Feature	HP I/O Banks	HR I/O Banks
3.3V I/O standards ⁽¹⁾	N/A	Supported
2.5V I/O standards ⁽¹⁾	N/A	Supported
1.8V I/O standards ⁽¹⁾	Supported	Supported
1.5V I/O standards ⁽¹⁾	Supported	Supported
1.35V I/O standards ⁽¹⁾	Supported	Supported
1.2V I/O standards ⁽¹⁾	Supported	Supported
LVDS signaling	Supported ⁽²⁾	Supported
24 mA drive option for LVC MOS18 and LV TTL outputs	N/A	Supported
V _{CCAUX_IO} supply rail	Supported	N/A
Digitally-controlled impedance (DCI) and DCI cascading	Supported	N/A
Internal V _{REF}	Supported	Supported

Internamente na FPGA existem sinais globais, que não passam pelas matrizes de roteamento e possuem uma utilização e projeto bem específico, os principais sinais globais são:

- ▶ Clock
- ▶ Reset

Podemos ter na FPGA diversos sinais de clock e reset independentes, porém cada um deve ser mapeado em um sinal global.

Sinais de clock devem se acessados de forma especifica, pois como operam em grande velocidade possuem todos os problemas de EMC/EMI e se comportam como uma linha de transmissão (microstrip)

Regiões de clock variam de 4 em dispositivos menores para 24 nos maiores dispositivos.

