



Rafael Corsi <corsiferrao@gmail.com>

## Usando FPGA para solucionar desafios em projetos de DSP

2 mensagens

Anacom Eletronica <vendas@anacom.com.br>  
Responder a: vendas@anacom.com.br  
Para: corsiferrao@gmail.com

29 de janeiro de 2014 05:58

Janeiro - 2014



### Usando FPGA para solucionar desafios em projetos de DSP

Uma rápida e prática revisão sobre as tecnologias DSP e FPGA e uma comparação específica entre essas duas arquiteturas para uma aplicação de filtro FIR.

Os dispositivos DSPs têm um valor inestimável em sistemas eletrônicos por ser capaz de rapidamente medir, filtrar ou comprimir sinais analógicos em tempo real. Com isso, eles ajudam o mundo digital a se comunicar com o mundo real, que é analógico. Mas à medida que os sistemas eletrônicos se tornam mais elaborados, incorporando múltiplos sinais analógicos a serem processados, os desafios dos projetos ficam mais complicados. Em muitos casos, uma implementação que usa um único DSP não tem capacidade de processamento suficiente. Além disso, o custo, a complexidade e o consumo de potência para uma solução de múltiplos chips são inaceitáveis. Assim os FPGAs têm emergido como uma excelente opção para sistemas que requerem funcionalidade de DSPs de alto desempenho, proporcionando maior capacidade de processamento e em paralelo aliada a uma solução muito mais simples.

Como exemplo para ilustrar alguns pontos fortes e fracos de cada tecnologia, consideremos um filtro FIR, ou de resposta ao impulso finita. Este filtro é um dos elementos mais amplamente utilizados em processamento de sinais e serve para alterar a amplitude e frequência, geralmente para isolar ou acentuar uma região de particular interesse do espectro amostrado. A figura abaixo mostra um típico esquema de blocos de um filtro de um único canal:



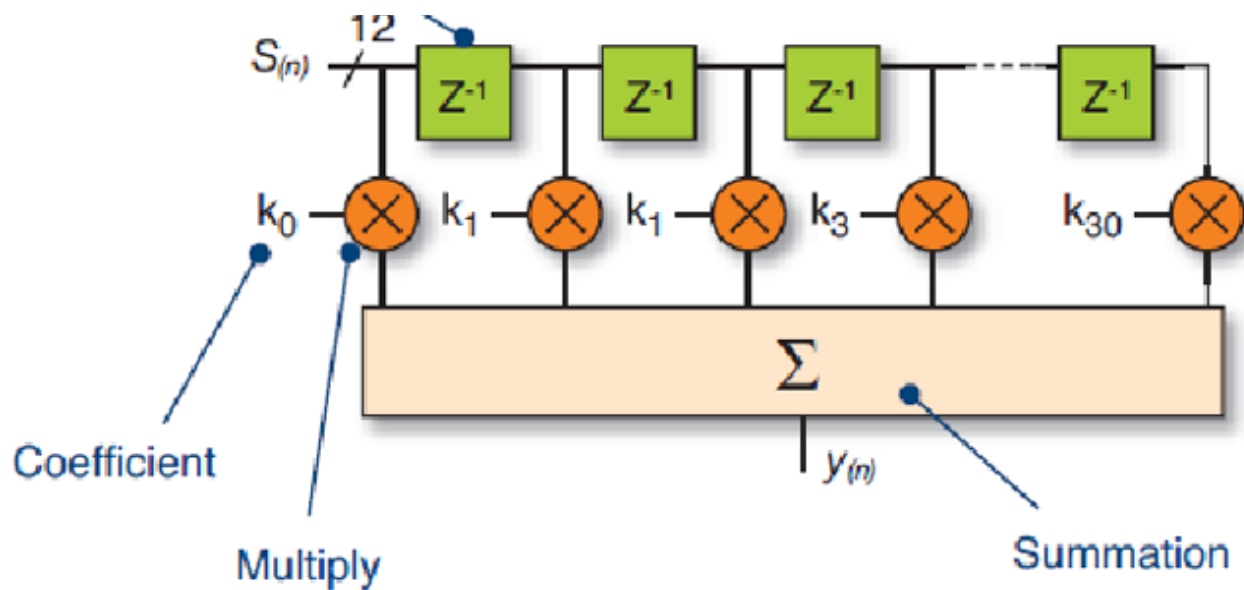


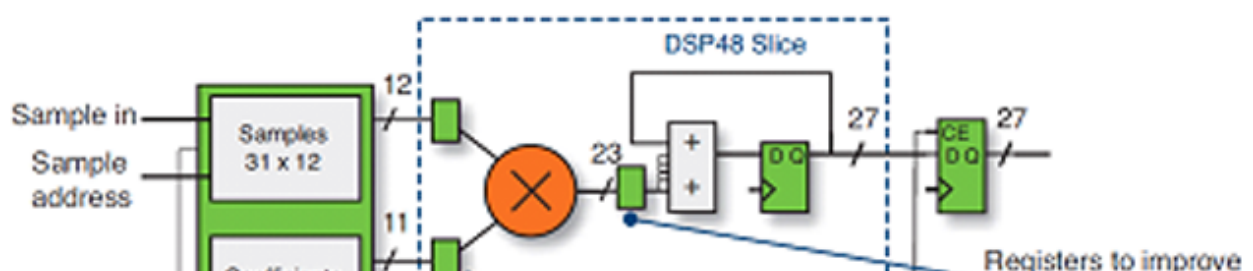
Figura 1 - Filtro FIR

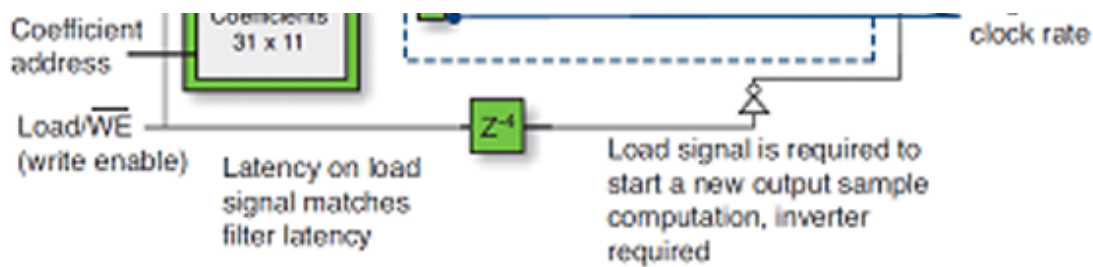
Para calcular a saída  $Y_n$  no instante de tempo  $n$ , um grupo de amostragens feitas em  $N$  instantes de tempo, ou seja,  $s(n), s(n-1), s(n-2), \dots, s(n-N+1)$  é multiplicada por  $N$  coeficientes ( $k_n$ ) e somada entre si para formar o resultado final.

Para auxiliar na escolha do comprimento  $N$  do filtro e seus coeficientes  $k_n$ , várias ferramentas existem.

A aplicação mais comum em DSP é utilizando processadores de multiplicação e acumulação. No caso de termos  $N=31$  e uma frequência de clock típica de 1,2GHz, a taxa máxima de amostragem a ser processada é 9,68 MSPS.

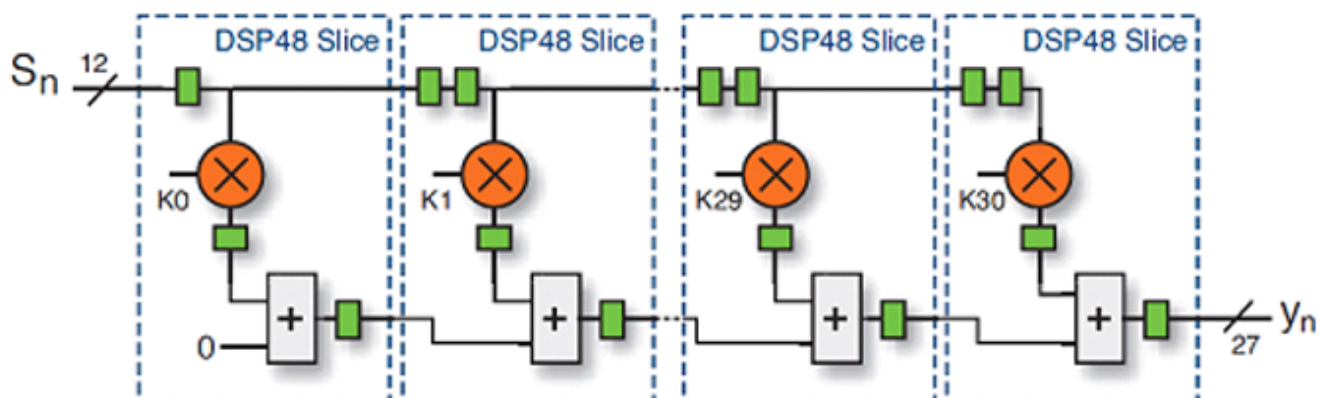
Já para o caso do FPGA, há diferentes opções de elaboração e otimização. Para otimização de recursos, utilizando apenas um slice de DSP48, um bloco de memória RAM e lógica programável, para clock de 600MHz em um dispositivo da família 7 da Xilinx® com speed grade 3, pode-se obter taxa de amostragem de 19,35 MPSP.





**Figura 2 - Implementação com FPGA (Otimização recursos)**

Se a prioridade for a performance, utilizando 31 slices de DSP48, pode-se obter uma taxa de 600 MSPS, uma por cada ciclo de clock, com estrutura em paralelo.



**Figura 3- Implementação com FPGA (Otimização Performance)**

Há certamente aplicações em que os DSPs convencionais ainda são a melhor solução, principalmente quando a taxa de amostragem for apenas de alguns kHz e houver um único canal. Já para soluções mais complexas, os FPGAs se tornam atrativos. A tabela abaixo traz um quadro comparativo com os principais pontos-chave a serem considerados na hora da escolha entre DSP e FPGA.

Se o leitor deseja adquirir experiência com design com FPGA, um ótimo ponto de partida são três treinamentos oferecidos pela Anacom Eletronica Ltda., único ATP (Authorized Training Provider) da Xilinx no Brasil. Os treinamentos ministrados por instrutores certificados pela Xilinx são: Designing with VHDL, Essential of FPGA Design e Embedded System Desing.

Entre em contato com nosso centro de treinamento para receber informações sobre as próximas datas destes treinamentos e sobre as promoções ativas, incluindo a possibilidade de receber cortesia uma placa de desenvolvimento FPGA para inciar seu projeto!





**Figura 4 - Placa Genesys, uma das placas disponibilizadas pela Anacom**

**Confira os próximos treinamentos agendados, com turmas abertas:**

ARM Embedded	de 03 a 06 de Fevereiro	Agendado
Introduction to Zynq	10 de Fevereiro	Agendado
FPGA Embedded System Design	11 e 12 de Fevereiro	Agendado
Designing with VHDL	de 17 a 19 de Fevereiro	Agendado
Vivado Essential of FPGA	20 e 21 de Fevereiro	Agendado
Vivado Static Timing Analysis and Design Constraints	24 e 25 de Fevereiro	Agendado



[Forward email](#)



Este email foi enviado para [corsiferrao@gmail.com](mailto:corsiferrao@gmail.com), por [vendas@anacom.com.br](mailto: vendas@anacom.com.br) | [Atualizar Perfil/Endereço de email](#) | Remoção instantânea com [SafeUnsubscribe™](#) | [Política de privacidade](#).

Anacom Eletronica | Rua Nazaret, 807 | São Caetano do Sul | SP | 09551-200 | Brazil

---

**Rafael Corsi Ferrão** <[corsiferrao@gmail.com](mailto:corsiferrao@gmail.com)>  
Para: Sérgio Ribeiro <[sergioribeiro@maua.br](mailto:sergioribeiro@maua.br)>

29 de janeiro de 2014 16:25

[Texto das mensagens anteriores oculto]