# Projeto

# 7 segmentos

Rafael Corsi Ferrão corsiferrao@gmail.com

16 de novembro de 2015

### 1 O Problema

A placa Nexys4 possui no total oito mostradores (display) de sete segmentos (7s) com ânodo comum entre os mostradores mas com cátodos independentes, o que possibilita o acionamento individual dos mostradores mas não simultâneo. Os mostradores são alocados em dois bancos com quatro mostradores como ilustrado na Fig. 1.

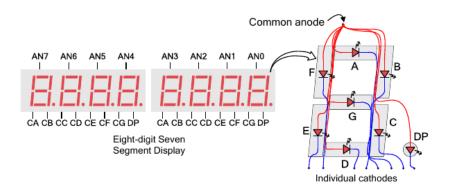


Figura 1

Cada cátodos é acionados através de um transistores pnp (Fig. 2), fornecendo assim a corrente necessária para a iluminação dos mostradores. Para termos a sensação de que os oito displays estão acesos simultaneamente é necessário circular entre os displays e atualizar individualmente cada um a uma taxa superior a 60Hz.

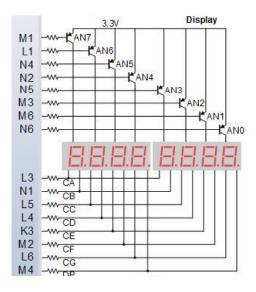


Figura 2: Esquemático das conexões

# 1.1 Objetivo

Projetar uma lógica digital capaz de acionar "simultâneamente" os oito displays de sete segmentos da placa de desenvolvimento Nexys4, mostrando em cada display um valor diferente.

#### 1.2 Portas

Utilizaremos nesse projeto as seguintes portas:

 $\bullet$  clk : clock de 100Mhz

• btnCpuReset : reset em '0'

• seg(0..6): Cátodos

 $-\operatorname{seg}(0)$ : CA,  $\operatorname{seg}(1)$ : CB, ...,  $\operatorname{seg}(6)$ : CG.

 $\bullet$  **dp** : Ponto do digito

• an : Ânodos

- an(0): An0, an(1): AN1, ..., an(7): AN7

#### 1.3 Código de partida

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
use IEEE.numeric_std.all;
entity SS_controller is
generic(
        fclk : natural := 100; -- frequencia do clk (Mhz)
        f7s : natural := 100 -- frequencia de atualização dos displays (Hz)
);
port(
                   : in STD_LOGIC;
        btnCpuReset : in STD_LOGIC;
        led : out STD_LOGIC_VECTOR (15 downto 0);
        seg : out STD LOGIC VECTOR (6 downto 0) ;
        an : out STD_LOGIC_VECTOR (7 downto 0);
        dp : out STD_LOGIC
);
end SS_controller;
ARCHITECTURE rtl OF SS_controller IS
        -- Constantes que definem o valor mostrado no display
        signal SS1_valor : integer range 0 to 9 := 2;
        signal SS2_valor : integer range 0 to 9 := 1;
        signal SS3_valor : integer range 0 to 9 := 0;
BEGIN
END rtl;
```

#### 1.4 Dicas

Use o arquivo SevenSegmentos.xdc como constrains do projeto.

- antes de começar entenda o problema, leia o manual da placa que possui bastante informação
- pense quais partes são sequências e quais são concorrentes
- documente o código (comentários)
- $\bullet$  abordagem down-top
- crie sinais, constantes e variáveis que facilitem o entendimento do projeto
- comece por um único display
- crie a tabela de acionamento

- a implementação otimizada utiliza um contador e um processo.
- crie uma lookup-table (lut) que converte os valores inteiros de [0..9] nos sinais de acionamento do display
- crie uma lógica capaz de acionar um display por vez verificando com isso a lut e o acionamento
- verifique quanto tempo cada display tem que ficar aceso para atingirmos os 60Hz?

# 1.5 Critérios de avaliação

Os seguintes critérios serão levados em conta na avaliação:

- 1. organização do código e comentários
- 2. funcionamento
- 3. utilização do git (github) para envio do projeto
- 4. prazo (ideal em 7 dias)
- 5. otimizações