

Tutoriel des outils de conception

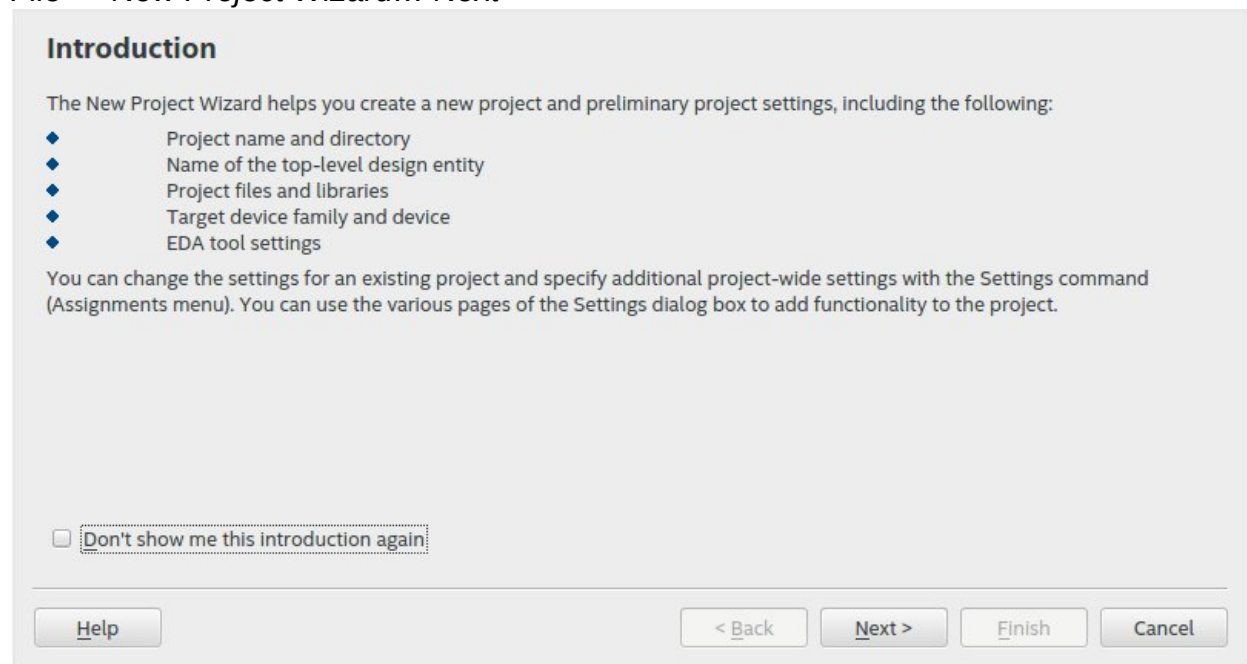
Structure du répertoire projet



Quartus Prime

Création d'un projet

File → New Project Wizard... Next



Introduction

The New Project Wizard helps you create a new project and preliminary project settings, including the following:

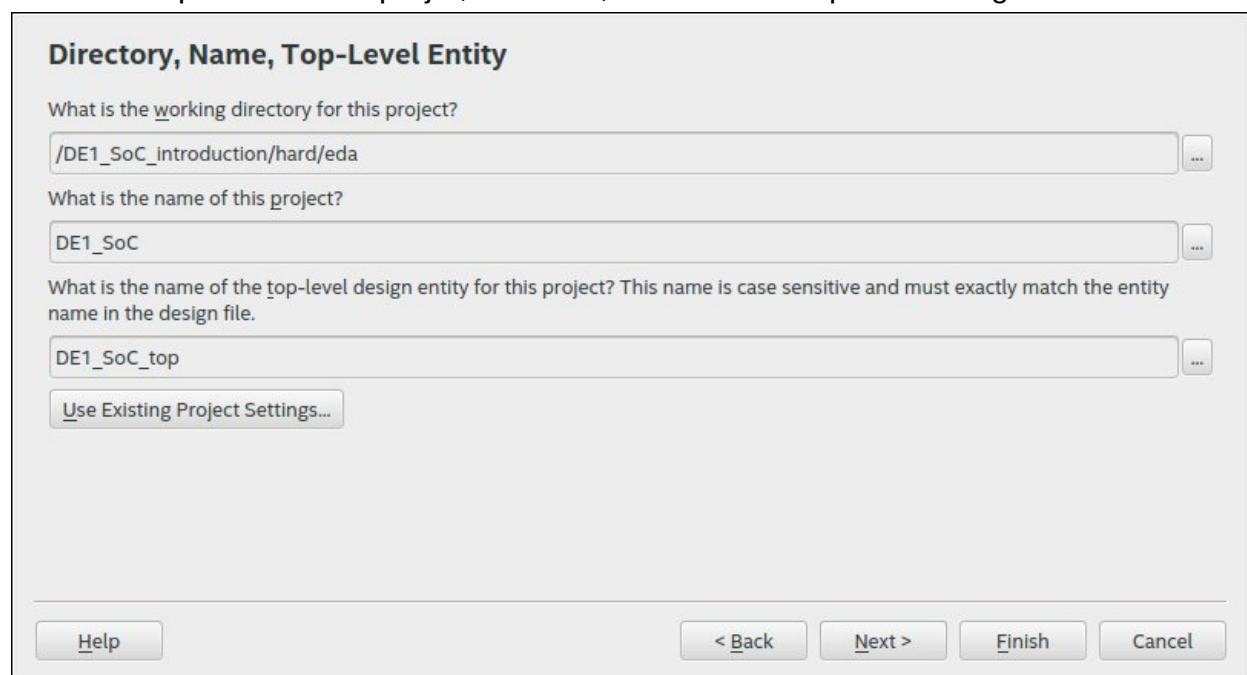
- ◆ Project name and directory
- ◆ Name of the top-level design entity
- ◆ Project files and libraries
- ◆ Target device family and device
- ◆ EDA tool settings

You can change the settings for an existing project and specify additional project-wide settings with the Settings command (Assignments menu). You can use the various pages of the Settings dialog box to add functionality to the project.

☐ Don't show me this introduction again

Buttons: Help, < Back, Next >, Finish, Cancel

Choisir l'emplacement du projet, son nom, et le nom du top-level design. Next



Directory, Name, Top-Level Entity

What is the working directory for this project?

/DE1_SoC_introduction/hard/eda

What is the name of this project?

DE1_SoC

What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.

DE1_SoC_top

Use Existing Project Settings...

Buttons: Help, < Back, Next >, Finish, Cancel

Choisir *Empty project*. Next

Project Type

Select the type of project to create.

☒ Empty project
Create new project by specifying project files and libraries, target device family and device, and EDA tool settings.

☐ Project template
Create a project from an existing design template. You can choose from design templates installed with the Quartus Prime software, or download design templates from the [Design Store](#).


[Help](#) [< Back](#) [Next >](#) [Finish](#) [Cancel](#)

Les fichiers sources sont ajoutés plus tard. *Next*

Add Files

Select the design files you want to include in the project. Click Add All to add all design files in the project directory to the project.
Note: you can always add design files to the project later.

File name: [...](#) [Add](#)

 [X](#) [Add All](#)

File Name	Type	Library	Design Entry/Synthesis Tool	HDL Version
-----------	------	---------	-----------------------------	-------------

[Remove](#) [Up](#) [Down](#) [Properties](#)

Specify the path names of any non-default libraries. [User Libraries...](#)

[Help](#) [< Back](#) [Next >](#) [Finish](#) [Cancel](#)

Entrer "5CSEMA5F31C6" dans le champ *Name filter* afin de sélectionner le composant présent sur la carte DE1-SoC. Cliquer sur *Finish*.

Family, Device & Board Settings

Device Board

Select the family and device you want to target for compilation.
You can install additional device support with the Install Devices command on the Tools menu.

To determine the version of the Quartus Prime software in which your target device is supported, refer to the [Device Support List](#) webpage.

Device family
Family: Cyclone V (E/GX/GT/SX/SE/ST) ▾
Device: All ▾

Show in 'Available devices' list
Package: Any ▾
Pin count: Any ▾
Core speed grade: Any ▾
Name filter: 5CSEMA5F31C6
☒ Show advanced devices

Target device

☐ Auto device selected by the Fitter

☒ Specific device selected in 'Available devices' list

☐ Other: n/a


Available devices:

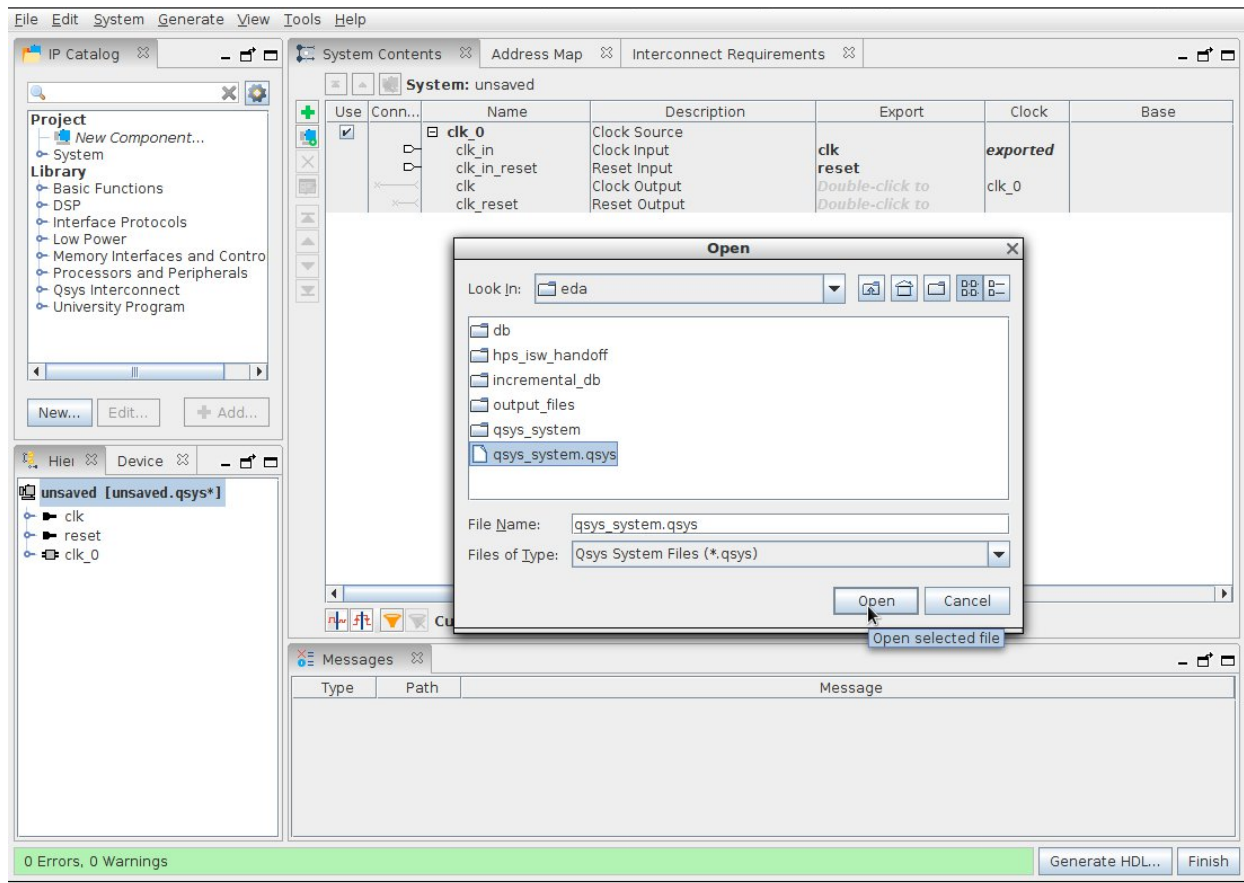
Name	Core Voltage	ALMs	Total I/Os	GPIOs	GXB Channel PMA	GXB Channel PCS
5CSEMA5F31C6	1.1V	32070	457	457	0	0

< ————— >

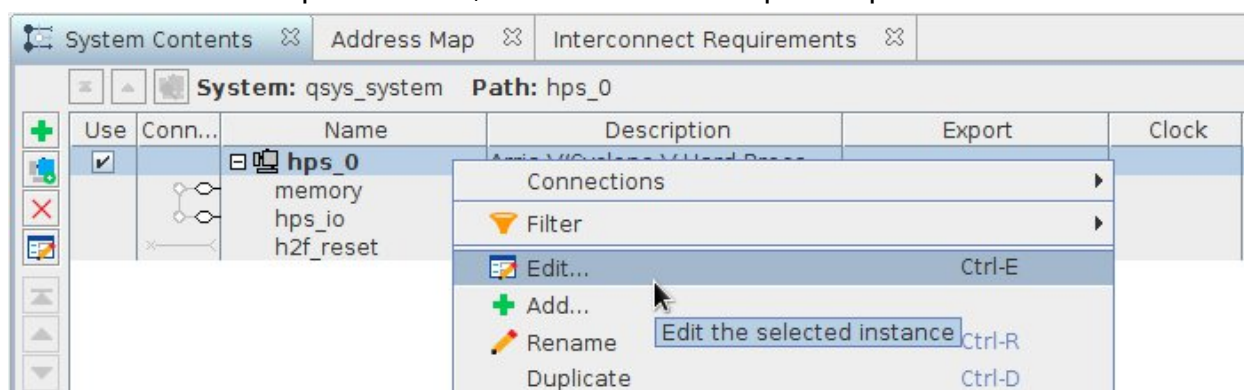
Help < Back Next > Finish Cancel

Platform Designer

Pour ouvrir Platform Designer, menu *Tools* → *Platform Designer* ou l'icône . Sélectionner le fichier « qsys_system.qsys » puis *Open*.



Pour modifier le composant HPS, clic droit sur le composant puis *Edit...*



Pour activer ou désactiver les GPIOs du HPS, aller dans l'onglet *Peripheral Pins*, puis tout en bas où se trouve le tableau de configuration. Cliquer ensuite sur les GPIOs pour les activer ou les désactiver selon les besoins.

Trace pin:	Unused				
Trace mode:	N/A				
Peripherals Mux Table					
RGMIIO_TX_CLK			EMAC0_TX_CLK (Set0)	GPIO00	LOANIO00
RGMIIO_TXD0		USB1.D0 (Set0)	EMAC0_TXD0 (Set0)	GPIO01	LOANIO01
RGMIIO_TXD1		USB1.D1 (Set0)	EMAC0_TXD1 (Set0)	GPIO02	LOANIO02
RGMIIO_TXD2		USB1.D2 (Set0)	EMAC0_TXD2 (Set0)	GPIO03	LOANIO03
RGMIIO_TXD3		USB1.D3 (Set0)	EMAC0_TXD3 (Set0)	GPIO04	LOANIO04
RGMIIO_RXD0		USB1.D4 (Set0)	EMAC0_RXD0 (Set0)	GPIO05	LOANIO05
RGMIIO_MDIO	(I2C2.SDA (Set0))	USB1.D5 (Set0)	EMAC0_MDIO (Set0)	GPIO06	LOANIO06
RGMIIO_MDC	(I2C2.SCL (Set0))	USB1.D6 (Set0)	EMAC0_MDC (Set0)	GPIO07	LOANIO07
RGMIIO_RX_CTL		USB1.D7 (Set0)	EMAC0_RX_CTL (Set0)	GPIO08	LOANIO08
RGMIIO_TX_CTL			EMAC0_TX_CTL (Set0)	GPIO09	LOANIO09
RGMIIO_RX_CLK		USB1.CLK (Set0)	EMAC0_RX_CLK (Set0)	GPIO10	LOANIO10
RGMIIO_RXD1		USB1.STP (Set0)	EMAC0_RXD1 (Set0)	GPIO11	LOANIO11
RGMIIO_RXD2		USB1.DIR (Set0)	EMAC0_RXD2 (Set0)	GPIO12	LOANIO12
RGMIIO_RXD3		USB1.NXT (Set0)	EMAC0_RXD3 (Set0)	GPIO13	LOANIO13
NAND_ALE	QSPI.SS3 (Set1) (Set0)	EMAC1_TX_CLK (Set0)	NAND_ALE (Set0)	GPIO14	LOANIO14
NAND_CE	USB1.D0 (Set1)	EMAC1_TXD0 (Set0)	NAND_CE (Set0)	GPIO15	LOANIO15
NAND_CLE	USB1.D1 (Set1)	EMAC1_TXD1 (Set0)	NAND_CLE (Set0)	GPIO16	LOANIO16
NAND_RE	USB1.D2 (Set1)	EMAC1_TXD2 (Set0)	NAND_RE (Set0)	GPIO17	LOANIO17
NAND_RB	USB1.D3 (Set1)	EMAC1_TXD3 (Set0)	NAND_RB (Set0)	GPIO18	LOANIO18
NAND_DQ0		EMAC1_RXD0 (Set0)	NAND_DQ0 (Set0)	GPIO19	LOANIO19
NAND_DQ1	(I2C3.SDA (Set0))	EMAC1_MDIO (Set0)	NAND_DQ1 (Set0)	GPIO20	LOANIO20
NAND_DQ2	(I2C3.SCL (Set0))	EMAC1_MDC (Set0)	NAND_DQ2 (Set0)	GPIO21	LOANIO21
NAND_DQ3		EMAC1_RX_CTL (Set0)	NAND_DQ3 (Set0)	GPIO22	LOANIO22
NAND_DQ4	USB1.D5 (Set1)	EMAC1_TX_CTL (Set0)	NAND_DQ4 (Set0)	GPIO23	LOANIO23
NAND_DQ5	USB1.D6 (Set1)	EMAC1_RX_CLK (Set0)	NAND_DQ5 (Set0)	GPIO24	LOANIO24
NAND_DQ6	USB1.D7 (Set1)	EMAC1_RXD1 (Set0)	NAND_DQ6 (Set0)	GPIO25	LOANIO25
NAND_DQ7		EMAC1_RXD2 (Set0)	NAND_DQ7 (Set0)	GPIO26	LOANIO26
NAND_WP	QSPI.SS2 (Set1) (Set0)	EMAC1_RXD3 (Set0)	NAND_WP (Set0)	GPIO27	LOANIO27
NAND_WE		QSPI.SS1 (Set0)	NAND_WE (Set0)	GPIO28	LOANIO28
QSPI_IO0	USB1.CLK (Set1)	QSPI.IO0 (Set1) (Set0)	QSPI.IO0 (Set1) (Set0)	GPIO29	LOANIO29
QSPI_IO1	USB1.STP (Set1)	QSPI.IO1 (Set1) (Set0)	QSPI.IO1 (Set1) (Set0)	GPIO30	LOANIO30
QSPI_IO2	USB1.DIR (Set1)	QSPI.IO2 (Set1) (Set0)	QSPI.IO2 (Set1) (Set0)	GPIO31	LOANIO31
QSPI_IO3	USB1.NXT (Set1)	QSPI.IO3 (Set1) (Set0)	QSPI.IO3 (Set1) (Set0)	GPIO32	LOANIO32
QSPI_SS0		QSPI.SS0 (Set1) (Set0)	QSPI.SS0 (Set1) (Set0)	GPIO33	LOANIO33
QSPI_CLK		QSPI.CLK (Set1) (Set0)	QSPI.CLK (Set1) (Set0)	GPIO34	LOANIO34
QSPI_SS1		QSPI.SS1 (Set1) (Set0)	QSPI.SS1 (Set1) (Set0)	GPIO35	LOANIO35
SDMMC_CMD	USB0.D0 (Set0)	SDIO_CMD (Set0)	SDIO_CMD (Set0)	GPIO36	LOANIO36
SDMMC_PWREN	USB0.D1 (Set0)	SDIO_PWREN (Set0)	SDIO_PWREN (Set0)	GPIO37	LOANIO37
SDMMC_D0	USB0.D2 (Set0)	SDIO.D0 (Set0)	SDIO.D0 (Set0)	GPIO38	LOANIO38
SDMMC_D1	USB0.D3 (Set0)	SDIO.D1 (Set0)	SDIO.D1 (Set0)	GPIO39	LOANIO39
SDMMC_D4	USB0.D4 (Set0)	SDIO.D4 (Set0)	SDIO.D4 (Set0)	GPIO40	LOANIO40
SDMMC_D5	USB0.D5 (Set0)	SDIO.D5 (Set0)	SDIO.D5 (Set0)	GPIO41	LOANIO41
SDMMC_D6	USB0.D6 (Set0)	SDIO.D6 (Set0)	SDIO.D6 (Set0)	GPIO42	LOANIO42
SDMMC_D7	USB0.D7 (Set0)	SDIO.D7 (Set0)	SDIO.D7 (Set0)	GPIO43	LOANIO43
HPS_GPIO44	USB0.CLK (Set0)	SDIO.CLK (Set0)	SDIO.CLK (Set0)	GPIO44	LOANIO44
SDMMC_CCLK_OUT	USB0.STP (Set0)	SDIO.DIR (Set0)	SDIO.DIR (Set0)	GPIO45	LOANIO45
SDMMC_D2	USB0.D2 (Set0)	SDIO.D2 (Set0)	SDIO.D2 (Set0)	GPIO46	LOANIO46
SDMMC_D3	USB0.NXT (Set0)	SDIO.D3 (Set0)	SDIO.D3 (Set0)	GPIO47	LOANIO47

Pour générer le code HDL, sélectionner le menu *Generate* → *Generate HDL...*

Sélectionner VHDL dans la fenêtre qui s'ouvre, laisser les autres champs par défaut puis cliquer sur le bouton *Generate*.

Generation

Synthesis

Synthesis files are used to compile the system in a Quartus Prime project.

Create HDL design files for synthesis:

VHDL

☐ Create timing and resource estimates for third-party EDA synthesis tools.
 ☒ Create block symbol file (.bsf)

Simulation

The simulation model contains generated HDL files for the simulator, and may include simulation-only features.

Simulation scripts for this component will be generated in a vendor-specific sub-directory in the specified output directory.

Follow the guidance in the generated simulation scripts about how to structure your design's simulation scripts and how to use the *ip-setup-simulation* and *ip-make-simscript* command-line utilities to compile all of the files needed for simulating all of the IP in your design.

Create simulation model:

None

Output Directory

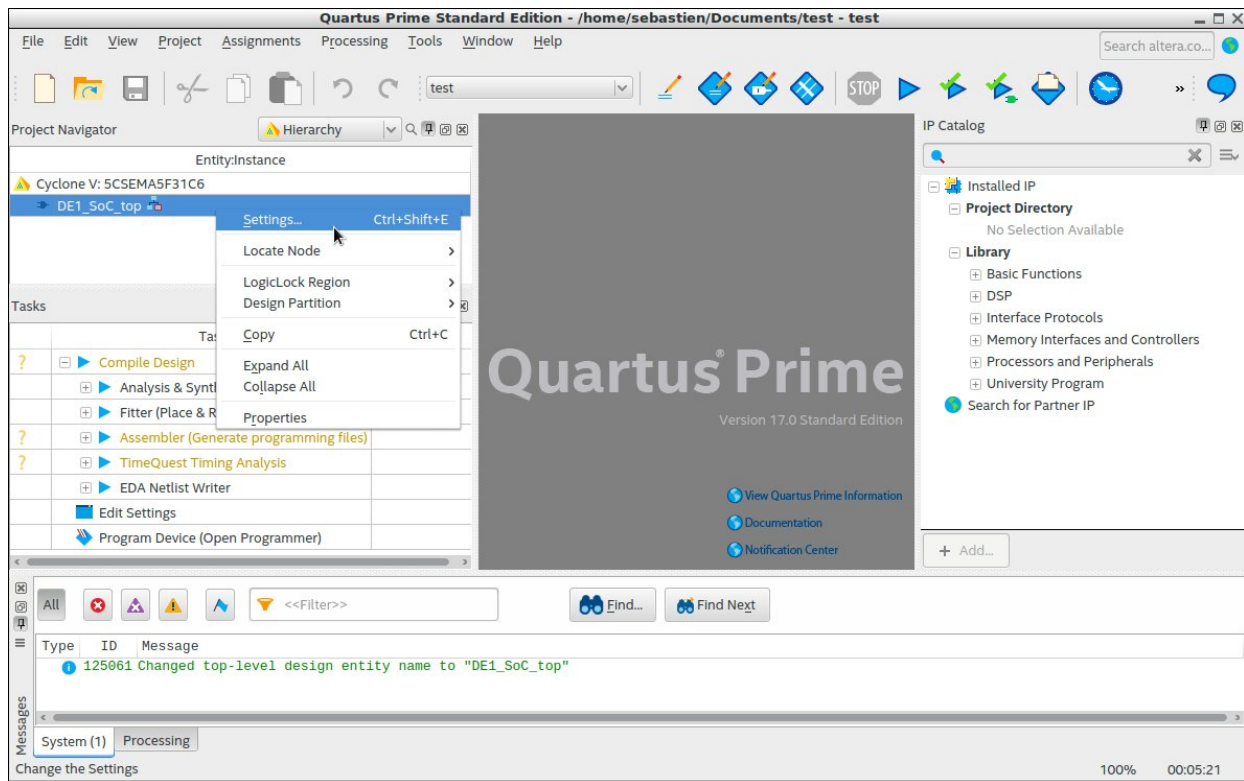
Path: /DE1_SoC_introduction/hard/eda/qsys_system

Generate Cancel

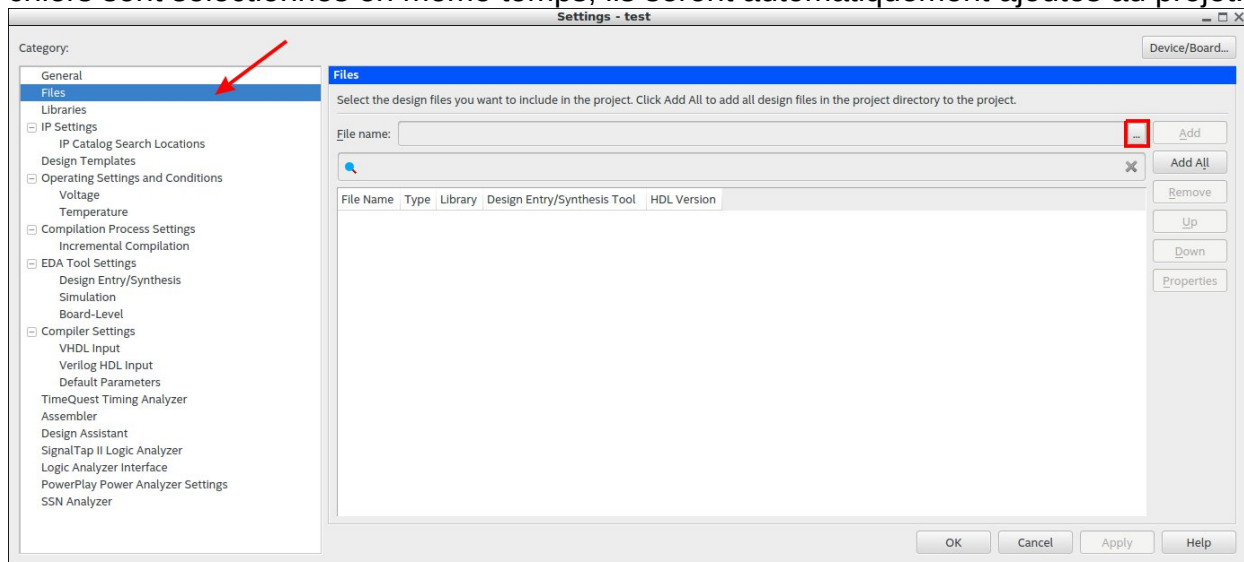
Fermer Platform Designer.

Ajout des sources dans le projet

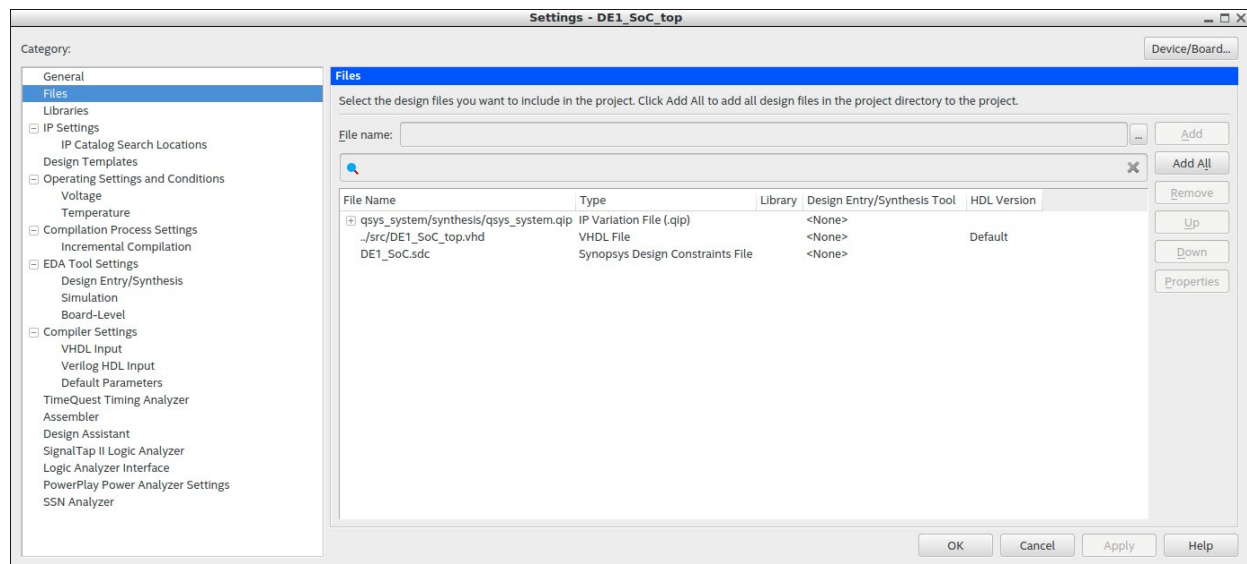
Clic droit sur le nom du projet et sélectionner *Settings...*



Sélectionner l'onglet *Files* dans la colonne de gauche. Cliquer sur le bouton "... " dans la partie de droite pour ajouter des fichiers sources. Si un seul fichier est sélectionné, il faut ensuite appuyer sur le bouton *Add* pour qu'il soit ajouté, alors que si plusieurs fichiers sont sélectionnés en même temps, ils seront automatiquement ajoutés au projet.



Cliquer sur *OK* une fois que tous les fichiers sources sont présents dans le projet.



Altera Monitor Program

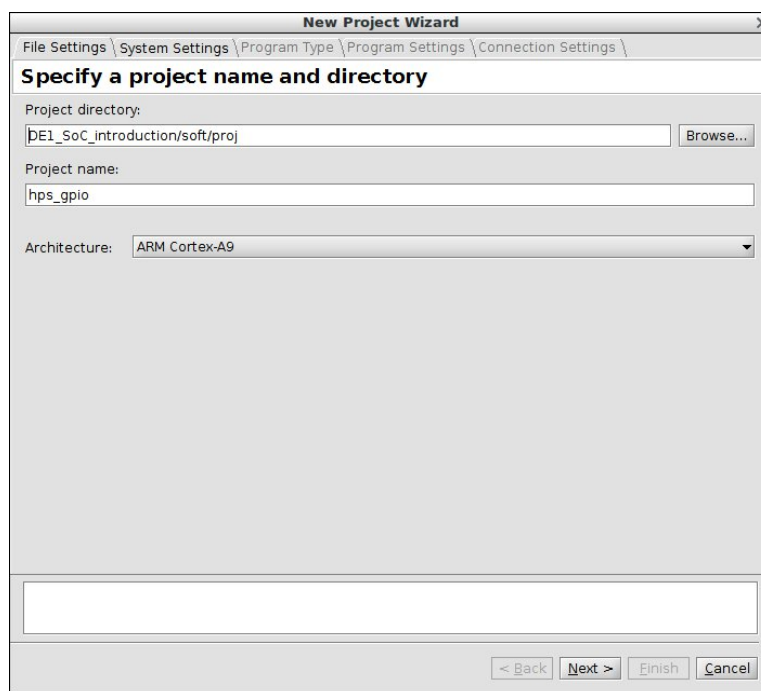
Pour ouvrir Altera Monitor Program, il faut ouvrir un terminal puis exécuter la commande « intel-fpga-monitor-program ».

Afin de faciliter le lancement du programme, le fichier « altera-monitor-program.desktop » a été mis à disposition sur Cyberlearn. Il suffit de le télécharger, de le placer dans le dossier « Desktop » de la VM puis, lors du premier lancement, de cliquer sur *Mark as executable*.

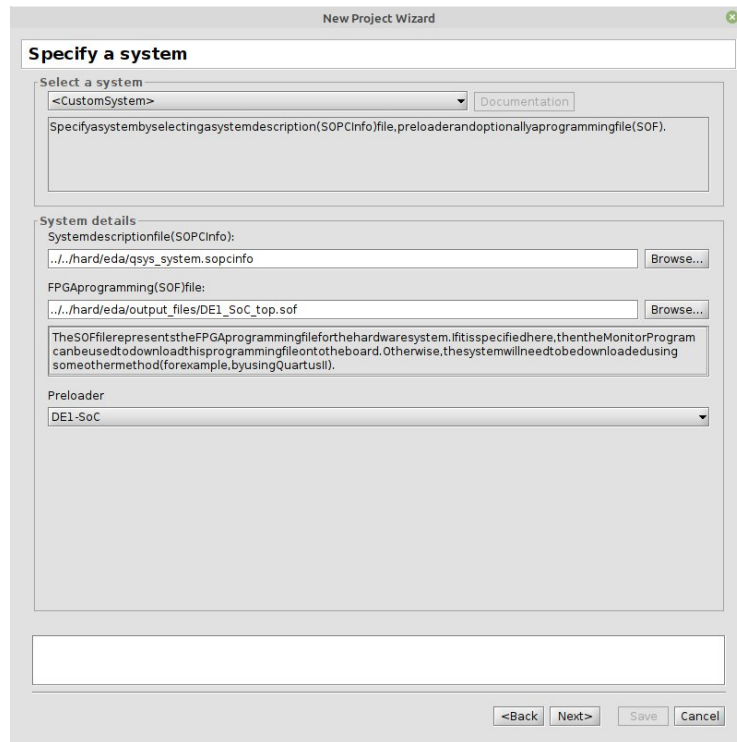
Création d'un projet

File → New Project...

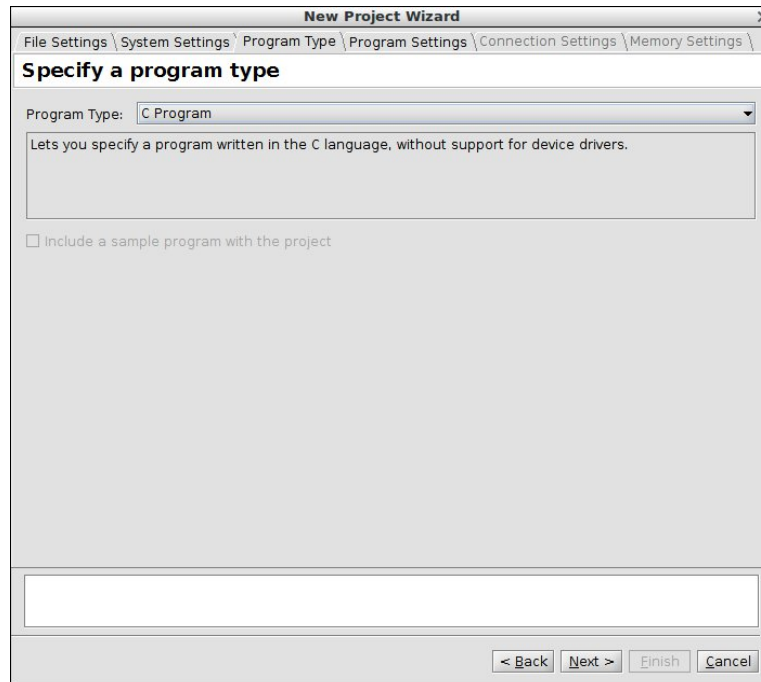
Sélectionner le dossier du projet ainsi qu'un nom pour ce projet. Sélectionner *ARM Cortex-A9* comme architecture. *Next*



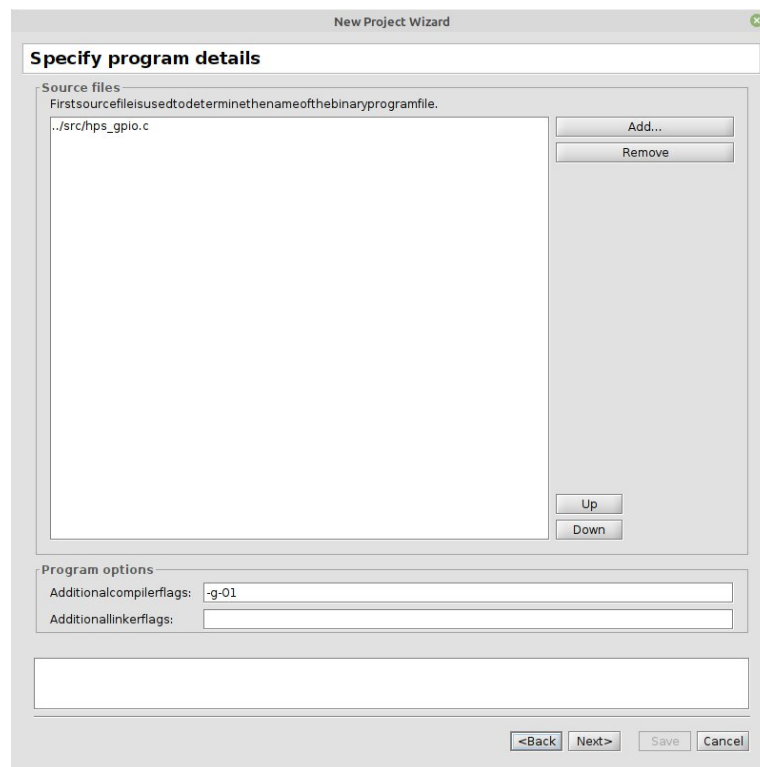
Sélectionner *<Custom System>* dans la partie "Select a system" et choisir *DE1-SoC* comme preloader. Renseigner les chemins vers les fichiers SOPCInfo et SOF. *Next*



Sélectionner *C Program* dans le menu déroulant de "Program Type". *Next*

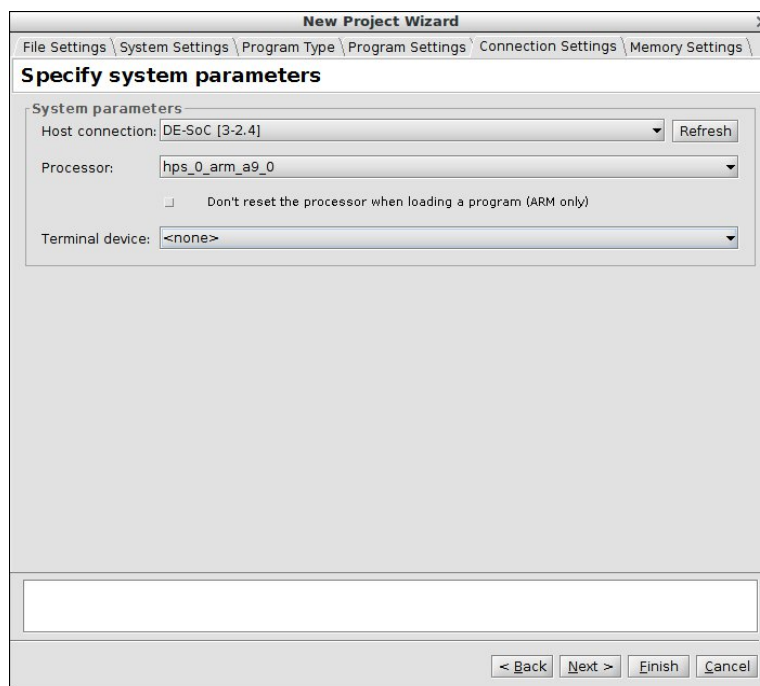


Ajouter les fichiers sources au projet en cliquant sur le bouton *Add.... Next*

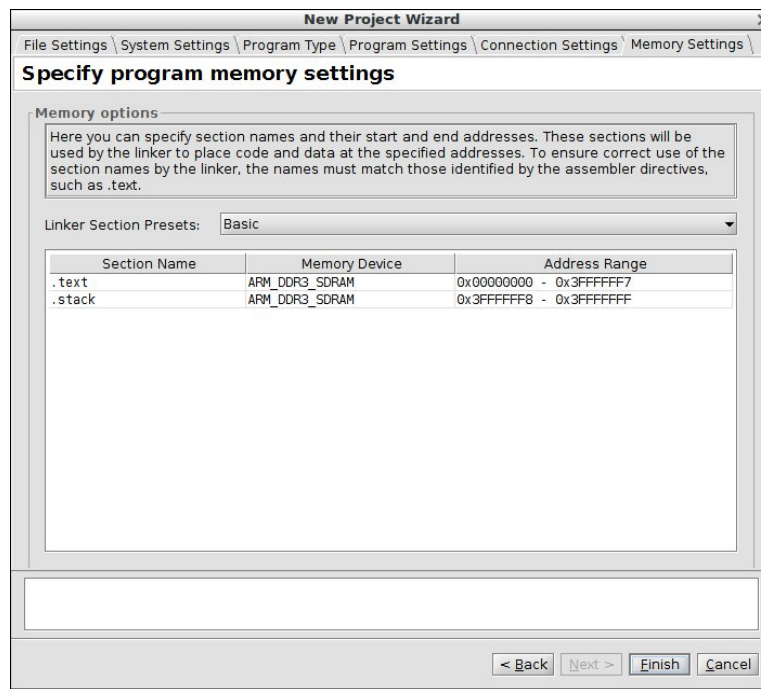


Sélectionner le programmeur JTAG, un seul est présent dans le menu déroulant "Host connection". La carte DE1-SoC doit être branchée à l'ordinateur via le câble USB et allumée. Sélectionner le processeur 0 du microcontrôleur, à savoir "hps_0_arm_a9_0" dans le menu déroulant "Processor".

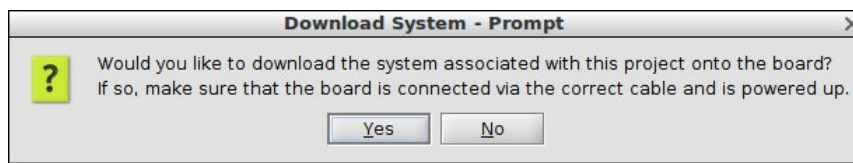
Sélectionner "<none>" pour la partie "Terminal device". *Next*




Laisser les allocations mémoire par défaut. Cliquer sur le bouton *Finish*.



Cliquer sur Yes lorsque le logiciel demande à charger le système sur la carte. Ceci va programmer la Cyclone V avec le projet synthétisé avec Quartus Prime.

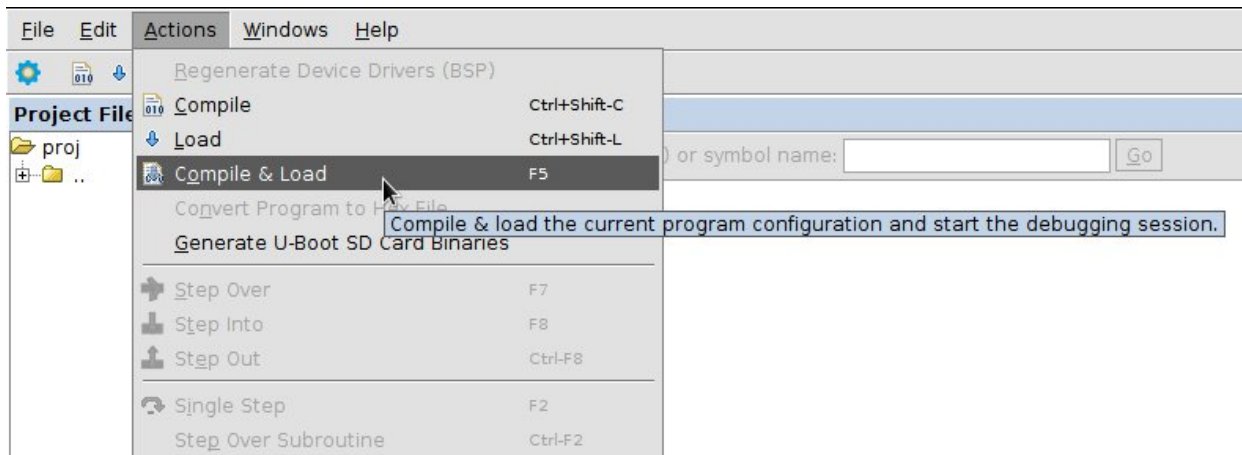


Editer la configuration du projet

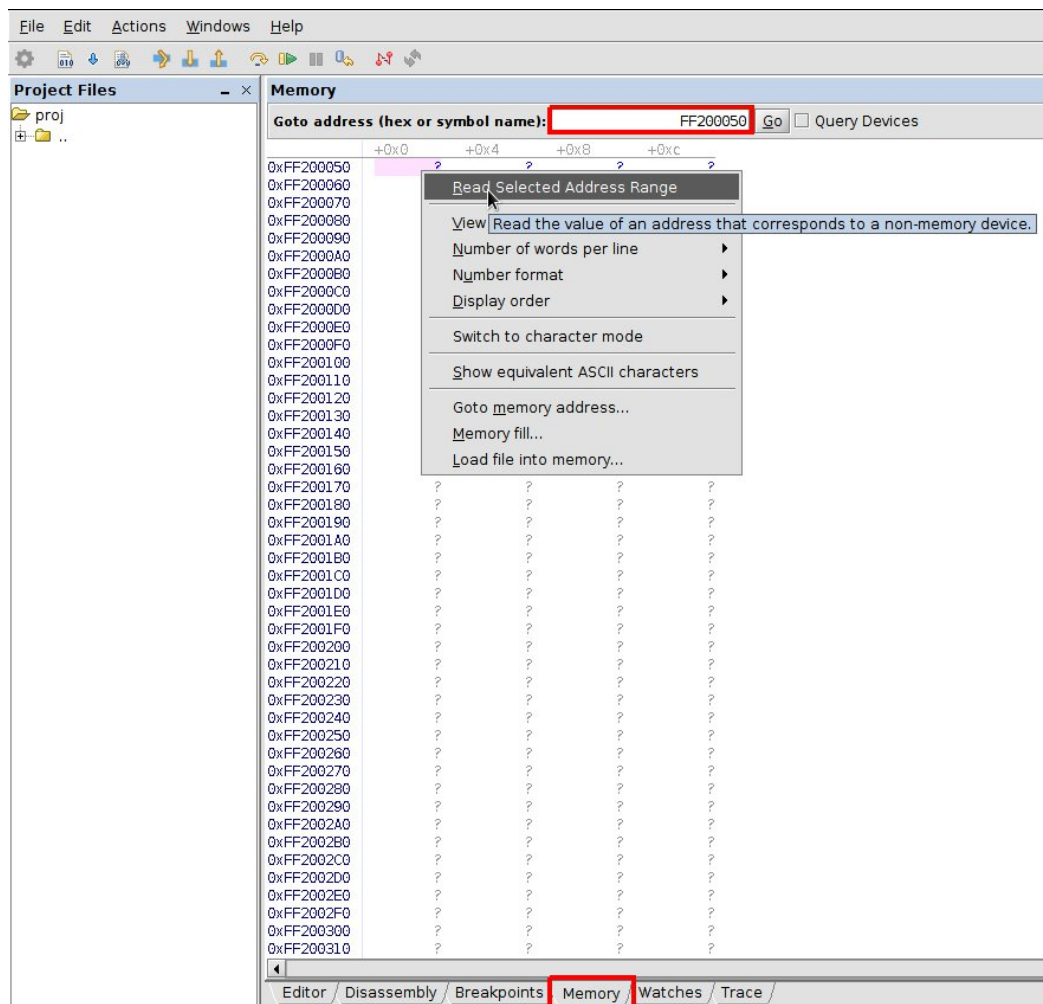
Pour éditer la configuration du projet, cliquer sur *File* → *Edit project* ou cliquer sur l'icône .

Compilation, observation mémoire et chargement du programme

Actions → Compile & Load. Le programme est compilé puis chargé sur la carte.



Cliquer sur l'onglet *Memory* pour observer le contenu de la mémoire. Entrer l'adresse mémoire à observer pour faciliter la recherche. Ensuite, clic droit sur l'adresse à lire puis *Read Selected Address Range*. Le contenu varie en fonction des stimuli sur cette adresse.



Actions → *Continue* ou cliquer sur l'icône dans la barre des icônes. Cette action va démarrer le programme sur la carte. Il ne reste plus qu'à tester.

