

Laboratoire 06 – Driver de base

Objectifs du laboratoire

L'objectif de ce laboratoire est de développer un driver basique qui permet de lire et écrire sur le bridge Lightweight HPS-to-FPGA.

Driver

Le but est ici de reproduire ce que vous avez fait avec *devmem* en user space depuis le kernel space. Vous devez donc écrire un driver qui permette d'utiliser l'IP des deux précédents laboratoires pour accéder aux IOs du FPGA via un device node dédié. Référez-vous au contenu du cours DRV. Vous utiliserez *ioremap()* pour mapper le bus en mémoire.

Le driver se présentera sous forme d'un *character device* se nommant *de1_io*, et devra se comporter de la manière suivante:

- *ioctl*: l'argument *request* définira l'indice du registre à accéder avec *read/write* et devra renvoyer un code d'erreur (<0) si l'utilisateur demande d'accéder à un registre inexistant (>10)
- *read*: Lecture des données du registre configuré
- *write*: Ecriture dans le registre configuré

Reprenez votre code du labo précédent et modifiez-le pour qu'il puisse accéder aux IO grâce au driver. Comme pour le labo précédent, il devrait être possible de revenir aux méthodes d'accès des labos précédents juste en modifiant quelques *define* dans le code

Documents à rendre

Vous devez rendre un rapport à l'issue de ce laboratoire contenant les explications sur les différentes étapes de la réalisation de votre système.

Vous devez également rendre le code source de votre driver et tout autre fichier modifié pour rendre l'insertion du pilote fonctionnelle.

Les fichiers sont à rendre sur Moodle.