

國立金門大學

教學綱要

部別：日間部學士班

114學年度第2學期

列印日期：2026/01/21

科目名稱：數位邏輯實習 (Digital logic internship) 開課班級：電機一甲學 分：3.0 授課時數：3.0
授課教師：王建鈞 必選修：選修

1. 教學目標

理解硬體描述語言的基本概念和歷史。熟悉CPLD的語法和結構。掌握數位電路設計流程，包括編碼、合成、模擬和驗證。能夠使用硬體描述語言設計基本數位電路。能夠進行電路模擬，分析和驗證電路行為。掌握設計實踐項目的能力，能夠解決實際設計問題。培養細心、嚴謹的設計態度。鼓勵創新思維，嘗試不同的設計方案。增強團隊合作和交流能力。

2. 教學綱要

本課程旨在介紹CPLD，並教授如何使用這些語言進行數位電路的設計和模擬。課程內容包括基本語法、設計流程、模擬技術以及實踐項目，幫助學生掌握設計和驗證數位電路的核心技能。

3. 教科書

書名：CPLD數位邏輯設計實習 - 最新版 - 附贈OTAS題測系統

1 出版日期：2015年 05月

作者：劉國棋 出版社：台科大 版本：

4. 參考書

1 書名：CPLD數位邏輯設計實務(第二版)--使用 Quartus II及VHDL語言設計 出版日期：年 月

作者：楊明豐 出版社：基峰 版本：

※請遵守智慧財產權觀念，依著作權法規定，教科書及教材不得非法影印與使用盜版軟體。

5. 教學進度表

週次	日期	內容	備註
1	2026/02/22—2026/02/28	課程簡介與介紹概述	
2	2026/03/01—2026/03/07	CPLD介紹	
3	2026/03/08—2026/03/14	CPLD介紹	
4	2026/03/15—2026/03/21	CPLD介紹	
5	2026/03/22—2026/03/28	CPLD介紹	
6	2026/03/29—2026/04/04	組合邏輯設計	
7	2026/04/05—2026/04/11	組合邏輯設計	
8	2026/04/12—2026/04/18	順序邏輯設計	
9	2026/04/19—2026/04/25	順序邏輯設計	
10	2026/04/26—2026/05/02	加減法器實驗	
11	2026/05/03—2026/05/09	加減法器實驗	
12	2026/05/10—2026/05/16	組合邏輯應用實驗	
13	2026/05/17—2026/05/23	組合邏輯應用實驗	
14	2026/05/24—2026/05/30	正反器實驗	
15	2026/05/31—2026/06/06	正反器實驗	
16	2026/06/07—2026/06/13	數位邏輯電路開發實例	
17	2026/06/14—2026/06/20	自主學習	
18	2026/06/21—2026/06/27	自主學習	

6. 成績評定及課堂要求

平時成績40%，期中30%，期末30%

8. 永續發展目標(SDGs)：SDG4 優質教育、SDG8 合適的工作及經濟成長

9. 大學社會責任(USR)關聯性：中