

[回上一頁](#)

國立金門大學

教學綱要

部別：日間部學士班

114學年度第2學期

列印日期：2026/01/28

科目名稱：硬體描述語言程式設計與模擬（System Design Using Hardware Description Language）
開課班級：電學 分：授課時數：
授課教師：郭昭宗 機二甲 3.0 3.0
必選修：選修

1. 教學目標

本課程旨在讓學生對Verilog硬體描述語言實務應用有深入的了解

2. 教學綱要

- 運用Verilog HDL 作邏輯設計
- 階層模組的觀念
- 使用Verilog的基本概念
- 模組與輸出入port
- 邏輯閘層次模型
- 資料處理模型
- 行為模型
- 任務與函數
- 高等Verilog技巧

3. 教科書

書名：Verilog硬體描述語言實務
3 出版日期：年月
作者：鄭光欽 出版社：全華 版本：

4. 參考書

1 書名：數位IC設計入門-vERILOG 出版日期：年月
作者：陳培殷 出版社：滄海圖書 版本：
2 書名：Verilog硬體描述語言 出版日期：年月
作者：黃英叡 出版社：全華 版本：

※請遵守智慧財產權觀念，依著作權法規定，教科書及教材不得非法影印與使用盜版軟體。

5. 教學進度表

週次	日期	內容	備註
1	2026/02/22—2026/02/28	運用Verilog HDL 作邏輯設計	
2	2026/03/01—2026/03/07	運用Verilog HDL 作邏輯設計	
3	2026/03/08—2026/03/14	階層模組的觀念	
4	2026/03/15—2026/03/21	階層模組的觀念	
5	2026/03/22—2026/03/28	使用Verilog的基本概念	
6	2026/03/29—2026/04/04	使用Verilog的基本概念	
7	2026/04/05—2026/04/11	模組與輸出入port	
8	2026/04/12—2026/04/18	期中考	
9	2026/04/19—2026/04/25	邏輯閘層次模型	
10	2026/04/26—2026/05/02	資料處理模型	
11	2026/05/03—2026/05/09	資料處理模型	
12	2026/05/10—2026/05/16	行為模型	
13	2026/05/17—2026/05/23	行為模型	
14	2026/05/24—2026/05/30	任務與函數	
15	2026/05/31—2026/06/06	任務與函數	
16	2026/06/07—2026/06/13	期末考	

17	2026/06/14—2026/06/20	補充教學	
18	2026/06/21—2026/06/27	補充教學	

6. 成績評定及課堂要求

1. 期中考:30% 2. 期末考:40% 3. 作業及平時考核:30%

8. 永續發展目標(SDGs)：SDG9 工業化、創新及基礎建設

9. 大學社會責任(USR)關聯性：中