

# Lastenheft

## Digitalrechner

Für Digitalrechner soll eine Arbeitsumgebung gefertigt werden in der VHDL Projekte erstellt, bearbeitet und simuliert werden. Eine Java-basierte Simulation eines rudimentären CPUs (SVNR) soll zusätzlich dazu inkludiert werden.

### 1. Reproduzierbare Arbeitsumgebung

Beschreibung: Es muss eine reproduzierbare Arbeitsumgebung erstellt werden, die betriebssystemunabhängig und einfach zu nutzen ist.

Vorgänger: -

Aufwand(Arbeitstage): 12

#### 1.1. Docker-Image

Beschreibung: Es soll evaluiert werden ob ein Docker-Image für eine reproduzierbare Arbeitsumgebung geeignet ist.

Zuständigkeit: Patryk Janik

Aufwand(Arbeitstage): 7

#### 1.2. Virtuelle Maschine

Beschreibung: Eine Linux Virtuelle Maschine soll erstellt werden.

Zuständigkeit: Christopher Parnow

Aufwand(Arbeitstage): 5

### 2. Einrichtung der Tools

Beschreibung: Die Tools, die für Digitalrechner benötigt werden sollen hier eingerichtet werden.

Vorgänger: Digitalrechner 1

Aufwand(Arbeitstage): 11

#### 2.1. Editoren für VHDL

Beschreibung: Um VHDL Code zu editieren stehen Emacs, Kate, Eclipse und VSCode zur Auswahl.

Zuständigkeit: Christopher Parnow

Aufwand(Arbeitstage): 3

##### 2.1.1. Emacs

##### 2.1.2. Kate

##### 2.1.3. Eclipse

##### 2.1.4. VSCode

#### 2.2. GHDL und gtkwave für Simulation

Beschreibung: Mit GHDL und gtkwave soll Simulation von VHDL-Designs ermöglicht werden.

Zuständigkeit: Patryk Janik

Aufwand(Arbeitstage): 5

#### 2.3. SVNR(Simpler von Neumann Rechner) in Java

Beschreibung: Der SVNR soll in der Arbeitsumgebung zur Verfügung stehen.

Zuständigkeit: Christopher Parnow

Aufwand(Arbeitstage): 3

## SOPC

In SOPC soll mit echter Hardware gearbeitet werden. Simulation aus Digitalrechner reicht nicht mehr aus. Eine Toolchain für das Programmieren des FPGAs muss eingerichtet werden. Da es dabei auch mit einem RISC CPU in VHDL gearbeitet wird, wird auch eine Toolchain für das Übersetzen von C Programmen für eine gewählte CPU benötigt. Für diese Zwecke werden anschließend FPGA-Entwicklungsboards gebraucht.

### 1. Toolchains einrichten

Beschreibung: Es müssen Software- und Hardware-Toolchain eingerichtet werden.

Vorgänger: -

Aufwand(Arbeitstage): 16

#### 1.1. Hardware-Toolchain

Beschreibung: Zur Wahl stehen die lizenzgebundenen Tools von Lattice oder die freie Toolchain mit yosys, ghdl yosis plugin und IceStorm.

Zuständigkeit: Patryk Janik

Aufwand(Arbeitstage): 8

#### 1.2. Software-Toolchain

Beschreibung: Für die Entwicklung von Software für den RISC-V Softcore muss eine geeignete Software-Toolchain eingerichtet werden.

Zuständigkeit: Christopher Parnow

Aufwand(Arbeitstage): 8

### 2. FPGA-Board

Beschreibung: Für SOPC wird ein FPGA-Board benötigt, auf den ein Softcore mit Software läuft. Ein- und Ausgaben mit Button, Switches, LEDs sollen möglich sein.

Vorgänger: SOPC 1

Aufwand(Arbeitstage): 35

#### 2.1. Auswahl

Beschreibung: Zur Auswahl stehen Upduino, iceWerx und iceduino

Vorgänger: SOPC 1

Aufwand(Arbeitstage): 20

##### 2.1.1. Einschätzung des Produktionsaufwands

Beschreibung: Schätzung der Kosten mit FPGA und Platine mit Bauteilen.

Zuständigkeit: Christopher Parnow

Vorgänger: -

Aufwand(Arbeitstage): 5

##### 2.1.2. Evaluierung mit dem NeoRV32

Beschreibung: Der FPGA soll genug Platz für den NeoRV32 und Software zur Verfügung haben. Dies muss evaluiert werden.

Zuständigkeit: Christopher Parnow

Vorgänger: SOPC 1

Aufwand(Arbeitstage): 15

#### 2.2. Erweiterungsplatine (Optional, je nach Boardauswahl)

Beschreibung: Eine Erweiterungsplatine mit Buttons, LEDs usw. erstellt werden.

Zuständigkeit: Christopher Parnow

Vorgänger: SOPC 2.1

Aufwand(Arbeitstage): 15

### 3. RISC-V Softcore (NeoRV32)

Beschreibung: Es soll ein Softcore in VHDL auf dem FPGA eingesetzt werden. Es soll möglich werden, das VHDL Design um weitere Komponenten zu erweitern und somit ein "System-on-a-Programmable-Chip"(SOPC) zu bauen. Der NeoRV32 wurde zur Evaluation vorgeschlagen.

Zuständigkeit: Patryk Janik

Vorgänger: SOPC 1, SOPC 2

Aufwand(Arbeitstage): 35

#### 3.1. NeoRV32 Test

Beschreibung: Der NeoRV32 soll gründlich für den Einsatz auf dem FPGA getestet werden. Ob genug Platz für die Erweiterung des Designs existiert, soll ebenfalls geprüft werden.

Zuständigkeit: Patryk Janik

Vorgänger: SOPC 1, SOPC 2

Aufwand(Arbeitstage): 10

#### 3.2. Mögliche Alternativen

Beschreibung: Es soll untersucht werden ob es bessere Alternativen als den NeoRV32 gibt, die auf dem FPGA teil eines SOPCs genutzt werden können.

Zuständigkeit: Patryk Janik

Vorgänger: SOPC 1, SOPC 2, SOPC 3.1

Aufwand(Arbeitstage): 10

#### 3.3. Anpassungen an das gewählte Board

Beschreibung: Das gewählte Board wird jeweils spezielle Features an verschiedenen Anschlüssen anbieten. Damit alle Features auch genutzt werden können, soll das VHDL-Design entsprechend angepasst werden.

Zuständigkeit: Patryk Janik

Vorgänger: SOPC 1, SOPC 2, SOPC 3.1-2

Aufwand(Arbeitstage): 15

## Integration und Tests

Zum Abschluss des Projekts sollen die Ergebnisse integriert und getestet werden.

### 1. Integration

Beschreibung: In dem Teil Digitalrechner wurde eine Arbeitsumgebung erstellt. Diese Umgebung soll nun um die für SOPC benötigte Tools erweitert werden.

Zuständigkeit: Patryk Janik, Christopher Parnow

Vorgänger: Digitalrechner, SOPC

Aufwand(Arbeitstage): 10

### 2. Test

Beschreibung: Zum Abschluss soll überprüft werden, dass die Arbeitsumgebung funktionierend und benutzerfreundlich ist. Es soll sichergestellt werden, dass die gelieferte Tools und Hardware für die erfolgreiche Teilnahme an beiden Modulen geeignet ist.

Zuständigkeit: Patryk Janik, Christopher Parnow

Vorgänger: Integration

Aufwand(Arbeitstage): 10