

# Projektskizze

## Projektbeschreibung

Es wird eine reproduzierbare Arbeitsumgebung gesucht, mit dem VHDL Projekte erstellt, simuliert und auf einem FPGA zum laufen gebracht werden können. Die Umgebung soll betriebsunabhängig und einfach für die Studierende nutzbar sein. Für das Modul Digitalrechner soll die Arbeitsumgebung Editoren, GHDL und SVNR in Java beinhalten. Für die Studierende soll es die Möglichkeit geben, die Waveforms der VHDL Projekte anzuzeigen. Die VHDL Projekte, der Studierenden, nach erfolgreicher Simulation auf einem FPGA laufen zu lassen ist wünschenswert. Es muss untersucht werden, ob ein Docker-Image als eine reproduzierbare Arbeitsumgebung einsetzbar ist.

In den Modulen Digitalrechner und SOPC werden mit Hilfe von VHDL Digitalschaltungen auf FPGAs umgesetzt. Um eine digitale Schaltung auf einem FPGA ausführen zu können muss das Design in Form von VHDL Dateien in ein Bitstrom übersetzt werden, das von dem FPGA verstanden wird. Dafür wird eine Toolchain benötigt, die diesen Bitstrom produzieren kann. Entsprechende Toolchains werden von FPGA Herstellern bereitgestellt. In diesem Projekt sollten zunächst Open-Source Toolchains untersucht werden und für die Nutzung in einem entsprechendem Modul evaluiert werden.

Für die FPGA-Entwicklung werden Entwicklungsboards genutzt. In einem vorherigen Projekt wurde ein eigenes Entwicklungsboard entworfen und gefertigt. In dem Modul SOPC soll eine mit VHDL entwickelte CPU verwendet werden, um die ein "System on a Programmable Chip"(SOPC) gebaut werden soll. Im Rahmen des Projekts soll die Eignung des eigenen Boards und verfügbaren Alternativen für die Erstellung eines SOPCs untersucht werden.

Zuletzt sollen Designs von CPUs in VHDL untersucht werden und für das gewählte Board einsatzfähig angepasst werden.

## **Zielumsetzung**

Digitalrechner:

- Betriebssystemunabhängige Arbeitsumgebung:
  - Docker-Image
  - Virtuelle Maschine
- Darstellung der Waveforms:
  - gtkwave
- Editor:
  - Emacs
  - Kate
  - VSCode
  - Eclipse
- SVN und GHDL in einer VM / Docker-Image

SOPC:

- FPGA
  - iceduino (iCE40-HX4K)
  - Upduino (iCE40-UP5K)
  - iceWerx (iCE40-HX8K)
- Softcore
  - NeoRV32 oder ein anderer geeigneter RISC-V Softcore
- Toolchain
  - Lattice Radiant
  - freie Toolchain mit ghdl-yosys-plugin
  - Yosys und next-pnr
- Ein- und Ausgabemöglichkeit
  - Erweiterungsplatine

## **Anmerkung zur Priorisierung**

Die Fertigstellung der Tools für das Modul Digitalrechner ist zu priorisieren.  
Dies beinhaltet:

- Betriebssystemunabhängige Arbeitsumgebung
- Programm für Darstellung der Waveforms der VHDL Projekte
- Editoren für VHDL Dateien
- GHDL
- SVN in Java

Für die Toolchain/Softcore/FPGA soll eine freie Toolchain evaluiert werden.  
Priorisiert wird dennoch, dass VHDL grundsätzlich nutzbar ist (proprietäre Lattice-Tools für den FPGA).