

Projekt Manager
Projektbeginn/ende

07.06.2021 - 17.09.2021

Fortschritt
Vorgänge
Ressourcen

48%
28
2

Vorgänge

Vorgang	Dauer	Anfang	Ende	Verantwortlich
Digitalrechner	13	07.06.21	23.06.21	
Reproduzierbare Arbeitsumgebung	7	07.06.21	15.06.21	
Docker-Image	7	07.06.21	15.06.21	Patryk Janik
Virtuelle Maschine	5	07.06.21	11.06.21	Christopher Parnow
Einrichtung der Tools	8	14.06.21	23.06.21	
Editoren für VHDL	3	14.06.21	16.06.21	Christopher Parnow
GHDL und gtkwave für Simulation	5	16.06.21	22.06.21	Patryk Janik
SVNR in Java	5	17.06.21	23.06.21	Christopher Parnow
MS1 - Digitalrechner	0	25.06.21	25.06.21	
SOPC	48	28.06.21	01.09.21	
Toolchains einrichten	8	28.06.21	07.07.21	
Hardware-Toolchain	8	28.06.21	07.07.21	Patryk Janik
Software-Toolchain	8	28.06.21	07.07.21	Christopher Parnow
MS2 - Toolchain fertig	0	08.07.21	08.07.21	
FPGA-Board	40	08.07.21	01.09.21	
Auswahl	20	08.07.21	04.08.21	
Einschätzung des Produktionsaufwands	5	08.07.21	14.07.21	Christopher Parnow, Patryk Janik
Evaluierung mit dem NeoRV32	15	15.07.21	04.08.21	Christopher Parnow, Patryk Janik
Erweiterungsplatine	20	05.08.21	01.09.21	Christopher Parnow
RISC-V Softcore	35	08.07.21	25.08.21	
NeoRV32 Test	10	08.07.21	21.07.21	Patryk Janik, Christopher Parnow
Mögliche Alternativen	10	22.07.21	04.08.21	Patryk Janik, Christopher Parnow
Anpassungen an das gewählte Board	15	05.08.21	25.08.21	Patryk Janik
MS3 - SOPC	0	01.09.21	01.09.21	

Vorgänge

3

Vorgang	Dauer	Anfang	Ende	Verantwortlich
Integration und Tests	10	02.09.21	15.09.21	
Integration	5	02.09.21	08.09.21	Patryk Janik, Christopher Parnow
Test	5	09.09.21	15.09.21	Patryk Janik, Christopher Parnow
MS4 - Projektende	0	17.09.21	17.09.21	

Ressourcen

Ressource	Rolle
Patryk Janik	Projektverantwortlicher
Christopher Parnow	Projektverantwortlicher

Gantt-Diagramm



