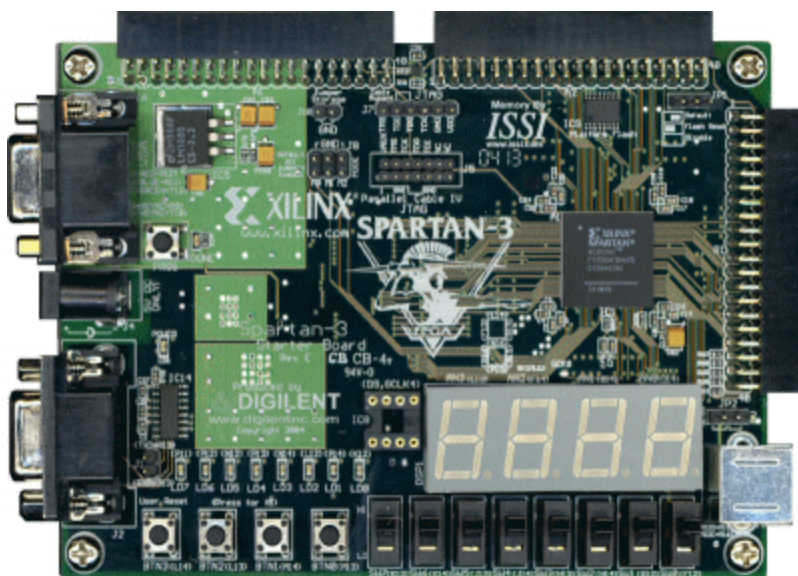




CE430

ΕΡΓΑΣΤΗΡΙΟ ΨΗΦΙΑΚΩΝ ΣΥΣΤΗΜΑΤΩΝ



ΑΣΚΗΣΗ 3:

ΣΧΕΔΙΑΣΗ VGA CONTROLLER

PATSIANOTAKIS CHARALAMPOS
2116

Εισαγωγή

Σε αυτήν την εργασία στόχος ήταν η υλοποίηση ενός VGA Controller. Για να γίνει αυτό έπρεπε να ελεγχθεί το VSYNC σήμα, το HSYNC και τα δεδομένα των RGB που στέλνονται στην οθόνη. Τα VSYNC και HSYNC επηρεάζουν την ανάλυση και δείχνουν το pixel ενώ το RGB δίνει το κατάλληλο χρώμα. Για αυτόν τον λόγο η εργασία χωρίστηκε σε 3 μέρη:

- A: Υλοποίηση της VRAM. Η VRAM έχει αποθηκευμένη τα δεδομένα των χρωμάτων που θα εμφανιστούν στην οθόνη. Στόχος σε αυτό το σημείο είναι η σωστή “ζωγραφική” της οθόνης.
- B: Υλοποίηση του HSYNC και της οριζόντιας διεύθυνσης
- Γ: Υλοποίηση του VSYNC και της κάθετης διεύθυνσης

Η εργασία δεν έγινε δυστυχώς 100% σωστή, με την οθόνη στο τέλος να αποδεικνύει πως χάνονται κάποιες διευθύνσεις στον έλεγχο μας.

ΜΕΡΟΣ Α

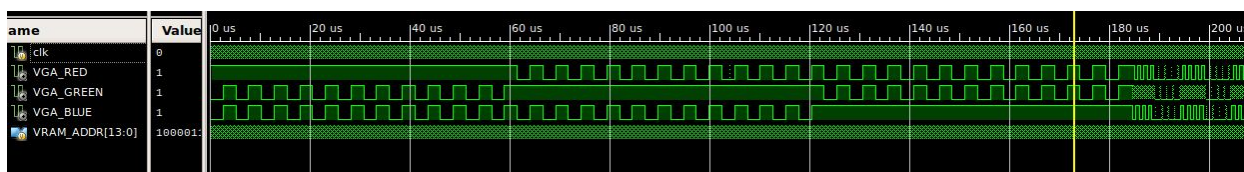
Σχεδίαση VRAM

Υλοποίηση

Για την σχεδίαση του VRAM module, πρακτικά έγινε instantiation 3 brams, που παρέχονται έτοιμες στην fpga, όπου κάθε μία αντιστοιχεί στο χρώμα Red Green Blue. Οι συγκεκριμένες bram δεν έχουν σήματα εισόδου στην μνήμη, παρά ένα σταθερό σήμα στο ένα για το enable. Οι τιμές στην μνήμη δίνονται ως παράμετροι και αρχικοποιούνται στον προγραμματισμό της πλακέτας, και δεν μεταβάλλονται ποτέ (μέχρις ώστε αλλάξει ο προγραμματισμός της πλακέτας). Δεδομένου ότι η BRAM έχει μέγεθος 128X128 (16384 bits) και όπως αναφέρει η εκφώνηση η ζητούμενη μνήμη για κάθε χρώμα είναι 128X96 (12288 bits), τα τελευταία 4096 bits αγνοήθηκαν.

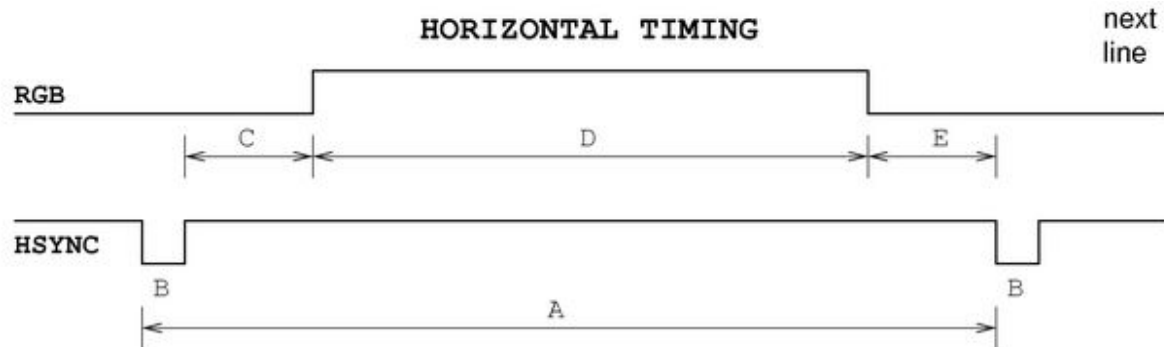
Επαλήθευση

Στόχος αυτού του μέρους, ήταν μονάχα ο έλεγχος της σωστής αρχικοποίησης των 3 Brams επομένως οι αρχικοποιήσεις έγιναν στο testbench το οποίο τα τροφοδοτούσε με την σωστή διεύθυνση. Με βάση αυτό, ελέγχουμε με την βοήθεια των κυματομορφών αν τα χρώματα ήταν σωστά.



ΜΕΡΟΣ Β

Υλοποίηση HSYNC και οριζόντιου μετρητή Pixel



A	Χρόνος Σάρωσης Γραμμής - Scanline Time	32 μ sec
B	Πλάτος Παλμού HSYNC - HSYNC Pulse Width	3.84 μ sec
C	Πίσω Όψη - Back Porch	1.92 μ sec
D	Χρόνος Απεικόνισης - Display Time	25.6 μ sec
E	Μπροστινή Όψη - Front Porch	0.640 μ sec

Για την υλοποίηση αυτή έγινε μία FSM που βλέπει σε ποιό στάδιο της μετάδοσης του HSYNC σήματος βρισκόμαστε. Για να πιάσουμε τους χρόνους που απαιτούνται, υλοποιήθηκε ένας counter, ο οποίος λειτουργεί με βάση ότι το ρολόι έχει περίοδο 20 ns. Επομένως οι μέγιστες τιμές του 11-bit μετρητή έχουν ως εξής:

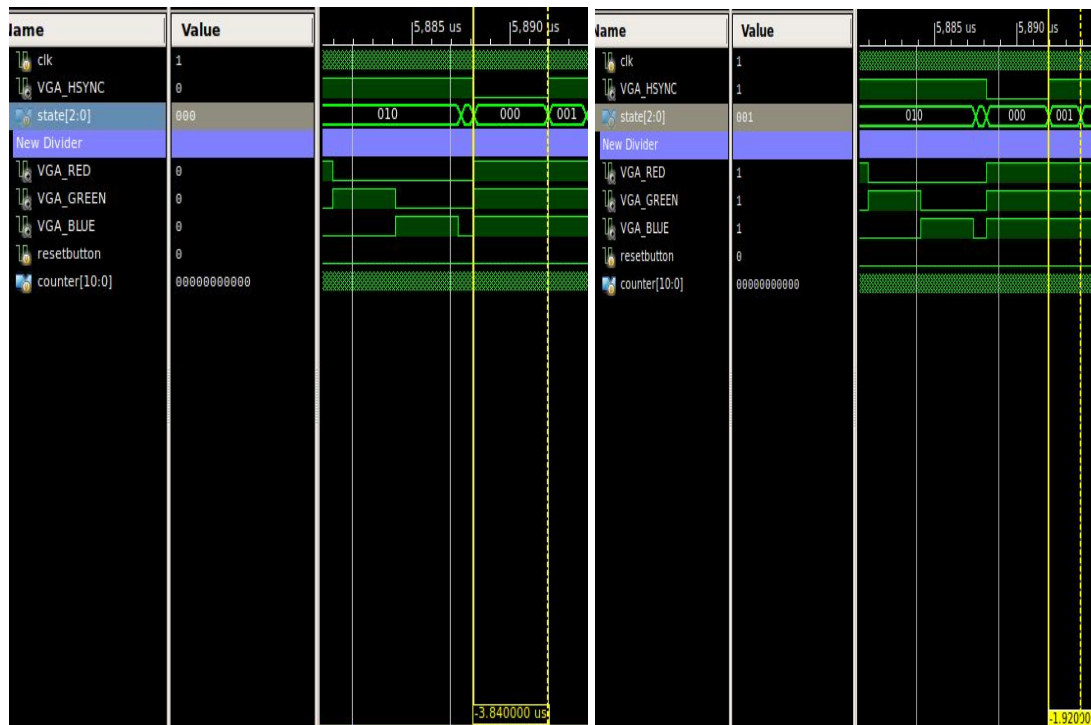
Κατάσταση	Μέγιστη Τιμή Μετρητή
B (PULSE WIDTH)	191
C (BACK PORCH)	95
D (DISPLAY TIME)	1279
E (FRONT PORCH)	31

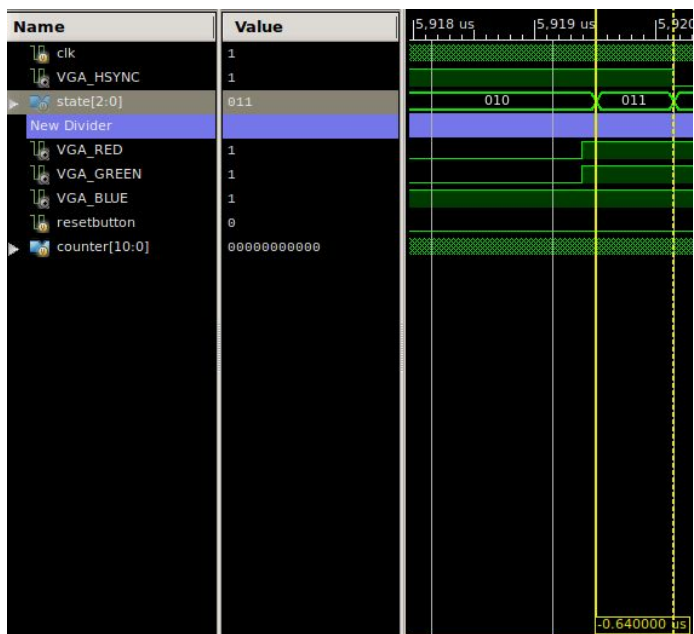
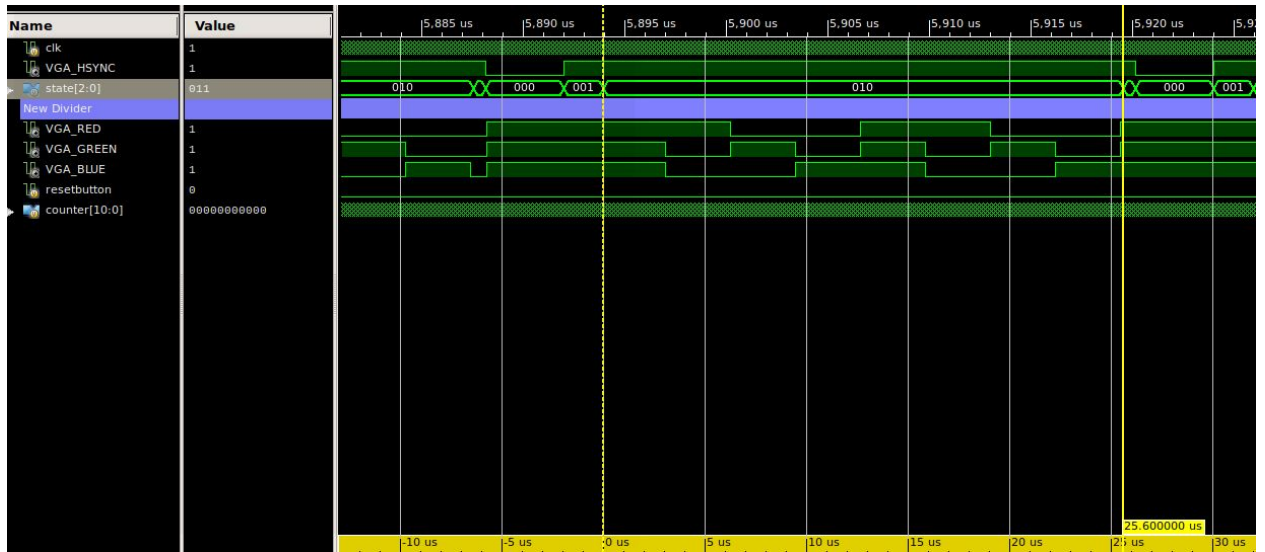
Όσον αφορά την μετακίνηση του address, αρκεί να γίνει μια διαίρεση του αριθμού διευθύνσεων σε κάθε γραμμή με τον χρόνο που είναι

διαθέσιμος να γίνει προβολή η γραμμή. Επομένως $25.6 / 128 = 0.2 \mu\text{sec} = 200 \text{ ns}$. Δηλαδή ακριβώς 10 κύκλοι ρολογιού. Επομένως όταν είμαστε στην κατάσταση του display ή αλλιώς D, ένας επιπλέον counter υπολογίζει 10 κύκλους ρολογιού και αλλάζει την τιμή HPIXEL (οριζόντια διεύθυνση). Επίσης υλοποιήθηκε ένας συγχρονιστής για το reset, όπως και έγινε στις προηγούμενες εργασίες.

Επαλήθευση

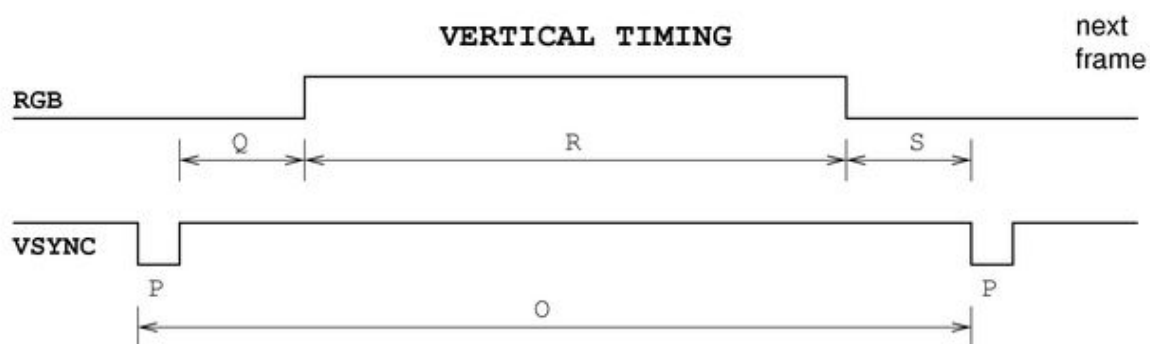
Ελέγχοντας τους χρόνους της κάθε κατάστασης





ΜΕΡΟΣ Γ

Υλοποίηση VSYNC και κάθετου μετρητή Pixel



O	Συνολικός Χρόνος Εικόνας - Total Frame Time	16.67 msec
P	Πλάτος Παλμού VSYNC - VSYNC Pulse Width	64 µsec
Q	Πίσω Όψη - Back Porch	928 µsec
R	Χρόνος Ενεργής Απεικόνισης - Active Video Time	15.36 msec
S	Μπροστινή Όψη - Front Porch	320 µsec

Ομοίως για τον έλεγχο του HSYNC, ο έλεγχος του VSYNC γίνεται μέσω FSM. Με την ίδια λογική, οι μέγιστες τιμές του 20-bit μετρητή έχουν ως εξής:

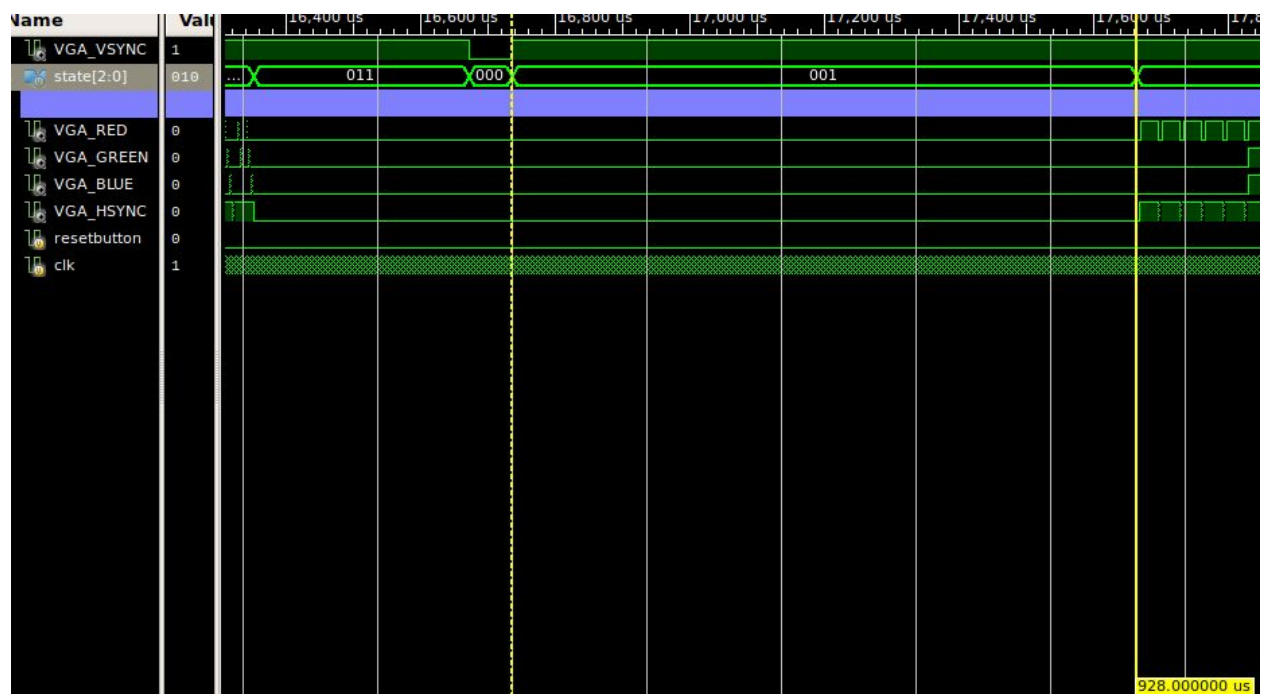
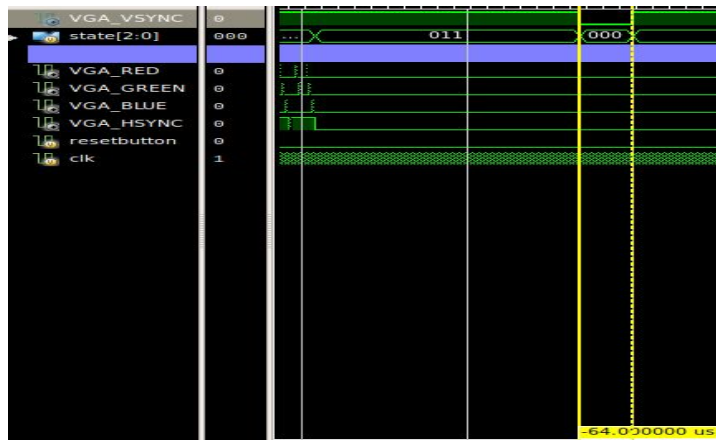
Κατάσταση	Μέγιστη Τιμή Μετρητή
P (PULSE WIDTH)	3199
Q (BACK PORCH)	46399
R (DISPLAY TIME)	767999
S (FRONT PORCH)	15999

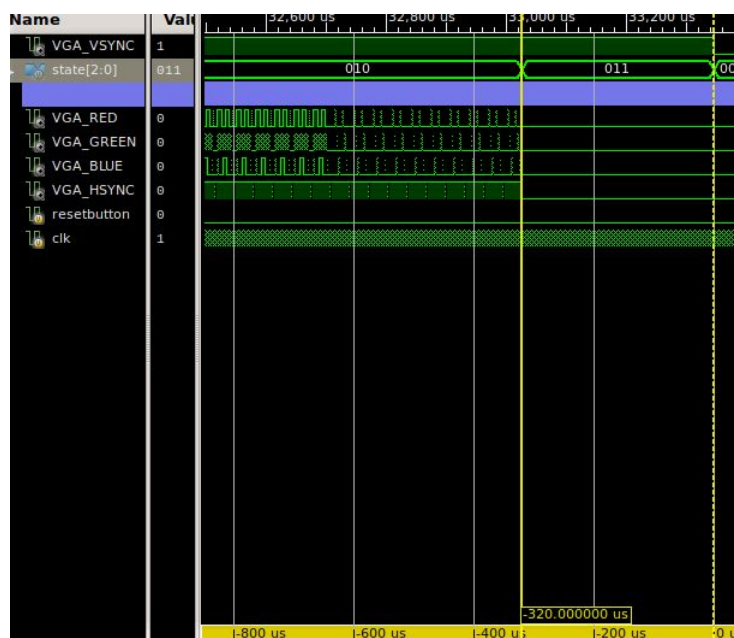
Δεδομένου ότι κάθε κάθετη διεύθυνση στην VRAM αντιστοιχεί σε γραμμές στην οθόνη, θα πρέπει να περιμένουμε την HSYNC να αλλάξει 5 φορές ώστε να αλλάξουμε διεύθυνση. Αυτό γίνεται με την χρήση ενός counter 4-bit που αλλάζει τιμή σε κάθε αρνητική ακμή του HSYNC. Για την ανίχνευση της αρνητικής ακμής, δεδομένου ότι το HSYNC διατηρείται σε κάθε κατάσταση πολλαπλούς κύκλους ρολογιού, γίνεται χρήση flag.

Έπειτα, αφού δεν δούλεψε τόσο καλά το πείραμα (Φωτογραφία 1), πειράχθηκε η FSM του HSYNC, έτσι ώστε να αλλάζει μόνο εφόσον το VSYNC FSM είναι στην κατάσταση display. Αυτό επιτεύχθηκε με ένα σήμα Frame_ON το οποίο επιτρέπει την λειτουργία της FSM, διαφορετικά, οι τιμές εξόδου και κατάστασης είναι μονίμως σταθερές. Το μόνο που κατόρθωσε αυτό το βήμα ήταν να παραμείνει μονίμως σβηστή η οθόνη, επομένως έγινε συνέχεια με αναζήτηση αλλού για λάθη. Μια συμβουλή από τους επιτηρητές του εργαστηρίου ήταν η διατήρηση στο 0 τα χρώματα εξόδου όσο και το HSYNC και VSYNC δεν βρίσκονται σε display state, πράγμα που δεν άναψε την οθόνη. Στο τέλος της χρονικής διάρκειας του εργαστηρίου ανακαλύφθηκε πως ο μετρητής του HSYNC στην αρχή κάθε frame, αντί να μετράει 5 HSYNC, μετρούσε 4 (δεν παραμένει σταθερό στην πρώτη κατάσταση) πράγμα που αύξανε το front porch και έτρωγε από το display (όχι στην fsm όπου γινόταν ο έλεγχος, αλλά στην συσχέτιση HSYNC με VSYNC). Μετά από αυτήν την διόρθωση καταλήξαμε στο αποτέλεσμα της φωτογραφίας 2. Εκεί διακρίνουμε πως η οθόνη ανάβει, δεν τρέμει, όμως “χάνει” κάποιες διευθύνσεις το οποίο διαπιστώνουμε στις “ροκανιές” και σε 2 γραμμές που δεν ξεκινούν σωστά. Δυστυχώς ο χρόνος δεν έφτασε για την διόρθωση και επαλήθευση σε πλακέτα fpga.

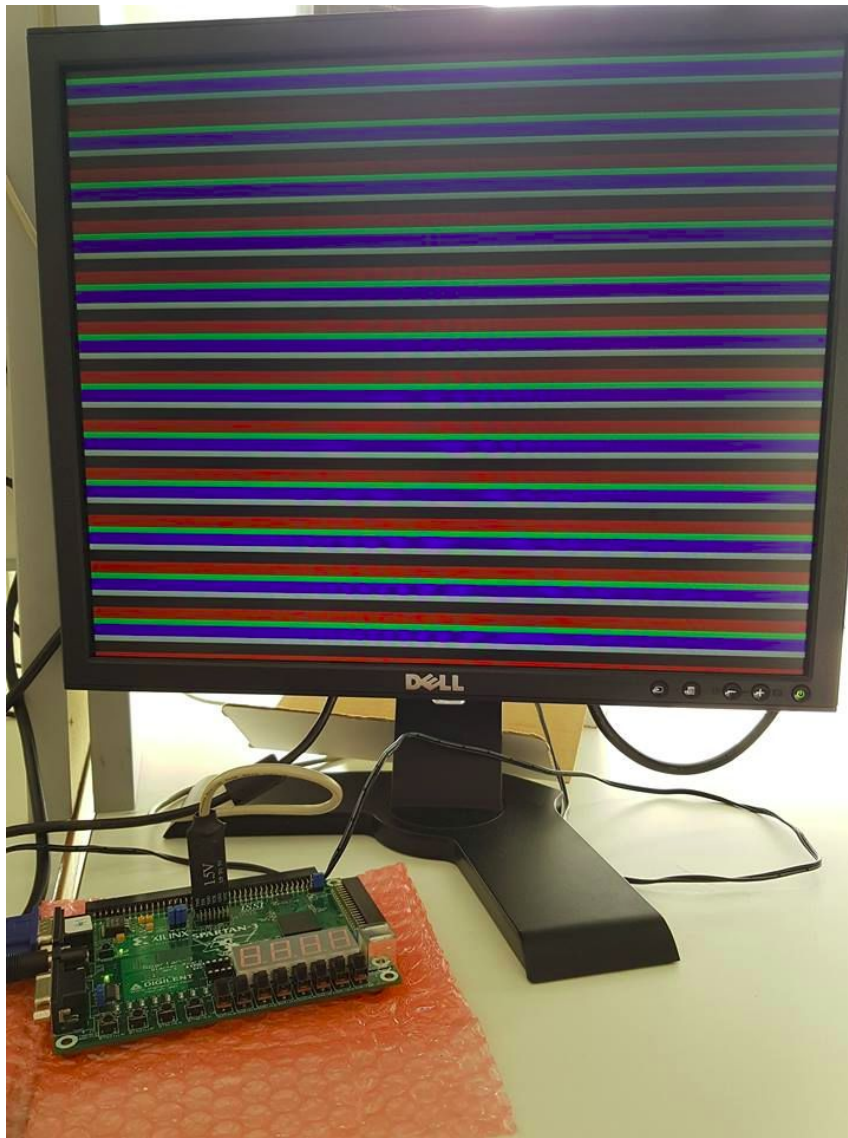
Επαλήθευση

Στην επαλήθευση, επιβεβαιώθηκαν οι χρόνοι που ζητήθηκαν.





Φωτογραφία 1:



Φωτογραφία 2:

