

2023 AIX 경진대회 중간발표

발표 제목

팀 이름

팀원 1, 팀원 2, 팀원 3



Contents

1. 개요 & 팀 소개
2. 팀 소개
3. 제안하는 가속기 구조
4. 진행 상황 및 중간 결과
5. 추후 진행 계획
6. 기타사항

1. 개요

- 개요
 - Object Detection 네트워크 Tiny-YOLOv4의 inference를 위한 AI 가속기 설계
- 목표
 - Quantization을 통한 처리속도 향상 및 buffer size 감소

5. 개요 (example)

■ 추진 일정 및 방법

- 업무 분장: Algorithm 구현 및 평가 / H/W 설계 및 FPGA 구현 / Test Bench 설계 및 검증

| Category | Item | January | | | | February | | | | March | | | | | April | | | |
|-----------------------|-------------------------------|---------|----|----|----|----------|----|----|----|-------|----|----|----|----|-------|----|----|----|
| | | w1 | w2 | w3 | w4 | w1 | w2 | w3 | w4 | w1 | w2 | w3 | w4 | w5 | w1 | w2 | w3 | w4 |
| Study | 가속기 관련 논문 Study | | | | | | | | | | | | | | | | | |
| Algorithm 구현 및 평가 | Quantization 방법 결정 | | | | | | | | | | | | | | | | | |
| | Quantization 구현 | | | | | | | | | | | | | | | | | |
| | Data Reordering | | | | | | | | | | | | | | | | | |
| Test Bench 설계 및 검증 | single/multi layer TB | | | | | | | | | | | | | | | | | |
| | TB update w/ fixed C-model | | | | | | | | | | | | | | | | | |
| H/W 설계 및 FPGA 구현 | Block Diagram 작성 | | | | | | | | | | | | | | | | | |
| | Optimize global buffer | | | | | | | | | | | | | | | | | |
| | RTL 설계 | | | | | | | | | | | | | | | | | |
| | RTL 검증 및 FPGA 최적화 | | | | | | | | | | | | | | | | | |