VLSI设计CQIU

2017年4月17日星期一

目 录

[1. 模板标题1 3](#_Toc1684283382)

[1.1 模板标题2 3](#_Toc1267391699)

[1.1.1 模板标题3 3](#_Toc397310112)

[1.1.1.1 模板标题4 3](#_Toc476051819)

## 模板标题1

见下文

### 模板标题2

见下文

#### 模板标题3

见下文

##### 模板标题4

见下文

###### 模板标题5

见下文

模板标题6

见下文

模板标题6

见下文

模板标题7

见下文



对于WPS来说，可以从”文件”-->”页面设置”-->”文档网络”，然后选择“无网络”

## 引言

什么是VLSI（Very Large Scale Integration，超大规模集成电路） ；

什么是FPGA（Field-Programmable Logic,Array）；

什么是ASIC（Application Specific Integrated Circuit）专用集成电路；

什么是CPLD（Complex Programmable Logic Devices）复杂的可编程逻辑元器件；

什么是SPLD（Simple Programmable Logic Devices）简单的可编程逻辑元器件；

什么是PDFP（Programmable Digital Signal Processor）通用的可编程数字信号处理器；

什么是IP（Intellectual Property）知识产权。

数字IC前端设计与FPGA开发，原则上属于两个职位，但是他们都属于RTL级别的开发，有共同点，也有区别。

区别在于：

第一：FPGA层次直接调用IP core能搞定的事情，但是对于数字IC设计来说，他们更喜欢刨根问底，了解细节，比如异步FIFO是如何做跨时钟域同步的等等，这些特殊之处，正是与FPGA开发显著的区别。

第二：有些数字IC设计公司，在验证阶段，不一定会用FPGA做原型验证，why？因为IC里面用到的标准库与FPGA能提供的可能不一致，毕竟一个是面向代工厂，一个是面向FPGA器件本身。正因为不一致，有时候为了原型验证而去改代码，反而得不偿失。

第三：数字IC设计公司目前开发主流语言还是Verilog、VHDL，还没用到HLS，why？功耗、面积成本的综合考虑，我宁愿开发时间稍微多花一点儿，我也不能用HLS输出的代码就去流片，这个风险太高了，基于这个原因，其实做IC设计的人，骨子里是抵触HLS设计的，心里有这种感觉。

基于这些考虑，本科，研究生微电子专业的我，工作后从事了7年FPGA开发，对自己之前的工作有了一些反思，希望能把自己之前学过的进行阶段整理，对VLSI的设计有更加精准的把握。

## 常用IP

IC设计中常用一些优秀点典型的IP模块来实现基本的功能，这样能加快开发进度和效率，这就是IP复用的思想，这里主要以FPGA角度看常见的IP单元。

### 基本元件IP

见下文

#### D触发器

见下文

#### 存储器Memory

##### RAM随机存储器

RAM，全称：Random Access Memory，随机存取存储器，所谓随机存取，是指，当存储器中的数据被读取或者写入的时候，所需要的时间与这段信息所在的位置或所写入的位置无关，其实他们是等延迟的。

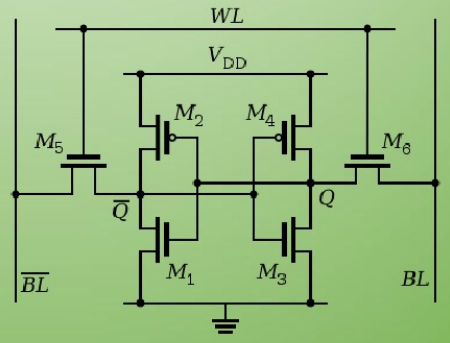
与之相反的存储器就是顺序存储器，典型的顺序存储器就是磁带。当然这里，主讲是RAM存储器。

###### SRAM，静态随机存储器

Mos管组成的6管单元存储器结构

这个图是6管单元组成的1Bit存储器，其中SRAM的值Q,/Q，是存储在了M1，M2，M3，M4这4个MOS管中，这4个管构成了一个交叉耦合反相器（注意反馈握手的思想方法）。另外两个M5，M6管，其实就是控制开关WL，这里称为字线(Word Line)，其实就是地址。

还有一个BL，/BL(Bit Line)，就是要传入的1 bit数据了。

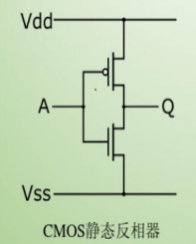


6管单元

思考，为何6管单元能存住数据呢？因为这是一个反馈的机制，我们知道，栅极电荷过一段时间就会跑掉的，如果把栅极和源或者漏电极接到一块，就有比较强的电荷。就变得稳定了。

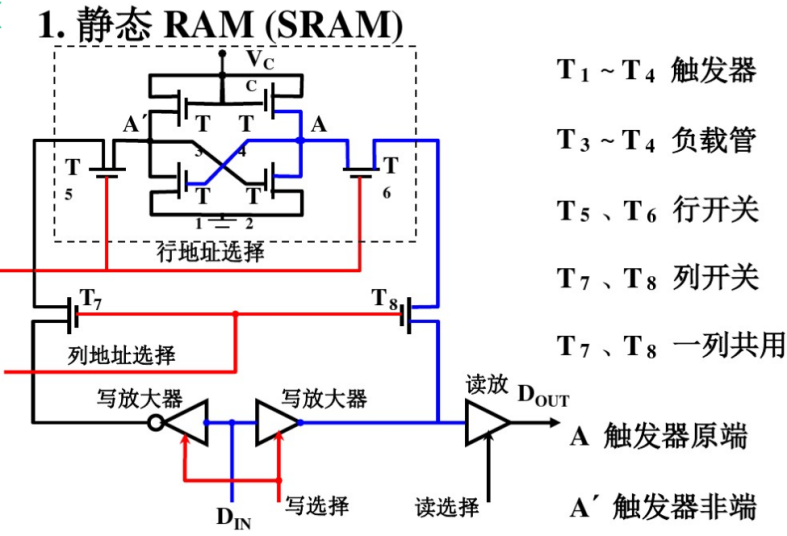
反相器如何做的

是一种电路器件，它的输出是输入的逻辑非，由两个互补的金属氧化物半导体场效应管（MOSFET）组成，源极连接在高电平，是P沟道场效应管，上管，连接在低电平的是N沟道场效应管。输入连接到场效应管的栅极上。输入为0时，P沟道开通，也就是上面开通，则输出就是1。



反相器

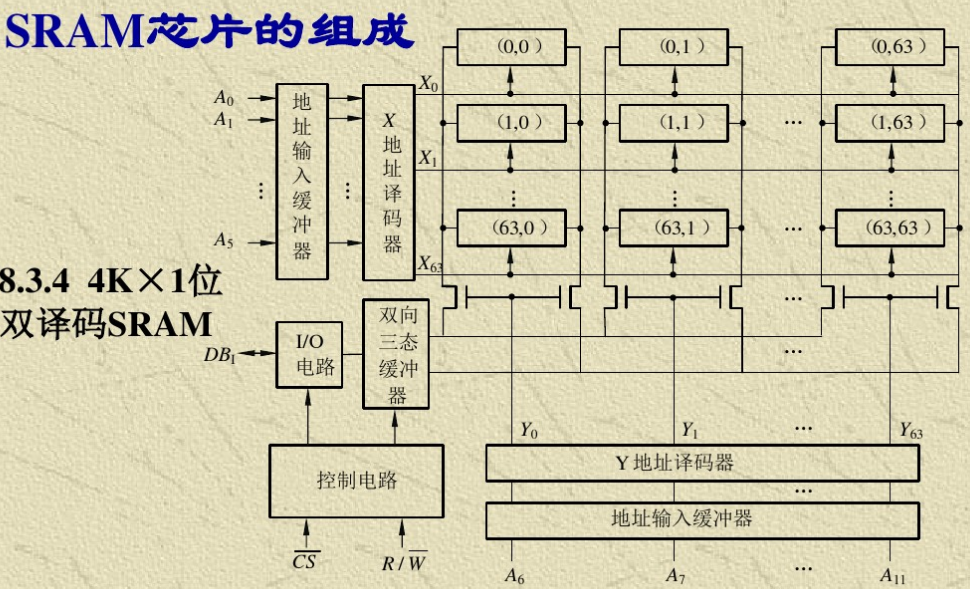
带有行列地址控制的单BIT SRAM



再增加2个管，做成了8管单元，就能控制行列选择了，输入Din接了一个放大器（应该就是反相器），放大器的输出驱动力强，可以改变之前电平的存储方式。而且不会对Din造成影响。

这里和之前的相比，多了地址选择器，然后多了写选择，和读选择。

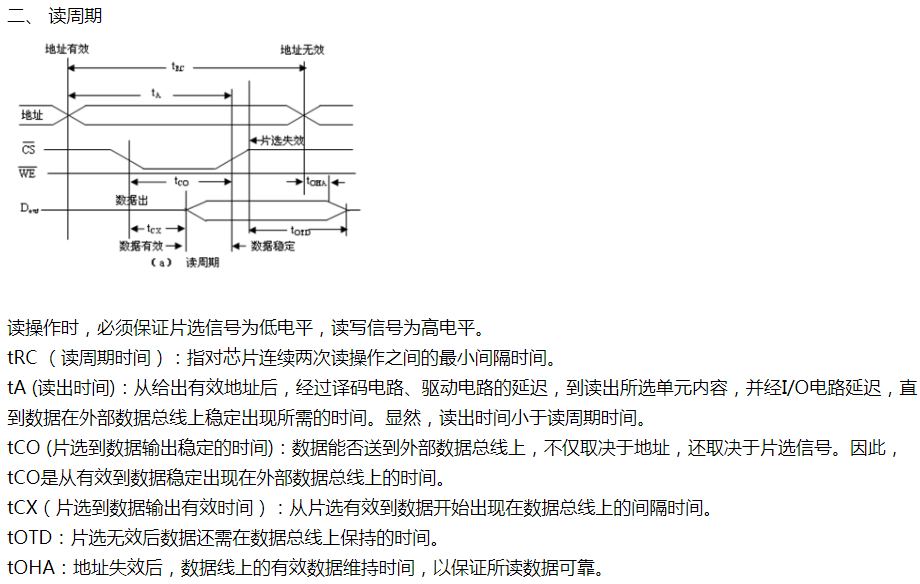
单Bit的4KSRAM

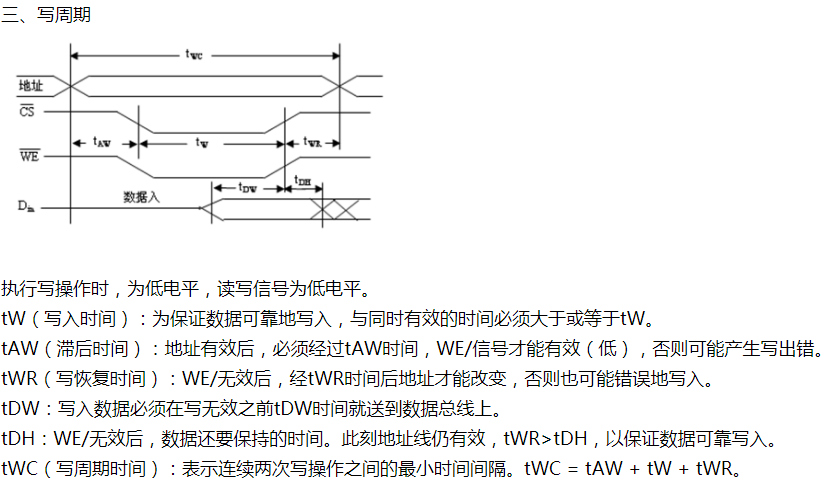


输入的地址从A0到A11，地址经过译码器后，选中唯一的一个Bit位，然后再对它进行读写即可。这就是单Bit RAM变成存储阵列后的样子，多Bit的话，也是一样的。

SRAM的读写时序

以Intel 2114为例子





###### DRAM，动态随机存储器

见下文

###### 如何设计

#### PLL

见下文

#### DSP

介绍一下DSP的结构，如何做的乘法器等等。

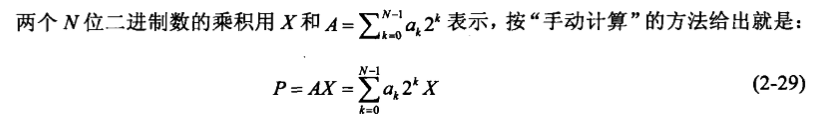
##### 常见乘法器结构

结构描述如下，乘法器的思路就是移位再相加，

###### 串串乘法器

对于输入位宽是NxN的乘法器，算法的时间复杂度是NxN，直接用与门和加法器来搭建即可。

###### 串并乘法器

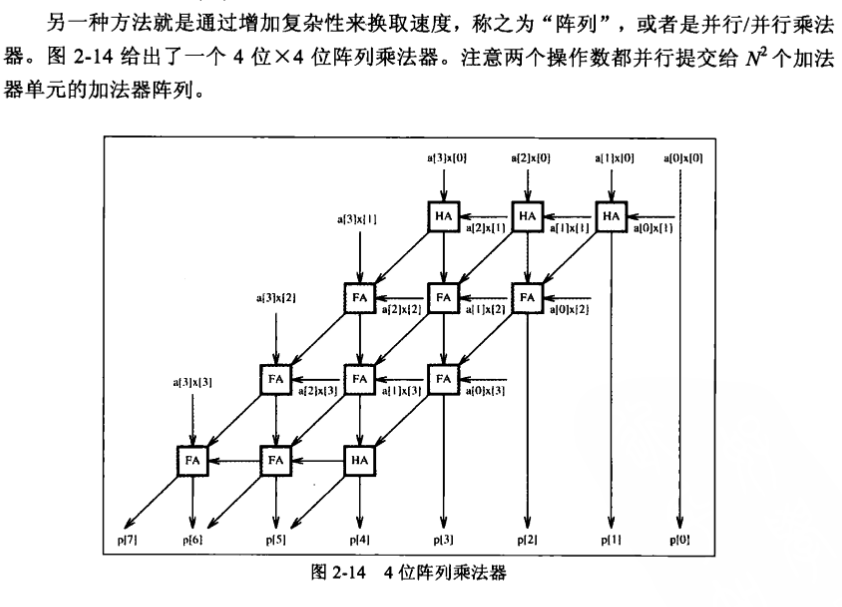


思路是，一个并行X，不变，一个A，把它按照位进行拆分。这个就是移位相加的方式。

时间复杂度是N，需要N个周期完成乘法。

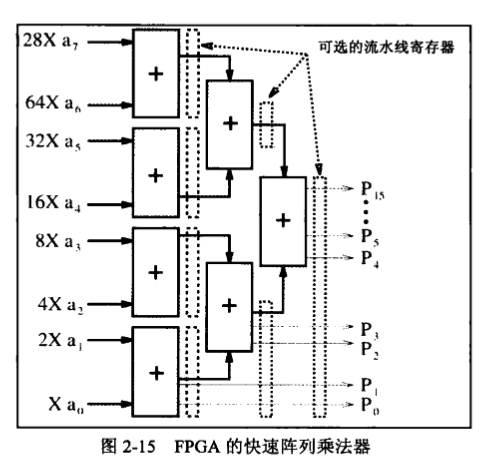
###### 并并乘法器

也叫矩阵乘法器，一拍搞定输出。



这个结构需要保证进位计算的时间和累加和的时间相同，才能最大效率发挥他的价值。FPGA不能满足这个条件，另辟他法。

###### 二叉树乘法器



两个两个组合的方式，流水线级数是log2(N)，这个就是之前介绍的那种流水线加法器的思路。

###### Booth乘法器（ASIC适用）

###### Wallace乘法器（ASIC适用）

用在FPGA领域不多。

###### 乘法器的模块拆分

2N x 2N的，需要4个NxN和 3次加法 。

#### 浮点数IP

浮点数=符号位+指数位+尾数位

#### 多选1数据选择器

从2选1数据选择器入手，介绍多选1数据选择器以及占用的资源情况介绍。

### 标准IP

这里的IP主要指能实现一定稍微复杂点的功能的IP。

#### DDR控制器

见下文

#### PCIE控制器

见下文

#### 1000M以太网控制器

见下文

#### 10000M以太网控制器

见下文

## 典型电路设计

这里讲一些经典电路，比如分频器、复位电路，除法器等等，复习一下大学的数字电路设计中，卡诺图，状态图化简等等知识。

### 存储器类相关电路设计

注意问题：带有时钟的RAM电路，电路结构啥样的，双口RAM电路结构，

#### 设计异步FIFO电路

见下文

#### 如何利用好单口RAM把它变成双口RAM来使用？

思路是，利用时钟的上升沿和下降沿，比如上升边沿到来时读，下降沿到来时，写。

## 时序分析篇

### FPGA时序分析基本知识

XDC时序约束文件，是xilinx公司的vivado工具使用的时序约束文件，本质是Tcl脚本，和他们之前的ISE中udf不同，忘了udf吧。

基础语法来源于业界统一的约束规范SDC（最早由Synopsys公司提出，故名Synopsys Design Constraints）。

等价于XDC和SDC类似即可。

### 时序分析基本概念

先讲时序分析基本概念，然后讲几种约束方法。

#### 触发沿Launch和所存沿

触发沿Launch Edge，源端寄存器触发数据边沿。

锁存沿Latch edge，目的端寄存器锁存数据的边沿。

注意，锁存沿Latch edge-Launch Edge为一个时钟周期T

#### 建立时间Tsu

建立时间(Setup Time)：在时钟有效沿到来前，数据必须保持稳定的最小时间(图3-1中的Tsu)，通常<1ns

#### 保持时间Th

保持时间(Hold Time)：在时钟有效沿到来后，数据必须保持稳定的最小时间(图3-1中的Th)，通常<1ns

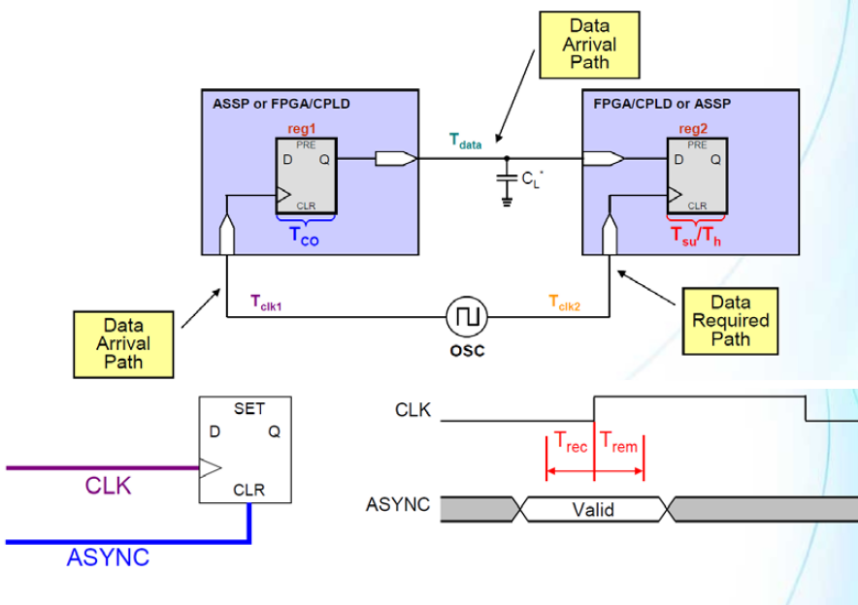


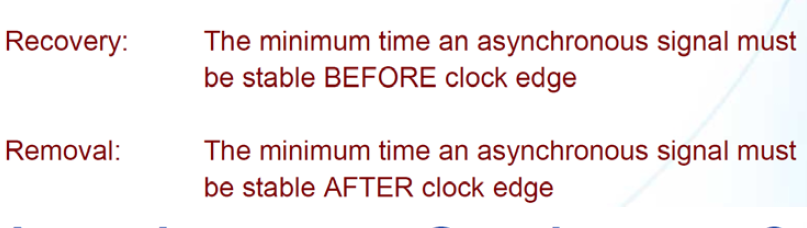
建立时间和保持时间

#### 异步信号恢复时间Trec和移除时间Trem

恢复时间Trecovery，相当于建立时间，

移除时间Tremoval，相当于保持时间。





Altera公司这么叫的，其他的没怎么听说过。

#### 走线延迟Tclk1

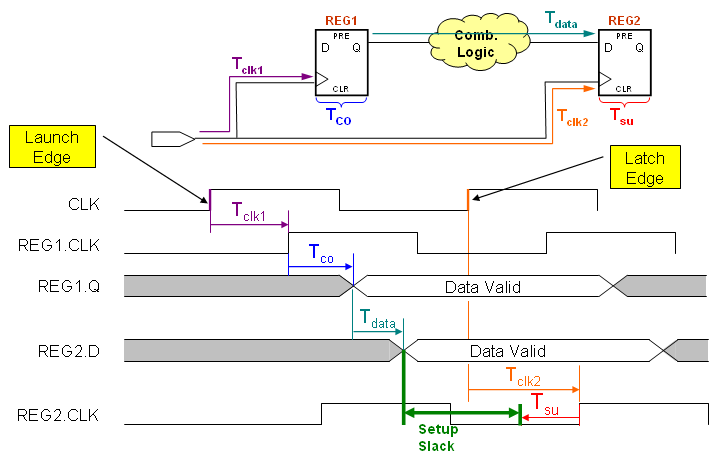
Route Delay Time 指：布局布线后走线所带来的延迟，比如下图中Tclk1.

#### 组合逻辑延迟Tdata

Combination Logical Delay：指电路中组合逻辑的存在所带来的延迟。Tdata。

#### 触发器的输出延迟Tco

指的是触发器的输出数据与有效时钟沿之间的延迟值。



时序分析基本概念图，分析建立时间

#### 数据到达时间TData Arrival Time

指的是数据到达目的寄存器D端的时间

**TData Arrival Time = Tclk1+ Tco+ Tdata**

#### 时钟到达时间TClock Arrival Time

指的是时钟目的寄存器时钟输入端的时间。

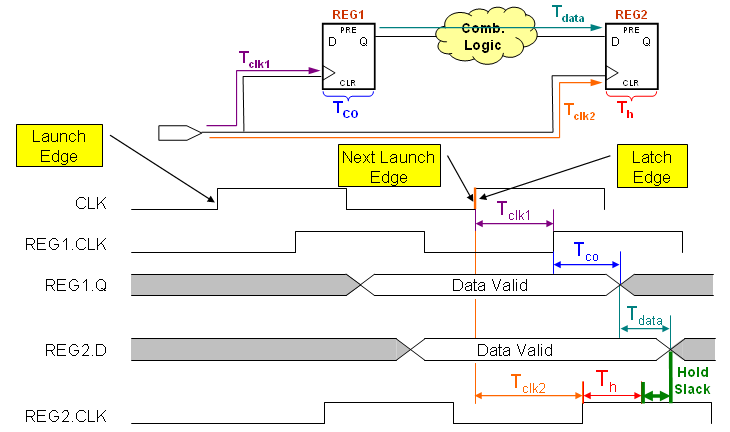
**TClock Arrival Time = 锁存沿时刻（latch Time）+Tclk2**

#### 数据要求时间TData required time

指的是Latch时钟沿到来后，将寄存器的建立时间，保持时间考虑进去，要求数据到达目的地的最小时间。

数据要求的建立时间Td\_su = **TClock Arrival Time - Tsu**

数据要求的保持时间Td\_h = **TClock Arrival Time + Th**



时序分析基本概念图，分析保持时间

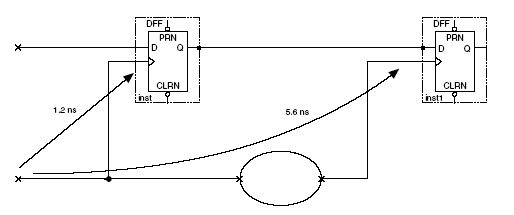
#### 时钟偏斜Tskew

Tskew = **Tclk2- Tclk1**

时钟源的偏差，

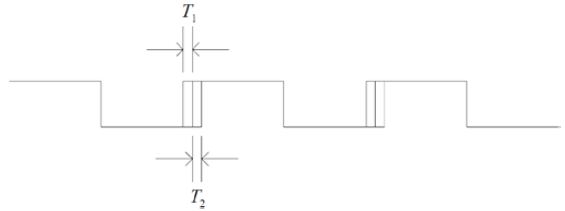
情况1：同一个PLL所输出的不同时钟信号之间的偏斜。

情况2：时钟分配网络的偏斜。



#### 时钟抖动Tjitter

指的是时钟边沿的输出位置和理想情况存在一定的偏差。



时钟信号边沿变化的不确定时间称之为时钟抖动。严格说，建立时间应该是Tsu + T1，而保持时间应该是Th + T2。

#### 时序裕量Tslack

指的是实际所需的时间和设计所需时间的差值，表示设计是否满足时序的一个称谓，>0时就是通过了。

##### 建立时间裕量

建立时间的裕量 **Tsu slack =（数据要求的到达时间）-（数据到达时间）**

**Td\_su** - **TData Arrival Time**

**= TClock Arrival Time - Tsu - TData Arrival Time**

**= 锁存沿时刻（latch Time）+Tclk2- Tsu - TData Arrival Time**

**= Tclk + Tclk2- Tsu - TData Arrival Time**

**Tsu slack = Tclk + Tclk2- Tsu - Tclk1 - Tco - Tdata**

##### 建立时间裕量与生活中的联系

让你8点开会，结果你7:55到了，那么裕量就是5分钟。

8点就是数据要求到达时间

7:55就是数据到达时间。

##### 保持时间裕量与生活中联系

让你8点半散会，结果你8：35走了，

8:30就是“数据要求的保持时间Td\_h”**=锁存沿时刻（latch Time）+Tclk2+ Th**

8:35就是，新的数据到达时间，**TData Arrival Time = Tclk1+ Tco+ Tdata**

保持时间裕量：**Th slack = Tclk1+ Tco+ Tdata-（Tclk2+ Th）= Tco+ Tdata-Th- Tskew >= 0**

##### 小总结

最小时钟周期**Tclk**  = **Tco+Tdata -Tskew +Tsu**

保持时间裕量**Th slack = Tco +Tdata -Tskew -Th >=0**

**特别注意，这里的Tco ， Tdata ， Tsu还有Th，都是非负数哦。**

这2个公式非常类似，区别在于最小时钟周期+T**su，**保持时间裕量-**Th**

从公式可以看出，如果保持时间裕量不够，那么一定是Tskew过大导致的结果，因此保持时间要是出现问题，就只能调整**Tskew了，**调整它把，让他变小，保持时间就好过了。

**Tskew** = **Tclk2- Tclk1 。这个意思是目的端时钟走线延迟-远端时钟的走线延迟。**

如果调整，尽量让他们等长把。

那么也就是全局时钟的概念。

##### Tskew如何设置

要使目的寄存器正确的采样到源端寄存器过来的数据，则Tskew ~0是最好的，因为Tskew>0时，保持时间的裕量变小；Tskew<0，建立时间的裕量变小。

##### 如何保证保持时间裕量

为保证到芯片的各个角落的延时尽量相等，时钟分配树要走到芯片的中间，再向芯片的四周分布。所以时钟源端到触发器的路径长，延迟大，但是没关系，只要保证到达各个寄存器的输入端等长就好了。保证SKew很小，就能保证可以上很高的主频了。

全局时钟网络的驱动能力特别强，主要是防止芯片内部的信号对时钟信号产生影响，这样就能保证时钟信号引入的抖动非常小。

#### 时钟周期与最高频率

当建立时间裕量为0时，能得到最小时钟周期，也就是最高频率

**Tclk + Tclk2- Tsu - Tclk1 - Tco - Tdata >= 0**

**Tclk >= Tsu + Tclk1 + Tco +Tdata - Tclk2 = Tco + Tdata + Tsu - Tskew**



### 时序约束

分为三大类

#### 时钟约束

##### 时序分析策略

我们希望器件在各种极限情况下，都能满足建立时间和保持时间要求，因此考虑如下两种极端模型，以Altera芯片时序模型为例，65nm。

（1）Slow Corner模型通过假设最大的环境温度（operating temperature）和VCCmin来模拟一条信号路径可能的最慢的情况。

（2）Fast Corner模型通过假设最小的环境温度（operating temperature）和VCCmin来模拟一条信号路径可能的最快的情况。这两个模型的意义在于，我们可以通过slow corner模型来保证建立时间的时序，通过fast corner来保证保持时间的时序（对于源同步来说必须使用）。由于一般情况下设计以建立时间违规为主，所以Timequest默认使用slow corner。

温度升高，信号传递时间变慢。

##### 全局时钟约束

根据建立时间和保持时间的裕量关系：

**Tsu slack = Tclk + Tclk2- Tsu - Tclk1 - Tco - Tdata**

**Th slack = Tco +Tdata -Tskew -Th >=0**

**为了满足建立时间和保持时间，Tskew为0最好。**

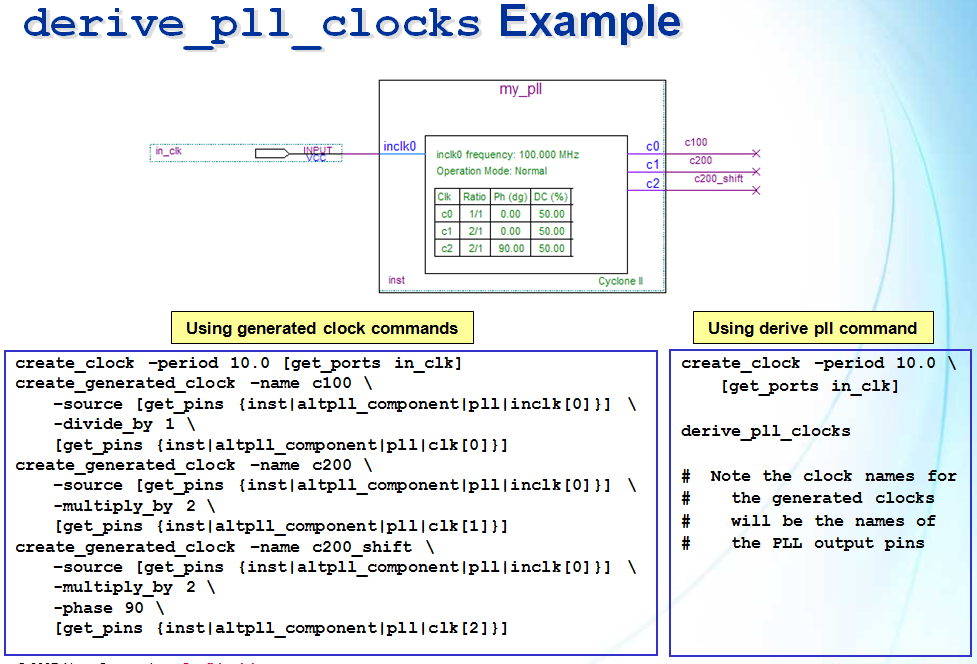
**分析原因：**

要使目的寄存器正确的采样到源端寄存器过来的数据，则Tskew ~0是最好的，因为Tskew>0时，保持时间的L；Tskew<0，建立时间的裕量变小。

为了保证到芯片的各个角落的延时尽量相等，时钟分配树首先是走到芯片的中间，再向芯片的四周分布，所以从时钟的源端到所驱动的触发器走过的路径比较长，延时比较大，但是到各个时序元件(触发器)时钟输入端等长，保证时钟偏斜(SKew)很小；全局时钟网络具有很强的驱动能力，而且在芯片设计的时候对时钟网络做了保护，尽量防止芯片内部的信号对时钟信号质量有影响，这样可以保证时钟信号引入的抖动非常小。

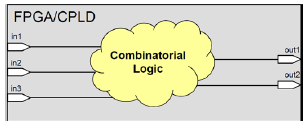
##### PLL的相关时钟约束（Altera）

###### derive\_pll\_clocks



#### I/O约束

##### set\_max\_delay/set\_min\_delay约束



Set Max Delay和Set Min Delay用来指定两点间的最大延迟和最小延迟。这个是寄存器内部的延迟。

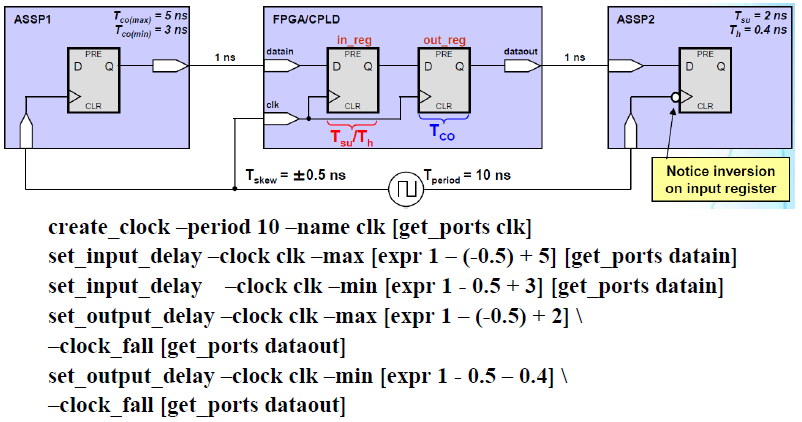
##### set\_input\_delay约束

具体参见Input Delay的动画。

##### set\_output\_delay约束

具体参见Output Delay的动画。

##### I/O约束例题1



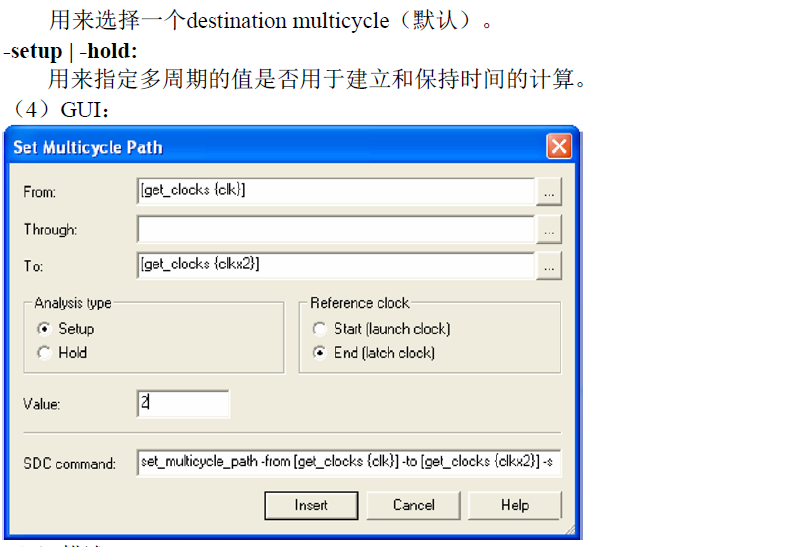
#### 时序例外约束

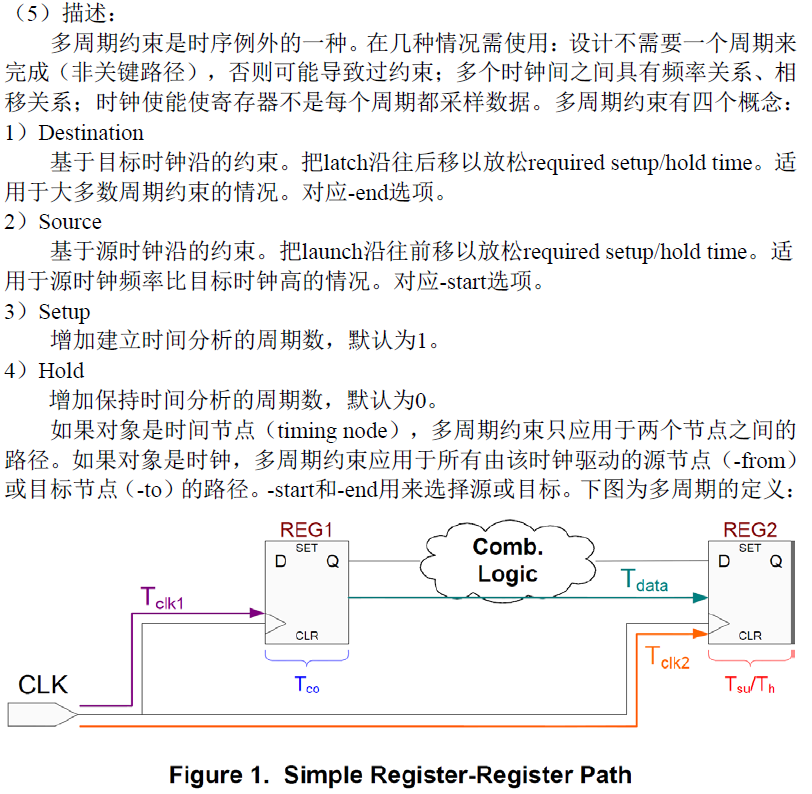
##### set\_multicycle\_path约束

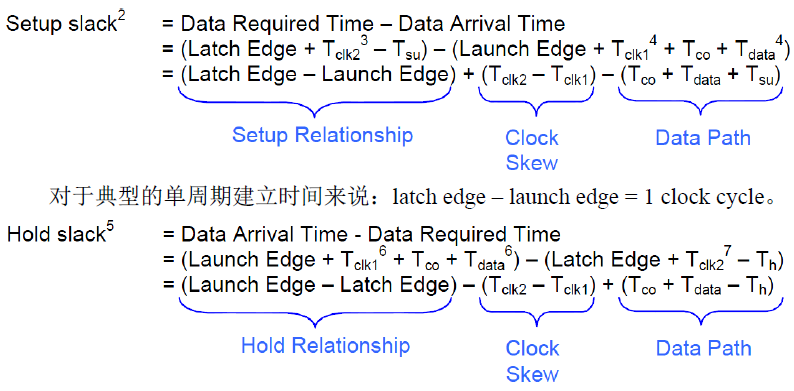
多时钟周期路径的约束，实际上可以理解为单时钟周期约束的扩展，这里资料参见《通向FPGA之路---七天玩转Altera时序篇V1.0》

###### 命令参数理解









此处注意，这个地方，应该是+号。对于典型的单周期保持时间来说：launch edge – latch edge = 0 clock cycle。注，setup和hold两个slack检查所使用的launch和latch不是同一个，参考定义： 对于建立时间检查，每一个目标寄存器的latch edge都寻找一个之前的离他最近的源寄存器的launch edge。即：setup check = current latch edge – closest previous launch edge 对于保持时间检查，Timequest有两种hold checks。第一次保持时间检查用于确定当前发射沿的数据不会被前一个锁存沿捕获。第二个保持时间检查用于确定下一个发射沿的数据不会被当前锁存沿捕获。

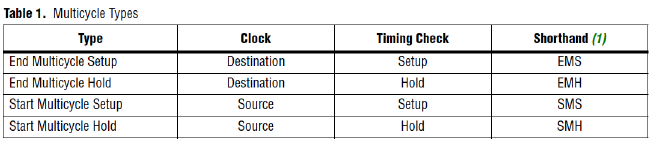
即：hold check 1 = current launch edge – previous latch edge

hold check 2 = next launch edge –current latch edge

到此，我们可以总结如下四种Multicycle Types。

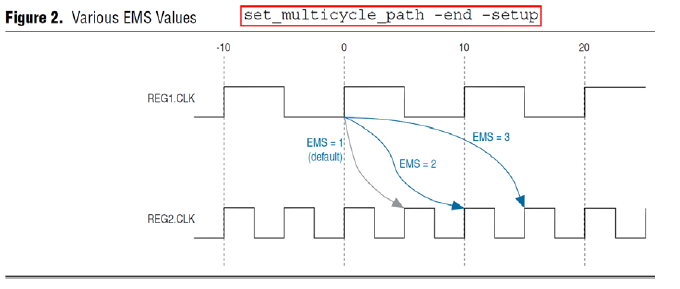
这个问题在多周期路径中，保持时间比较难搞了，要保证每个沿都要满足保持时间。分成4种情况。

时钟有快有慢，需要考虑建立时间和保持时间，以及源时钟，目的时钟两种情况，因此共有4个情况。

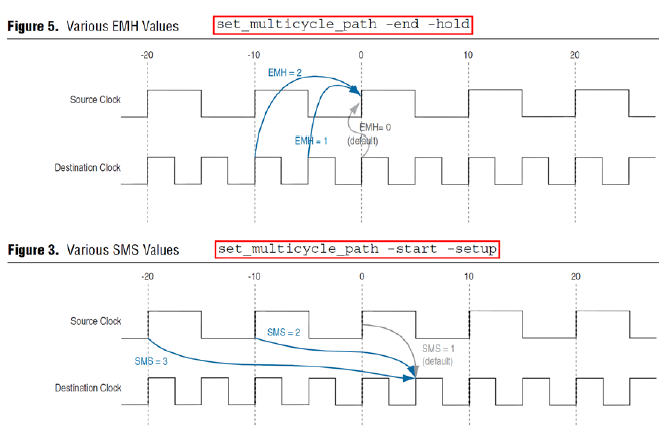


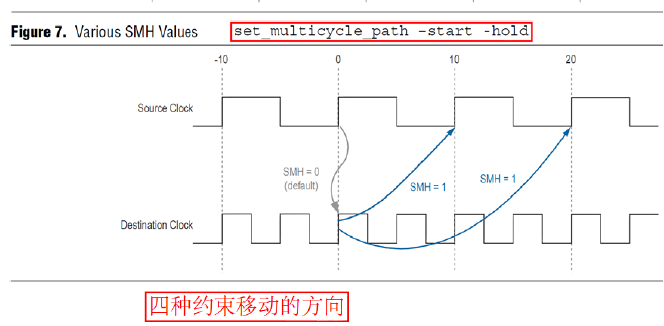
注意命名方式，E表示End，M表示Multicycle，S表示Setup

S表示Start，M表示Multicycle，H表示Hold



这个图说的是EMS，表示要看End clock的个数，S表示建立时间。





###### 小总结

对于基本的时序模型来说，建立时钟数是1，保持是0.

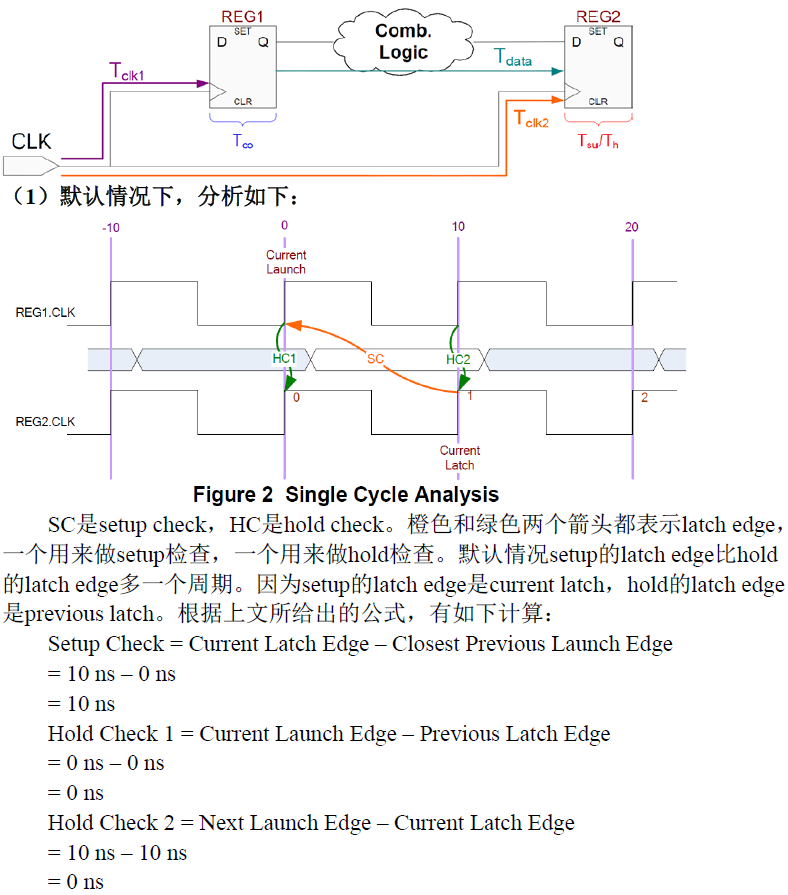
set\_multicycle\_path -setup 1 -from A -to B

set\_multicycle\_path -hold 0 -from A -to B

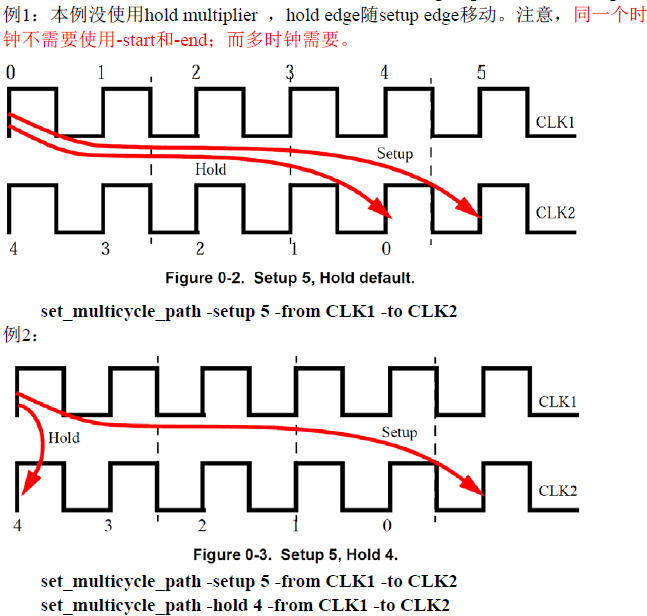
而且对于单时钟域来说，保持时间的时钟个数是建立时间的-1.

###### 单时钟域set\_multicycle\_path

考虑单时钟的情况。

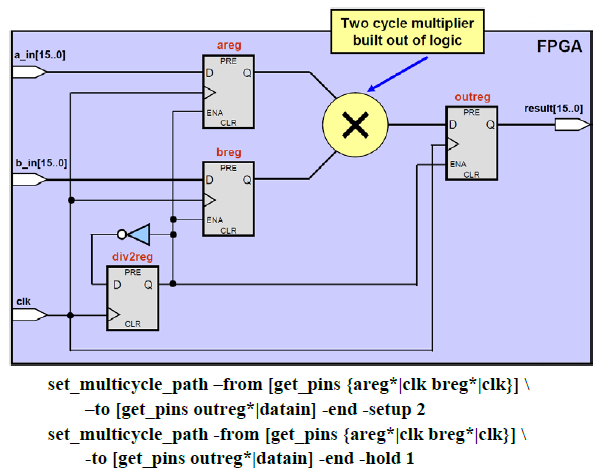


###### 单时钟域实例1



###### 单时钟域实例2

乘法器需要两个时钟来计算结果，同时本设计为单时钟的多周期约束。不需要-start和-end的指定。



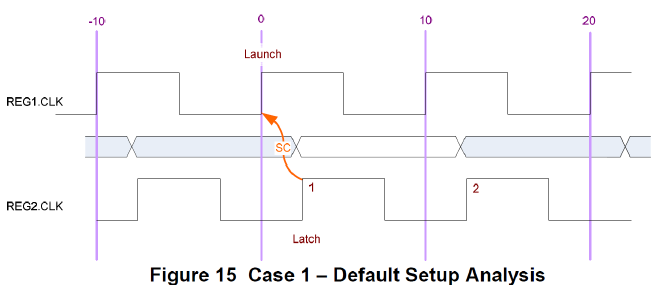
###### 多时钟域set\_multicycle\_path

多周期下多时钟域进行分析时，情况较多，分为5类根据Start和End频率不同按照如下方式进行划分。

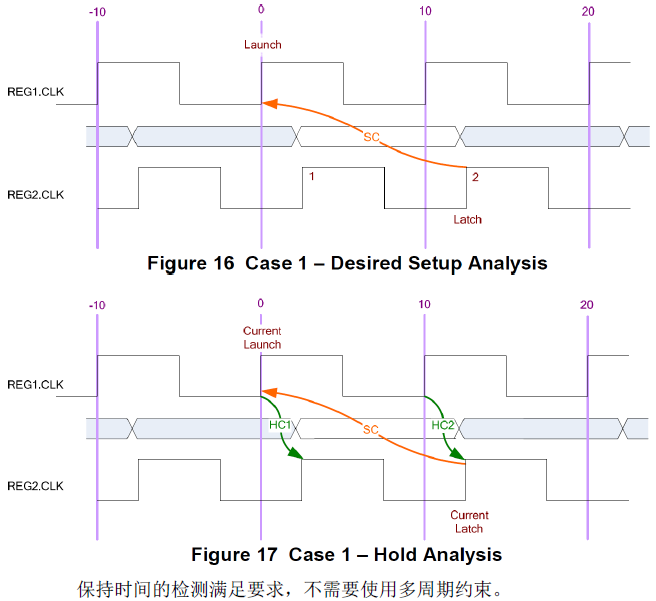
情况1

Freq(dst) = Freq(src) + Offset

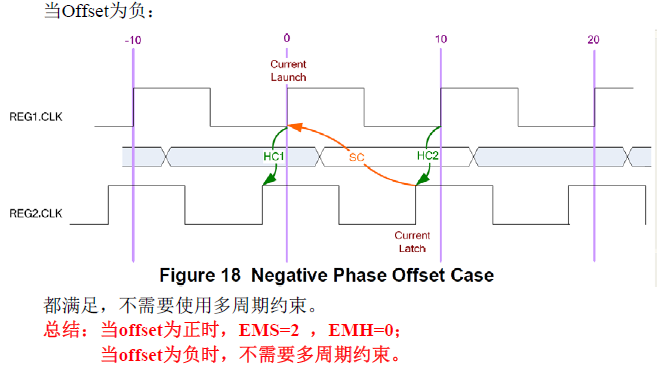
当Offset大于0时，



见下文

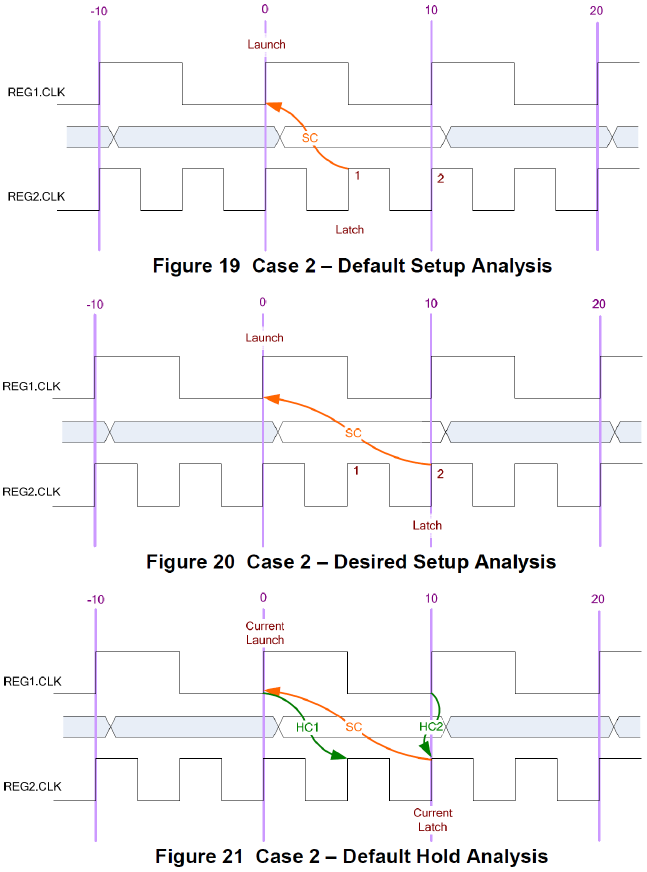


当Offset小于0时，目的慢，源快点



情况2

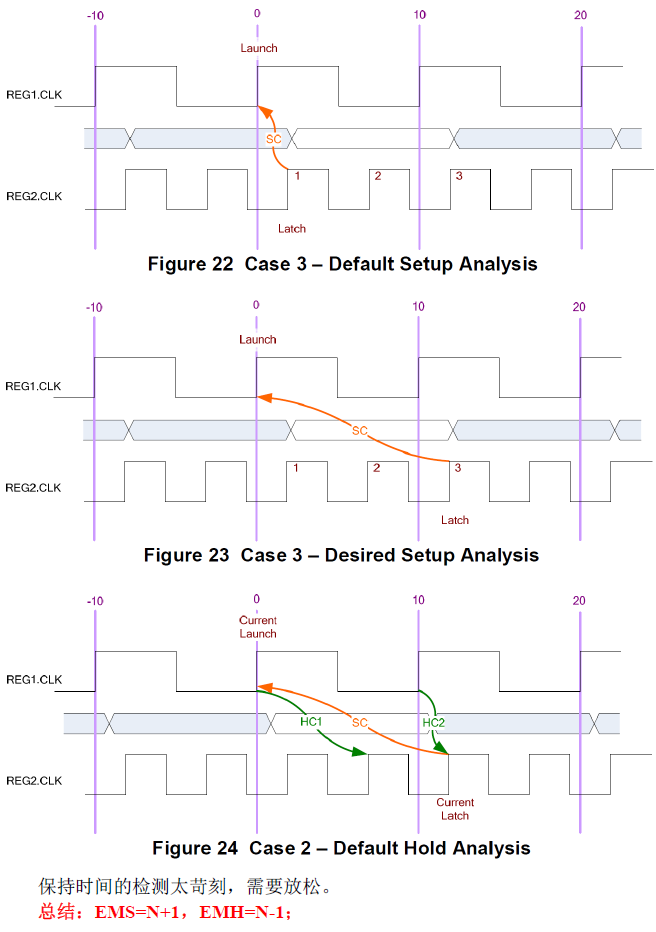
Freq(dst) = N\*Freq(src) 时，N>1，恰好为整数倍



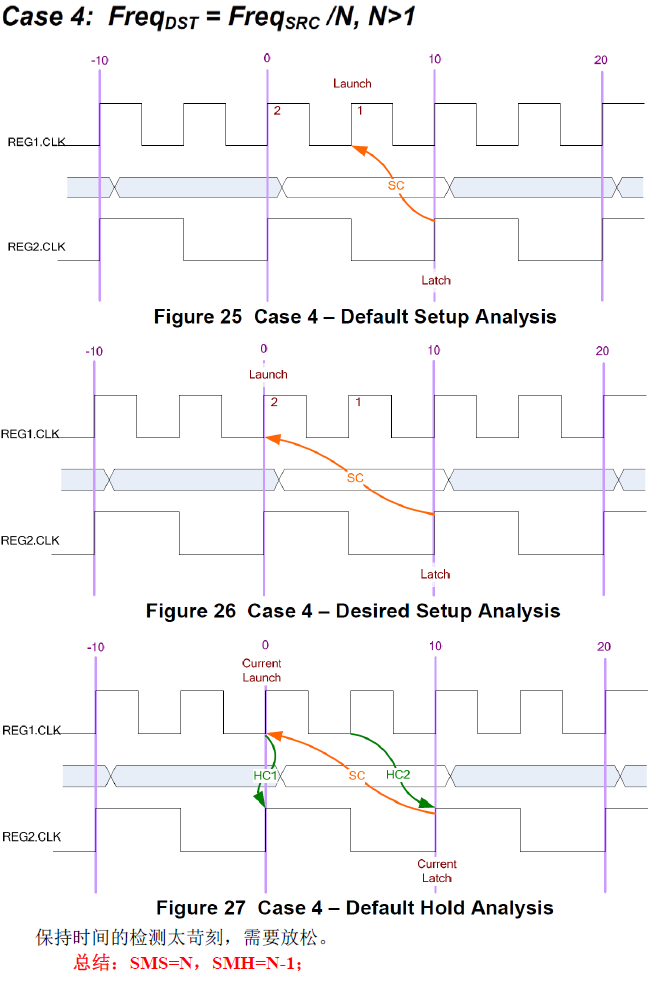


情况3

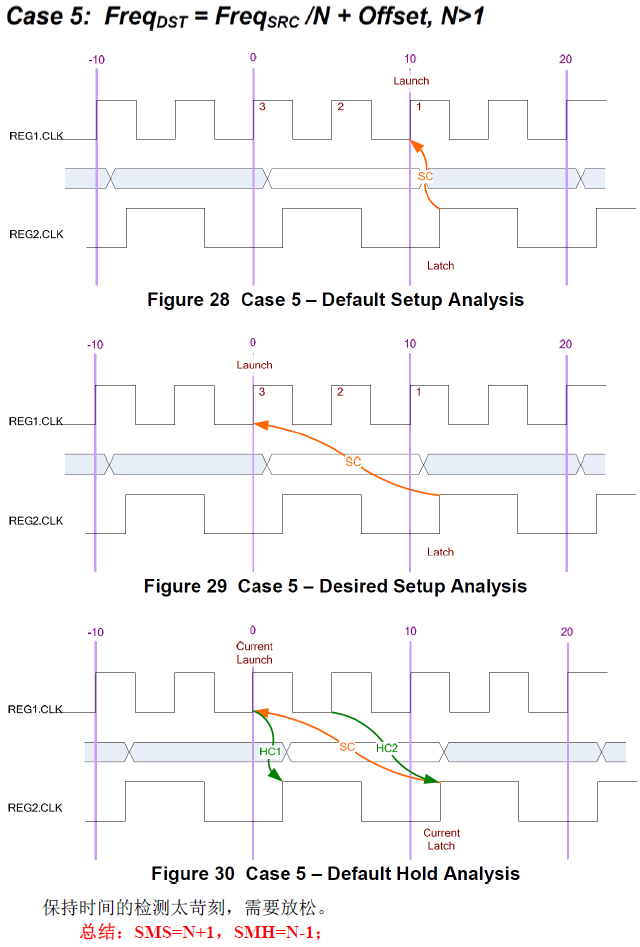
Freq(dst) = N\*Freq(src)+offset 时，N>1，恰好为整数倍



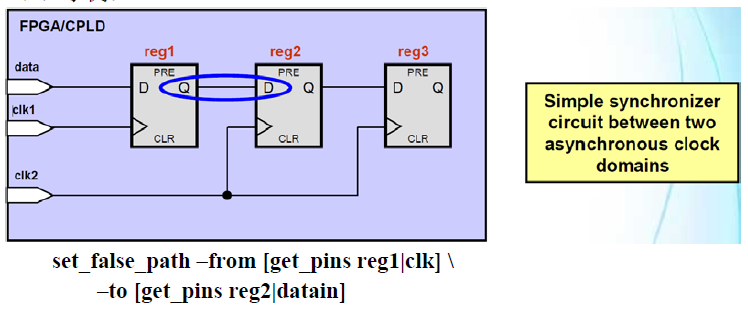
情况4



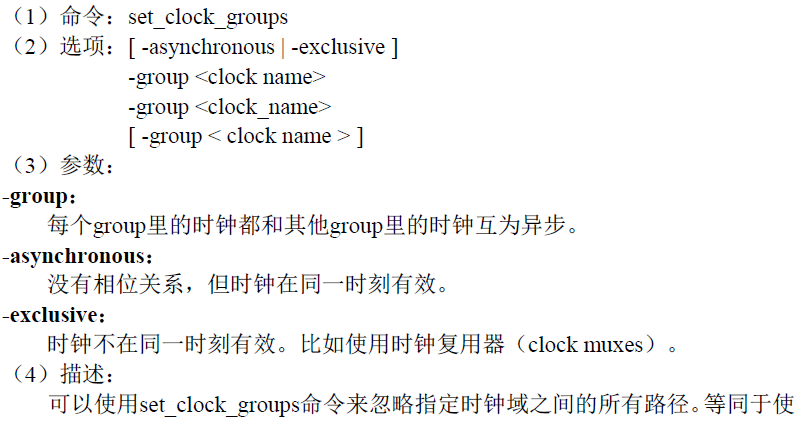
情况5



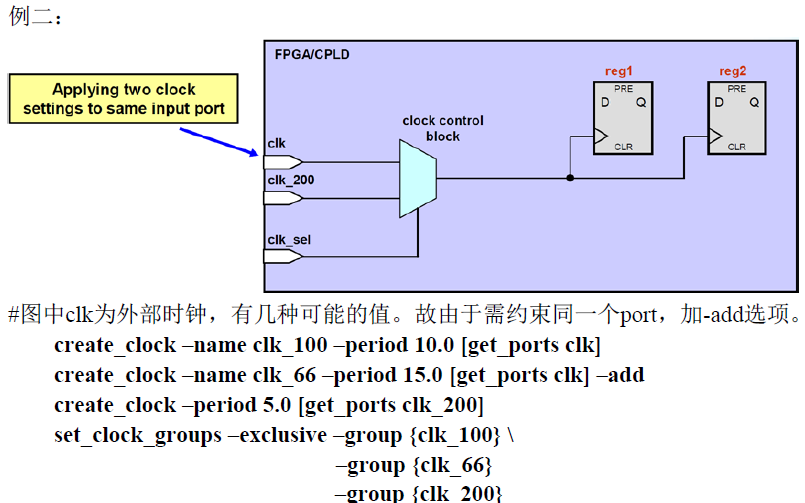
##### set\_false\_path约束



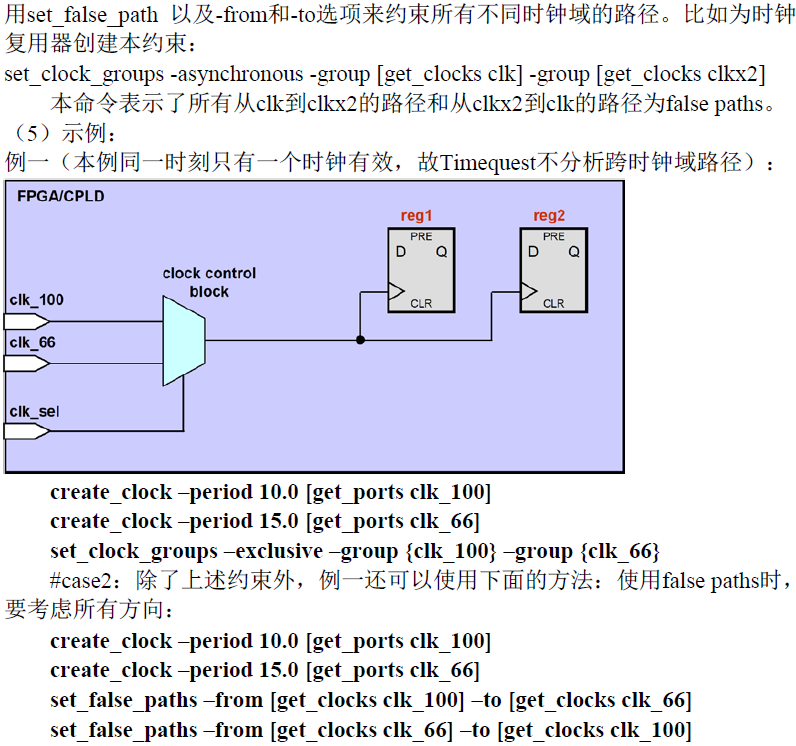
##### set\_clock\_groups约束



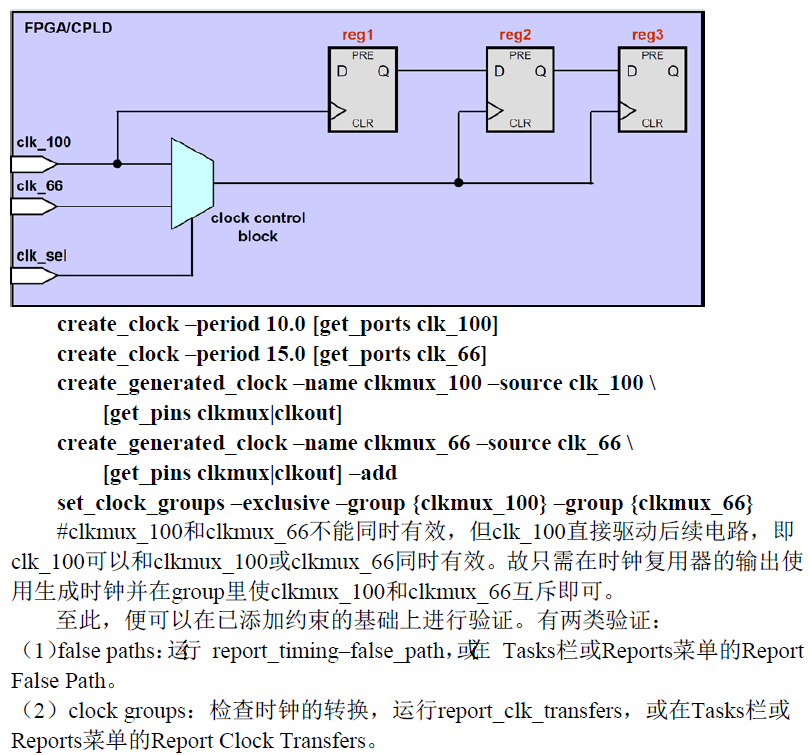
##### 时序例外例题1



##### 时序例外例题2



##### 时序例外例题3



### 时序约束之外常用法宝

#### FPGA方面

##### 增强时钟驱动能力

对时钟使用，比如Xilinx器件，使用ODDR，增强时钟驱动性能。或者包括时钟反向输出等等。 Altera的连接专用时钟管脚，再上PLL，提升时钟驱动能力。

##### I/O约束上FastIO或IOB

这块也叫Tsu和Tco的约束。

IO的约束方面，Altera芯片，上FAST IO，使得FPGA的延迟路径固定。Xilinx芯片，可以考虑上IOB，使得外部pin脚过来后，直接上IOB即可。

##### 固定路径Post-fit Netlist增量编译

引入Post-fit Netlist的过程是从一次成功的时序收敛结果开始，把特定的一组逻辑（设计分区）在FPGA上实现的布局位置和布线结果固定下来，保证这一布局布线结果可以在新的编译中重现，相应地，这一组逻辑的时序收敛结果也就得到了保证。这个部分保留上一次编译结果的过程就是增量编译，保留的网表类型和保留的程度都可以设置，从而获得相应的保留力度和优化效果。由于有了EDA工具的有力支持，虽然是精确到门级的细粒度约束，设计者只须进行一系列设置操作即可，不需要关心布局和布线的具体信息。由于精确到门级的约束内容过于繁多，在qsf文件中保存不下，得到保留的网表可以以Partial Netlist的形式输出到一个单独的文件qxp中，配合qsf文件中的粗略配置信息一起完成增量编译。

##### 固定区域LogicLock

LogicLock是在FPGA器件底层进行的布局约束。LogicLock的约束是粗粒度的，只规定设计顶层模块或子模块可以调整的布局位置和大小（LogicLock域）。

成功的LogicLock需要设计者对可能的时序收敛目标作出预计，考虑特定逻辑资源（引脚、存储器、DSP）与LogicLock Region的位置关系对时序的影响，并可以参考上一次时序成功收敛的结果。这一权衡和规划FPGA底层物理布局的过程就是FloorPlanning。LogicLock给了设计者对布局位置和范围更多的控制权，可以有效地向EDA工具传递设计者的设计意图，避免EDA工具由于缺乏布局优先级信息而盲目优化非关键路径。由于模块在每一次编译中的布局位置变化被限定在了最优的固定范围内，时序收敛结果的可重现性也就更高。由于其粗粒度特性，LogicLock的约束信息并不很多，可以在qsf文件中得到保留。需要注意的是，Logiclock是物理约束，design partition是逻辑约束。

##### 特定路径延迟约束MaxDelay/MinDelay

好的时序约束应该是“引导型”的，而不应该是“强制型”的。通过给出设计中关键路径的时序延迟范围，把具体而细微的工作留给EDA工具在该约束的限定范围内自由实现。这也是一个理想目标，需要设计者对每一条时序路径都做到心中有数，需要设计者分清哪些路径是可以通过核心频率和简单的时序例外约束就可以收敛的，哪些路径是必须制定MaxDelay和MinDelay的，一条也不能遗漏，并且还需要EDA工具“善解人意”的有力支持。设定路径延时约束就是间接地设定布局布线约束，但是比上述3、4、5的方法更灵活，而且不失其准确性。通过时序约束而不是显式的布局和网表约束来达到时序收敛才是时序约束的真谛。“好的时序是设计出来的，不是约束出来的”。好的约束必须以好的设计为前提。没有好的设计，在约束上下再大的功夫也是没有意义的。不过，通过正确的约束也可以检查设计的优劣，通过时序分析报告可以检查出设计上时序考虑不周的地方，从而加以修改。通过几次“分析—修改—分析”的迭代也可以达到完善设计的目标。应该说，设计是约束的根本，约束是设计的保证，二者是相辅相成的关系。

##### 设置Fan Out

用于内部Register到Register之间的约束，可以使用Max Fanout，使得输出端挂载的负载尽可能少，这样驱动能力更强，使得时序电路的建立时间更容易达到，从而得到更高的主频。

#### IC芯片方面

暂时无，没有总结

### 其他DDR的时序约束

考虑双沿都采样的情况，没具体分析过，暂时略掉，后续进阶再学习。

《七天玩转FPGA之时序篇里面有一些DDR时序介绍文章，可以参考》

## 硬件加速篇

这里讲讲流水线，并行，展开，折叠，脉动电路，哈希算法等等

## HLS硬件加速篇

讲讲用HLS如何实现硬件加速。

## UVM验证篇

## 技术债问题

### git

使用git管理版本，这个要搭建起来。

### 仿真器平台脚本开发

要求实现多种功能

1. 支持无UVM，无IP CORE最简单仿真
2. 支持UVM，无IP CORE仿真
3. 支持UVM，有IP CORE仿真
4. 支持HLS，生成IPCORE直接内嵌到仿真环境的仿真
5. 支持Modelsim+Verdi联合仿真
6. 支持仅仅ModelSim仿真
7. 支持VCS仿真等等
8. 支持vivadosim仿真
9. 支持Linux环境仿真，platform
10. 支持windows环境仿真

I.仿真工具必须使用超级简单，特别容易上手使用。

J.做最简单的例子，直接就能上手的那种

K.要是能够run

HLS的话，有他自己的一套开发东西和环境。

vivado编译的话，需要添加cpu等信息，也不太方便

Sdk开发的话，源代码不一样。

### xfDNN代码啃读工作

##### 模板标题4

见下文

###### 模板标题5

见下文

模板标题6

见下文

模板标题6

见下文

模板标题7

见下文

对于WPS来说，可以从”文件”-->”页面设置”-->”文档网络”，然后选择“无网络”