



(12) 发明专利申请

(10) 申请公布号 CN 103201610 A

(43) 申请公布日 2013. 07. 10

(21) 申请号 201180052454. 8

(51) Int. Cl.

(22) 申请日 2011. 08. 04

G01N 3/10 (2006. 01)

(30) 优先权数据

G06N 3/063 (2006. 01)

12/916, 332 2010. 10. 29 US

(85) PCT申请进入国家阶段日

2013. 04. 28

(86) PCT申请的申请数据

PCT/EP2011/063485 2011. 08. 04

(87) PCT申请的公布数据

W02012/055593 EN 2012. 05. 03

(71) 申请人 国际商业机器公司

地址 美国纽约

(72) 发明人 D·S·莫德哈

(74) 专利代理机构 北京市中咨律师事务所

11247

代理人 于静 张亚非

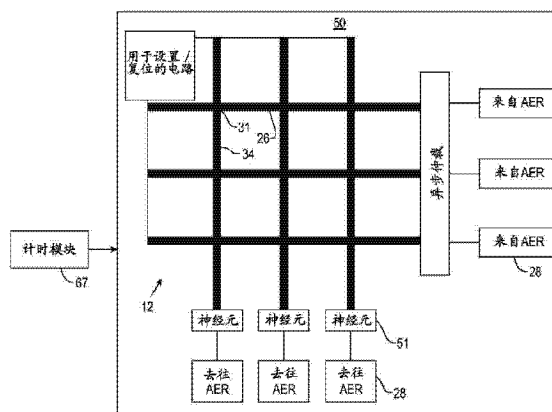
权利要求书2页 说明书8页 附图10页

(54) 发明名称

带有使用模拟学习的突触权重的神经形态-突触器脉冲神经网络

(57) 摘要

本发明的实施例提供神经形态-突触器系统,其中包括神经形态-突触器电路,其实现带有使用模拟学习的突触权重的脉冲神经网络。一个实施例包括模拟脉冲神经网络以产生通过模拟学习的突触权重,同时保持所述模拟与数字电路芯片之间的一一对应。所学习的突触权重被加载到实现脉冲神经网络的数字电路芯片中,所述数字电路芯片包括神经形态-突触器脉冲神经网络,所述脉冲神经网络包括互连多个数字神经元的多个突触器件。



1. 一种方法,包括:

模拟脉冲神经网络以产生通过模拟学习的突触权重,同时保持所述模拟与数字电路芯片之间的一一对应;以及

将所述学习的突触权重加载到实现脉冲神经网络的所述芯片中,所述芯片包括脉冲神经网络,所述脉冲神经网络包括多个突触器件,所述多个突触器件使用片上互连性互连多个数字神经元,其中所述突触权重影响所述突触器件的功能行为。

2. 根据权利要求1的方法,进一步包括:

使用数字集成-发射神经元,以及位于互连所述数字神经元的互连网络的交叉接头上的离散值突触器件实现所述脉冲神经网络;以及

将所述芯片的物理和逻辑互连性约束集成到所述模拟中。

3. 根据权利要求1的方法,其中:

保持所述模拟与数字电路芯片之间的一一对应进一步包括将有关所述芯片上所述神经元的物理互连性和逻辑互连性约束的信息集成到所述模拟中。

4. 根据权利要求1的装置,其中:

保持所述模拟与数字电路芯片之间的一一对应包括将有关所述芯片上随机性或非确定性源的信息集成到所述模拟中。

5. 根据权利要求1的方法,其中:

所述脉冲神经网络包括神经形态-突触器脉冲神经网络;

每个突触器件的功能行为包括所述突触器件的导电性;以及

片上互连性包括所述数字神经元的物理连接性和逻辑连接性的组合。

6. 根据权利要求5的方法,其中:

所述物理连接性包括将轴突路径和树突路径的交叉体互连网络硬连线,以使所述树突路径与所述轴突路径正交,其中每个突触器件位于在树突路径与轴突路径之间相连的交叉体的交叉接头上。

7. 根据权利要求6的方法,其中:

所述逻辑连接性包括软连线,所述软连线包括用于选择性地对所述数字神经元定址的地址事件表示(AER)。

8. 根据权利要求1的方法,进一步包括:

产生定义通过模拟学习的每个数字神经元功能的参数;以及

将所述参数加载到所述芯片中。

9. 根据权利要求1的方法,其中:

所述芯片包括不具有板上学习的低功率、超高密度芯片。

10. 根据权利要求1的方法,其中:

所述突触器件包括存储元件。

11. 根据权利要求1的方法,进一步包括:

在计算系统上执行所述模拟。

12. 一种数字神经形态-突触器脉冲神经网络电路,包括:

多个数字神经元;

互连网络,包括多个使用电路上互连性互连数字神经元的突触器件;以及

突触器件,具有影响所述突触器件的功能行为的突触权重,其中所述突触权重通过模拟脉冲神经网络产生,同时保持所述模拟与所述电路之间的一一对应,并且所述突触权重被加载到所述电路中;

其中电路上互连性包括所述数字神经元的物理连接性和逻辑连接性的组合。

13. 根据权利要求 12 的电路,其中:

所述电子神经元包括数字集成-发射神经元;

所述突触器件包括位于所述互连网络的交叉接头上的离散值突触存储元件;以及所述电路的物理和逻辑互连性约束被集成到所述模拟中。

14. 一种器件,包括:

数字电路,其中包括如权利要求 12 和 13 中任一项所述的神经形态-突触器脉冲神经网络。

15. 根据权利要求 14 的电路,其中:

所述突触权重通过模拟脉冲神经网络学习,同时保持所述模拟与所述数字电路之间的一一对应,并且所述突触权重被加载到所述数字电路中。

16. 根据权利要求 15 的电路,其中:

所述模拟与所述数字电路之间的一一对应通过将有关所述数字电路上随机性或非确定性源的信息集成到所述模拟中来保持。

17. 根据权利要求 15 的电路,其中:

电路上互连性包括所述数字神经元的物理连接性和逻辑连接性的组合。

18. 根据权利要求 17 的电路,其中:

所述物理连接性包括将包括轴突路径和树突路径的交叉体互连网络硬连线,以使所述树突路径与所述轴突路径正交,其中每个突触器件位于在树突路径与轴突路径之间相连的交叉体的交叉接头上。

19. 根据权利要求 18 的电路,其中:

所述逻辑连接性包括软连线,所述软连线包括用于选择性地对所述数字神经元定址的地址事件表示(AER)。

20. 根据权利要求 14 的电路,其中:

定义通过模拟学习的每个数字神经元功能的参数被加载到所述数字电路中。

21. 根据权利要求 14 的电路,其中:

所述数字电路包括不具有板上学习的低功率、超高密度数字电路芯片。

22. 根据权利要求 14 的电路,其中:

所述突触器件包括存储元件。

23. 根据权利要求 14 的电路,其中:

所述模拟在计算系统上执行。

带有使用模拟学习的突触权重的神经形态 - 突触器脉冲神经网络

[0001] 本发明在政府支持之下,使用美国国防部先进研究项目局 (DARPA) 奖励的 HR0011-09-C-0002 创作。政府对本发明拥有一定权利。

背景技术

[0002] 本发明涉及神经形态 (neuromorphic) 和突触器 (synaptronic) 系统,更具体地说,本发明涉及实现脉冲神经网络的低功率、超高密度神经形态 - 突触器电路芯片。

[0003] 神经形态 - 突触器系统——也称为人工神经网络——是允许电子系统基本上以类似于生物大脑的方式工作的计算系统。神经形态 - 突触器系统一般不使用处理 0 和 1 的传统数字模型。相反,神经形态 - 突触器系统创建处理元件之间的连接,这些处理元件的功能基本等同于生物大脑中的神经元。神经形态 - 突触器系统可以由各种关于生物神经元和突触建模的电子电路组成。

[0004] 在生物系统中,一个神经元轴突和另一神经元上的树突之间的触点被称为突触,相对于突触而言,两个神经元分别被称为前突触和后突触,我们的个人经验本质存储在突触的传导中。

发明内容

[0005] 本发明的实施例提供神经形态 - 突触器系统,其中包括神经形态 - 突触器电路,其实现带有使用模拟学习的突触权重的脉冲神经网络。一个实施例提供一种方法,包括模拟脉冲神经网络以产生通过模拟学习的突触权重。所学习的突触权重被加载到实现脉冲神经网络的神经形态 - 突触器电路芯片中。

[0006] 在所述芯片与所述模拟之间保持一一对应。所述一一对应通过以下方式实现:使用数字集成 - 发射神经元,以及位于互连所述数字神经元的互连网络的交叉接头上的离散值突触器件实现所述脉冲神经网络,将所述芯片的物理和逻辑互连性约束集成到所述模拟中,以及消除所述芯片上的所有随机性或非确定性源。所述芯片的架构实现低功率并具有小型化规格。

[0007] 在另一实施例中,一种设备包括:实现带有使用模拟学习的突触权重的脉冲神经网络的神经形态 - 突触器电路芯片。所述脉冲神经网络包括位于互连所述数字电子神经元的互连网络的交叉接头上的突触。通过互连性保持所述模拟与所述芯片之间的一一对应,其中所学习的突触权重被加载到所述芯片中。

[0008] 通过参考下面的描述,所附权利要求和附图,可以理解本发明的这些和其它特征、方面和优点。

附图说明

[0009] 图 1A 示出根据本发明的实施例包括实现带有使用模拟学习的突触权重的脉冲神经网络的数字电子神经元的神经形态 - 突触器系统的图表;

[0010] 图 1B 示出根据本发明的实施例的模拟与神经形态 - 突触器电路芯片之间的相互关系对应；

[0011] 图 2 示出根据本发明的实施例在交叉体 (crossbar) 互连网络中包括多个神经形态 - 突触器电路芯片构建模块的神经形态 - 突触器网络的图表；

[0012] 图 3A 示出根据本发明的实施例在第一配置中包括多个神经形态 - 突触器电路芯片构建模块的神经形态 - 突触器网络的图表；

[0013] 图 3B 示出根据本发明的实施例在第二配置中包括多个神经形态 - 突触器电路芯片构建模块的神经形态 - 突触器网络的图表；

[0014] 图 3C 示出根据本发明的实施例在第三配置中包括多个神经形态 - 突触器电路芯片构建模块的神经形态 - 突触器网络的图表；

[0015] 图 4 示出根据本发明的实施例在交叉绗缝 (cross-quilt) 互连网络中包括多个神经形态 - 突触器电路芯片构建模块的神经形态 - 突触器网络的图表；

[0016] 图 5 示出根据本发明的实施例模拟脉冲神经网络以产生通过模拟学习的信息, 以及将所学习的信息加载到包括数字电子电路的数字芯片中的过程的流程图；

[0017] 图 6 示出根据本发明的实施例模拟脉冲神经网络以产生通过模拟学习的信息, 以及将所学习的信息加载到包括数字电子电路的数字芯片中的系统的图表；以及

[0018] 图 7 示出用于实现本发明的一个实施例的信息处理系统的高级框图。

具体实施方式

[0019] 本发明的实施例提供神经形态 - 突触器 (neuromorphic-synaptronic) 系统, 其中包括实现带有使用模拟学习的突触权重的脉冲神经网络 (spiking neural network) 的神经形态 - 突触器电路。

[0020] 一个实施例包括模拟脉冲神经网络以产生通过模拟学习的突触权重。所学习的突触权重被加载 (编码) 到实现脉冲神经网络的神经形态 - 突触器电路芯片中。在一个实施例中, 电路芯片的架构提供可减小电源消耗以及形状因子的脉冲神经网络。

[0021] 在一个实施例中, 一种形成数字电路芯片架构的过程包括保持电路芯片与模拟之间的一一对应。在一个实施例中, 所述一一对应通过以下方式实现: 在包括数字集成 - 发射神经元, 以及位于互连数字电子神经元 (数字神经元) 的互连网络的交叉接头上的离散值突触器件 (突触) 的电路芯片中实现脉冲神经网络, 将芯片的物理和逻辑互连性约束集成到模拟中, 以及基本消除芯片上的所有随机性或非确定性源。

[0022] 根据本发明的实施例, 一种电子神经元包括含有数字电子模块的数字电子神经元。因此, 本文对神经元或电子神经元的所有提及均指示根据本发明的实施例的数字电子神经元。每个此类神经元具有导电树突, 其负责将输入传递到神经元的本体或神经元胞体模块。每个神经元进一步具有导电轴突, 其负责每当神经元发射脉冲信号时传递输出。神经元的神经元胞体模块包括被配置为提供功能 (例如, 基于刺激做出判定) 的数字电路, 其中神经元胞体模块通常与树突连接。一般而言, 根据本发明的实施例, 脉冲神经元将在其接收的输入超过阈值时 “发射” (发射脉冲)。

[0023] 根据本发明的实施例, 在计算系统上实现的脉冲神经网络模拟器学习突触权重。带有所学习的权重的脉冲神经网络在低功率、紧凑型实时神经形态 - 突触器数字硬件系统

(例如数字电路)中实现,所述数字硬件系统不需板上学习并使用存储元件实现电子突触。图 1A 示出根据本发明的实施例的神经形态-突触器数字系统实施例的图表。

[0024] 神经形态-突触器数字系统实现电路(芯片)50,其包括与交叉体 12 相连的数字电子神经元 51。交叉体 12 包括轴突 26、树突 34 和位于每个轴突 26 和每个树突 34 的交叉接头上的突触 31。因此,轴突 26 与树突 34 之间的每个连接通过突触 31 形成。突触 31 所在的接头在本文中被称为交叉接头。在一个实例中,交叉体阵列 12 的间距可以在大约 0.1nm 至 10 μm 的范围内。用于设置/复位的电路 37 是用于将所学习的突触权重加载到芯片中的周边电子装置。异步仲裁模块 39 用于在一定时间间隔内按顺序激活每个轴突 26。

[0025] 根据本发明的实施例,每个突触 31 具有定义突触 31 的功能行为的参数(例如使用模拟学习的突触权重)。因此,突触 31 的突触权重影响突触 31 的功能行为。此类通过模拟学习并加载到数字电路中的突触权重定义电路上突触的功能。来自电路上数字神经元的脉冲信号跨连接的突触 31 创建电压偏置,从而导致电流流向下游神经元。该电流的大小基于每对神经元之间突触 31 的突触权重(导电量)。电流的大小或其它感应机制用于确定地读取电路上突触 31 的突触权重。在一个实例中,接口模块对突触权重编程,以便交叉体 12 中的每个突触 31 具有根据对应的突触权重影响(例如,编程)突触 31 的功能行为(例如,导电性)的突触权重(例如,“0”指示突触 31 不导电,“1”指示突触 31 导电)。

[0026] 在本发明的一个实施例中,构建模块电路芯片 50 包括实现带有使用模拟学习的突触权重的脉冲神经网络的低功率、超高密度神经形态-突触器电路。诸如超级计算机系统之类的计算机系统上的脉冲神经网络模拟器学习或者计算突触权重。然后,带有所学习或计算的权重的脉冲神经网络在低功率、紧凑型实时电路芯片 50 中实现。

[0027] 如图 1B 中的相互关系实例所示,保持模拟与电路芯片 50 之间的一一(1:1)对应。在一个实施例中,模拟器在学习期间利用实数表示突触权重,但在学习之后,突触权重采取二进制(离散值)形式以加载到电路芯片 50 中。模拟器可以针对每个数字电子神经元使用不同的参数,例如发射阈值等。参数被编程到电路芯片 50 中。在电路芯片 50 上,每个数字电子神经元 51 单独实现以实现平行化。在一个实施例中,使用标准的传统存储技术将所学习的权重加载到电路芯片 50 中(例如,图 1A 中用于设置/复位的电路 37)。

[0028] 对于模拟中使用的学习规则或策略没有任何限制。模拟器例如可以使用时序依赖突触可塑性(STDP)、强化学习等。强化学习(RL)一般包括根据操作结果学习,其中 RL 模块根据过去的事件选择操作。RL 模块接收的强化信号会被赋值(例如,数值),该值指示操作成功。RL 模块然后学习选择增加一段时间内数值的操作。在一个实施例中,模拟可通过算法方式而非学习来计算权重。

[0029] 在一个实施例中,数字电子神经元 51 之间的片上连接性(互连)可以包括使用交叉体(或交叉接缝)互连网络实现的硬连线与通过地址事件实现的软连线的组合。模拟通过硬连线和软连线约束保持一一等价关系。最终学习的模拟也提供软连线地址。

[0030] 在一个实施例中,电路芯片 50 上的软连线使用非确定性(例如,地址事件表示(AER))地址事件实现。针对模拟中的复制,模拟器通过集成每个轴突延迟的随机偏移来集成非确定性。模拟将约束作为突触的随机性进行集成以解释突触产出。地址事件表示(AER)元素模块 28 便利多个电路芯片 50 之间的通信,如下面参考图 2 进一步描述的那样。

[0031] 一般而言,诸如交叉体或交叉接缝架构之类的互连网络 12 可以包括电路芯片 50

中位于 N 个轴突 26 和 N 个树突 24 的交叉接头上的突触 31 的矩形阵列或正方形 N x N 阵列。

[0032] 根据本发明的实施例,电子神经元 51 使用数字、同步方案实现。当电子神经元 51 发射时,所有值 (N) 在树突 34 上并行读取,其中电子神经元状态以指定分辨率更新,并且每个神经元实现轴突延迟。如在此使用的那样,术语“当”可以表示信号在神经元发射之后立即发出,也可以表示在神经元发射之后的一段时间发出。

[0033] 在一个实施例中,数字电子神经元包括数字、同步设计,其中在一个实例中,每个神经元的状态以大约 0.1msec 至 1msec 的分辨率更新。具体而言,在一个实例中,与互连网络 12 相连的神经元 51 的状态以大约 0.1msec 至 1msec 的分辨率更新,从而需要数字计时模块 67 产生 1 至 10kHz 的时钟频率。因此,1msec 的每个时间步长被分为 N 个步长,从而需要最终的时钟频率为 N 至 10*N KHz。例如,当 N=512 时,时钟频率将为 512kHz 值 5.12MHz。N 的其它实例值包括 32、64、128、256、1024,其中 256 为优选实施例。

[0034] 电路芯片 50 可以使用支持并行读取行的存储元件实现突触 31,这些存储元件包括 SRAM、DRAM、EDRAM、PCM、MTJ、FLASH、eFuse 或任何此类易失性或非易失性存储技术。在一个实例中,假设当神经元 51 发射时,在树突 34 上并行读取与神经元 51 相连的 N 个突触 31 持有的全部 N 个值。

[0035] 根据本发明的实施例,电路芯片 50 可以包括抑制性电子神经元。在一个实例中,五分之一的神经元为抑制性神经元。抑制性神经元在时间步长的特定部分发射。替代地,抑制性神经元可以发射稍有不同的读取序列。

[0036] 一般而言,刺激性脉冲电子神经元使其目标神经元更容易发射,而抑制性脉冲电子神经元使其目标发射的可能性降低。可使用脉冲电子神经元的各种实现。一般而言,此类神经元包括当接收来自源刺激性神经元的输入时增加,当接收来自源抑制性神经元的输入时减小的计数器。增加或减少量取决于源神经元到目标神经元的连接强度。如果计数器达到特定阈值,神经元便会产生自己的脉冲(即,发射),并且计数器复位到基线值。

[0037] 图 2 示出根据本发明的实施例包括多个电路芯片块 50 的神经形态-突触器电路芯片 60 的实施例的图表。在一个实例中,每个芯片块 50 中的数字电子神经元 51 以 1kHz 至 10KHz 的时钟频率执行同步操作。

[0038] 电路芯片 60 进一步包括被配置为提供定址功能和选择性地互连 AER 元件模块 28 的 AER 互连模块 66。尽管未示出,每个“去往 AER”元件模块 28 通过在块 50 之间提供软连线的 AER 互连模块 66 连接到“来自 AER”元件模块 28。每个块 50 中的交叉体 12 在其中提供硬连线。

[0039] 根据本发明的实施例,电路芯片 60 进一步包括被配置为编程突触 31、神经元 51 和连接性 12 的接口模块 68。具体而言,接口模块 68 提供在模拟中学习的突触 31 的权重的编程。例如,接口模块 68 对突触权重编程,以便交叉体 12 中的每个突触 31 具有值 0 或 1。在每个芯片块 50 中,每个交叉体 12 具有 9 个突触 31,整个芯片阵列 60 具有 81 个突触 31。电路芯片 60 中具有 27 个神经元(即,每个交叉体 12 具有 3 个神经元 51)。通过模拟学习的神经元参数(例如,发射阈值等)被编程到电路芯片 60 中。进一步地,存在 27 个由 AER66 编程的软连线地址。

[0040] 如图 2 所示,响应于从刺激接口 65 进入电路 60 的刺激信号,读出接口 63 读取电

路 60 中神经元 51 的发射活动（例如，神经元发射的活动等）。在一个应用实例中，电路芯片 60 从刺激接口 65 上的各种传感器（未示出）接收的传感器输入，然后通过读出接口 63 将信号输出到致动器。

[0041] 神经元 51 对交叉体 12 上的突触 31 和 AER 的访问是异步的。但是在一个实例中，对交叉体的访问可以是同步的，将需要更高的时钟频率。

[0042] 图 3A 示出包括块 50 的 32×32 阵列的神经形态 - 突触器电路实例 70，该阵列包括 32×1024 个神经元 51 以及 1024×1024 个突触 31（其中“*”表示乘法运算）。

[0043] 图 3B 示出包括块 50 的 64×64 阵列的神经形态 - 突触器电路实例 72，该阵列包括 64×4096 个神经元 51 以及 4096×4096 个突触 31。

[0044] 图 3C 示出包括块 50 的 128×128 阵列的神经形态 - 突触器电路实例 74，该阵列包括 $128 \times 16,384$ 个神经元 51 以及 $16,384 \times 16,384$ 个突触 31。所属领域的技术人员将理解，块 50 的其它组合也是可能的。

[0045] 图 4 示出根据本发明的实施例包括多个块 50、AER 互连模块 86、用于多区室化的神经元胞体模块 87 和用于设计突触的接口模块 88、神经元和片上互连性的神经形态 - 突触器电路实施例 80 的图表。

[0046] 电路芯片 80 包括交叉纺缝互连网络 82，其中交叉体相互缠绕。突触、神经元和连接性通过模拟结果被编程到电路芯片 80 中。每个神经元包括与神经元胞体相连的树突房室。神经元胞体从多个树突房室接收输入。电路 80 提供自然的二维感受和投射域。为实现隔离，需要针对 $N \times N$ 纺缝，用 N 倍更快的时钟（例如，当 $N=128$ 时，时钟频率从 128kHz 增加到 1.28MHz）。

[0047] 在一个实施例中，数字电子神经元包括与神经元胞体模块相连的树突房室。神经元胞体用于集成从与神经元相连的突触接收的所有刺激，并且仅在超过特定阈值时以输出信号做出响应。例如，神经元胞体从多个树突房室接收输入。当神经元胞体发射时，它会将信号发射到多个轴突分支。一般而言，每个突触包含一个发送信号的神经元与一个接收信号的神经元的连接。

[0048] 在一个实施例中，本发明还适用于根据以较高时钟频率对交叉体或交叉纺缝的同步访问，转移到具有板上学习的芯片。电路包括 STDP 设置 / 复位模块。根据本发明的实施例，突触 31 实现多个信息位。在一个实例中，根据 RGB 方案，突触 31 保持三个位，其中包括位 R、位 G 和位 B。位 R 用于读取，位 G 用于 STDP 设置，位 B 用于 STDP 复位。

[0049] 图 5 示出根据本发明的实施例模拟脉冲神经网络以产生通过模拟学习的信息，以及将所学习的信息加载到包括数字电子电路的数字芯片中的过程 90 的流程图。过程 90 包括以下过程方框：

[0050] 方框 91：在计算机系统上实现对数字同步脉冲电子神经元的脉冲神经网络的模拟。

[0051] 方框 92：保持数字芯片与模拟之间的一一对应，以使用数字集成 - 发射神经元、位于互连数字神经元的互连网络的交叉接头上的离散值突触实现脉冲神经网络。

[0052] 方框 93：将有关芯片上神经元的物理互连性（即，硬连线）和逻辑互连性（即，软连线）约束的信息集成到模拟中。

[0053] 方框 94：将有关芯片上随机性或非确定性源的信息集成到模拟中，以减少（优选

地消除全部) 芯片上的随机性或非确定性源。例如, 将突触产出 / 操作随机性的信息集成到模拟中。

[0054] 方框 95 : 产生定义通过模拟学习的突触功能的突触权重。每个突触具有定义突触功能行为的参数。这些参数可以在模拟中学习并且烧录到芯片中。芯片只能存储突触权重的离散值。模拟可以在学习期间使用实数表示突触权重, 在学习之后, 将突触权重转换为二进制或离散值。无论模拟策略为何, 输出突触权重都是可以烧录到数字芯片中的类型。

[0055] 方框 96 : 产生定义通过模拟学习的神经元功能的参数。每个神经元具有定义神经元功能行为的参数。在模拟中学习的神经元参数可以加载和烧录到芯片中, 其中每个神经元在芯片上具有单独的电路。

[0056] 方框 97 : 通过模拟, 产生芯片上神经元的物理和逻辑互连性信息。

[0057] 方框 98 : 将模拟结果加载 (编码) 到芯片中。模拟结果包括每个突触的突触权重和每个神经元的参数。进一步地, 有关包括神经元之间的片上硬连线和软连线的互连性的信息被加载到数字芯片中。芯片包括实现脉冲神经网络的神经形态 - 突触器数字电路。

[0058] 在一个实施例中, 数字电子神经元之间的片上连接性 (互连) 包括电子神经元之间的硬连线和软连线的组合。硬连线可使用交叉体 (或交叉缝合) 互连网络实现。在一个实例中, 硬连线包括轴突导电路径 (轴突) 和横向导电树突路径 (树突) 的交叉体, 其中突触位于它们的每个交叉接头上。

[0059] 在一个实施例中, 软连线使用地址表和 AER 模块实现的地址事件实现。如上所述, 模拟通过硬连线和软连线约束保持一一等价关系。最终学习的模拟也提供软连线地址。

[0060] 图 6 示出根据本发明的实施例使用模拟器 11 模拟脉冲神经网络以产生通过模拟学习的信息 (模拟结果) 13, 以及将所学习的信息加载到包括数字电子电路的数字芯片 15 中的系统 10 的图表。根据本发明的实施例, 如上所述保持模拟之间的一一对应。优选地, 模拟主要专注于芯片功能 (例如, 应用、有效性、实用性), 借此芯片提供功能的低功率、紧凑型实现。

[0061] 本发明的实施例可以采取可从计算机可用或计算机可读介质访问的计算机模拟或程序产品的形式, 所述计算机可用或计算机可读介质提供被计算机、处理设备或任何指令执行系统使用或与其结合使用的程序代码。所属技术领域的技术人员知道, 本发明的各方面可以实现为系统、方法或计算机程序产品。因此, 本发明的各方面可以实现为以下形式, 即: 可以是完全的硬件、也可以是完全的软件 (包括固件、驻留软件、微代码等), 还可以是硬件和软件结合的形式, 本文一般称为“电路”、“模块”或“系统”。此外, 本发明的各方面还可以实现为在一个或多个计算机可读介质中的计算机程序产品的形式, 该计算机可读介质中包含计算机可读的程序代码。

[0062] 可以采用一个或多个计算机可读的介质的任意组合。计算机可读介质可以是计算机可读信号介质或计算机可读存储介质。计算机可读存储介质例如可以是——但不限于——电、磁、光、电磁、红外线、或半导体的系统、装置或器件, 或者任意以上的组合。计算机可读存储介质的更具体的例子 (非穷举的列表) 包括: 具有一个或多个导线的电连接、便携式计算机磁盘、硬盘、随机存取存储器 (RAM)、只读存储器 (ROM)、可擦式可编程只读存储器 (EPROM 或闪存)、光纤、便携式紧凑磁盘只读存储器 (CD-ROM)、光存储器件、磁存储器件、或者上述的任意合适的组合。在本文件中, 计算机可读存储介质可以是任何包含或存储程

序的有形介质,该程序可以被指令执行系统、装置或者器件使用或者与其结合使用。

[0063] 计算机可读的信号介质可以包括在基带中或者作为载波一部分传播的数据信号,其中承载了计算机可读的程序代码。这种传播的数据信号可以采用多种形式,包括——但不限于——电磁信号、光信号或上述的任意合适的组合。计算机可读的信号介质还可以是计算机可读存储介质以外的任何计算机可读介质,该计算机可读介质可以发送、传播或者传输用于由指令执行系统、装置或者器件使用或者与其结合使用的程序。

[0064] 计算机可读介质上包含的程序代码可以用任何适当的介质传输,包括——但不限于——无线、电线、光缆、RF 等等,或者上述的任意合适的组合。可以以一种或多种程序设计语言的任意组合来编写用于执行本发明的各方面操作的计算机程序代码,所述程序设计语言包括面向对象的设计语言——诸如 Java、Smalltalk、C++,还包括常规的过程式程序设计语言——诸如“C”语言或类似的设计语言。程序代码可以完全地在用户计算机上执行、部分地在用户计算机上执行、作为一个独立的软件包执行、部分在用户计算机上部分在远程计算机上执行、或者完全在远程计算机或服务器上执行。在涉及远程计算机的情形中,远程计算机可以通过任意种类的网络——包括局域网 (LAN) 或广域网 (WAN)——连接到用户计算机,或者,可以连接到外部计算机 (例如利用因特网服务提供商来通过因特网连接)。

[0065] 下面将参照本发明实施例的方法、装置 (系统) 和计算机程序产品的流程图和 / 或框图描述本发明的各方面。应当理解,流程图和 / 或框图的每个方框以及流程图和 / 或框图中各方框的组合,都可以由计算机程序指令实现。这些计算机程序指令可以提供给通用计算机、专用计算机或其它可编程数据处理装置的处理器,从而生产出一种机器,这些计算机程序指令通过计算机或其它可编程数据处理装置执行,产生了实现流程图和 / 或框图中的方框中规定的功能 / 操作的装置。

[0066] 也可以把这些计算机程序指令存储在能使得计算机、其它可编程数据处理装置、或其它设备以特定方式工作的计算机可读介质中,这样,存储在计算机可读介质中的指令就产生出一个包括实现流程图和 / 或框图中的方框中规定的功能 / 操作的指令的制造品 (manufacture)。

[0067] 也可以把计算机程序指令加载到计算机、其它可编程数据处理装置、或其它设备上,使得在计算机、其它可编程数据处理装置或其它设备上执行一系列操作步骤,以产生计算机实现的过程,从而使得在计算机或其它可编程装置上执行的指令能够提供实现流程图和 / 或框图中的方框中规定的功能 / 操作的过程。

[0068] 图 7 是示出用于实现本发明的一个实施例的信息处理系统 100 的高级框图。根据本发明的实施例的脉冲神经网络模拟器可以使用系统 100 实现。

[0069] 计算机系统 100 包括一个或多个处理器,例如处理器 102。处理器 102 与通信基础架构 104 (例如,通信总线、交叉体或网络) 相连。

[0070] 计算机系统可以包括显示接口 106,用于转发来自通信基础架构 104 (或来自未示出的帧缓冲区) 的图形、文字和其它数据以在显示单元 108 上显示。计算机系统还包括主存储器 110,优选地为随机存取存储器 (RAM),并且可以包括第二存储器 112。第二存储器 112 例如可以包括硬盘驱动器 114 和 / 或可移动存储驱动器 116,例如表示软盘驱动器、磁带驱动器或光盘驱动器。可移动存储驱动器 116 以所属领域的普通技术人员公知的方式从可移动存储单元 118 读取和 / 或写入可移动存储单元 118。可移动存储单元 118 例如表示可由

可移动存储驱动器 116 读写的软盘、光碟、磁带或光盘等。将理解,可移动存储单元 118 包括上面存储计算机软件和 / 或数据的计算机可读介质。

[0071] 在备选实施例中,第二存储器 112 可以包括允许计算机程序或其它指令加载到计算机系统或其它类似装置。此类装置例如可以包括可移动存储单元 120 和接口 122。此类装置的实例可以包括程序封装和封装接口(例如在视频游戏设备中找到的),可移动存储芯片(例如 EPROM 或 PROM)和关联的插口,以及允许软件和数据从可移动存储单元 120 传输到计算机系统的其它可移动存储单元 120 和接口 122。

[0072] 计算机系统还可以包括通信接口 124。通信接口 124 允许软件和数据在计算机系统和外部设备之间传输。通信接口 124 的实例可以包括调制解调器、网络接口(例如,以太网卡)、通信端口或 PCMCIA 插槽和卡等。通过通信接口 124 传输的软件和数据采取信号的形式,所述信号例如可以是能够被通信接口 124 接收的电信号、电磁信号、光信号或其它信号。这些信号通过通信路径(即,信道)126 提供给通信接口 124。通信路径 126 传输信号并可以使用电线或电缆、光纤、电话线、蜂窝电话链路、RF 链路和 / 或其它通信信道实现。

[0073] 在本文中,术语“计算机程序介质”、“计算机可用介质”和“计算机可读介质”一般用于指示介质,例如主存储器 110 和第二存储器 112、可移动存储驱动器 116 和硬盘驱动器 114 中安装的硬盘。

[0074] 计算机程序(也称为计算机控制逻辑)存储在主存储器 110 和 / 或第二存储器 112 中。计算机程序还可以通过通信接口 124 接收。此类计算机程序当运行时,可使计算机系统执行本文介绍的本发明的特征。具体而言,计算机程序当运行时,可使处理器 102 执行计算机系统的特征。因此,此类计算机程序表示计算机系统的控制器。

[0075] 附图中的流程图和框图显示了根据本发明的多个实施例的系统、方法和计算机程序产品的可能实现的体系架构、功能和操作。在这点上,流程图或框图中的每个方框可以代表一个模块、程序段或代码的一部分,所述模块、程序段或代码的一部分包含一个或多个用于实现规定的逻辑功能的可执行指令。也应当注意,在有些作为替换的实现中,方框中所标注的功能也可以以不同于附图中所标注的顺序发生。例如,两个连续的方框实际上可以基本并行地执行,它们有时也可以按相反的顺序执行,这依所涉及的功能而定。也要注意,框图和 / 或流程图中的每个方框、以及框图和 / 或流程图中的方框的组合,可以用执行规定的功能或操作的专用的基于硬件的系统来实现,或者可以用专用硬件与计算机指令的组合来实现。

[0076] 以下的权利要求中的对应结构、材料、操作以及所有功能性限定的装置或步骤的等同替换,旨在包括任何用于与在权利要求中具体指出的其它单元相组合地执行该功能的结构、材料或操作。所给出的对本发明的描述是示例性和描述性的,并非穷尽性的,并且也不限于所披露的发明内容。在不偏离本发明的范围的情况下,对于本技术领域的普通技术人员来说许多修改和变更都是显而易见的。实施例的选择和描述,旨在最好地解释本发明的原理、实际应用,当适合于所构想的特定应用时,可使本技术领域的普通人员理解本发明带有各种修改的各种实施例。

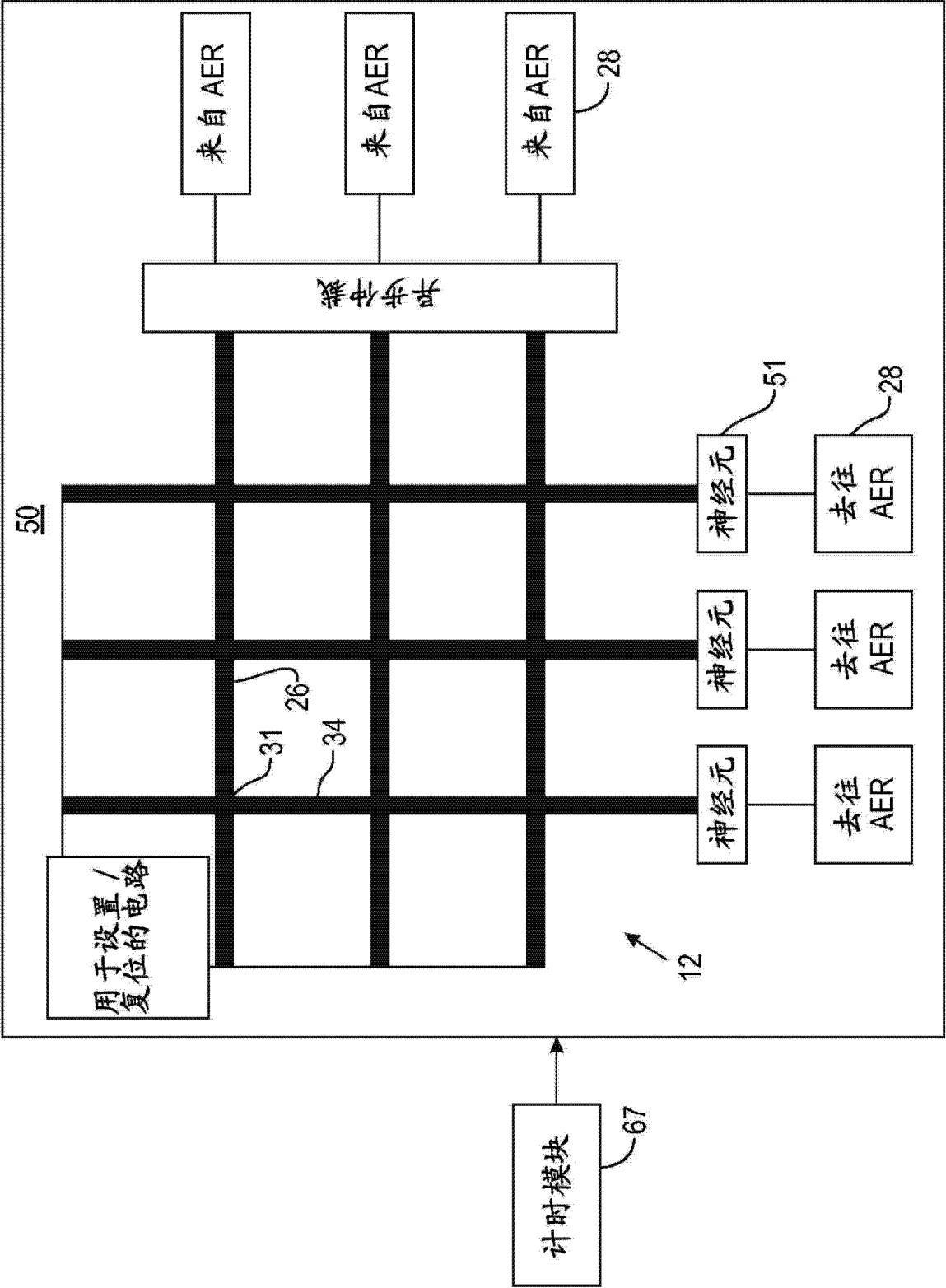


图 1A


| 模拟 | 对应 | 芯片 |
|---|---|---|
| 0.1-1ms 的数字、同步脉冲 神经元分辨率轴突延迟 多区室化神经元模型 |  0.1-1ms | 0.1-1ms 的数字、同步脉冲 神经元分辨率轴突延迟 多区室化神经元模型 |
| 只要最终学习的突触为二进制 或离散值，学习 (STDP、 强化、任意复杂) |  | 无学习功能，二进制 (或离散值) 突触实现模拟的最终结果 |
| 与芯片实现一致的物理和 逻辑连接性约束 |  | 交叉体、交叉纤维提供物理 连接性约束；地址事件提供 逻辑连接性约束 |
| 与芯片上的已测量突触产出 一致的突触操作随机性 |  | 突触产出的随机性 |
| 与已测量的片上异步通信延迟 一致的轴突延迟随机性 |  | 由片上异步通信延迟导致的 轴突延迟非确定性 |
| 功能 | | 低功率、紧凑型、实时 |

图 1B

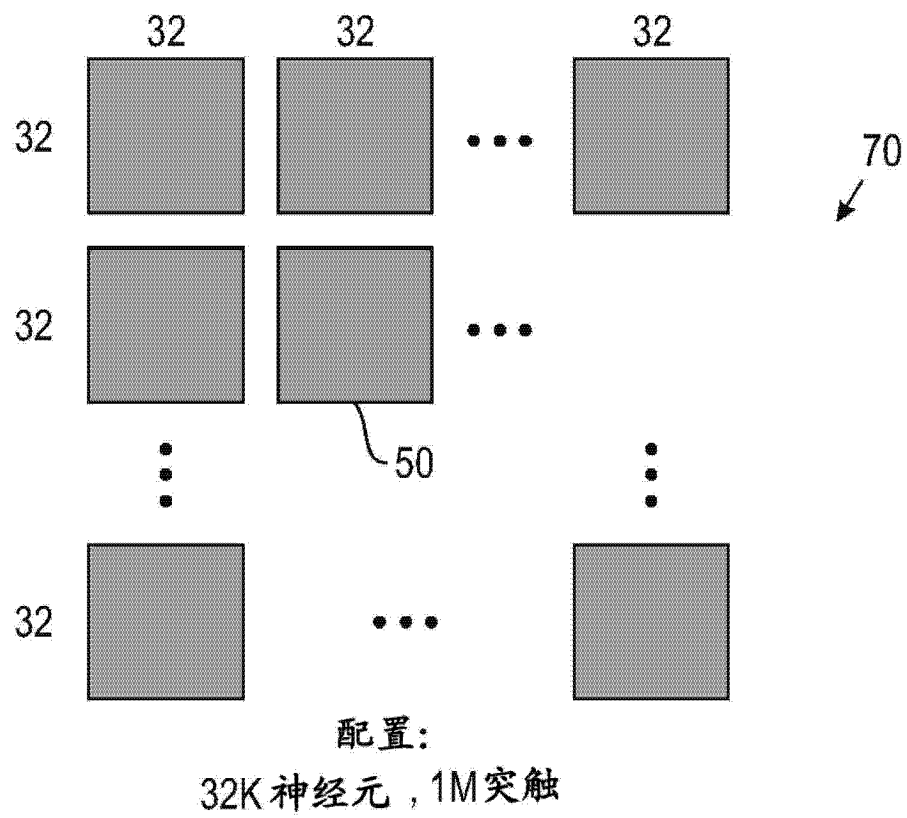


图 3A

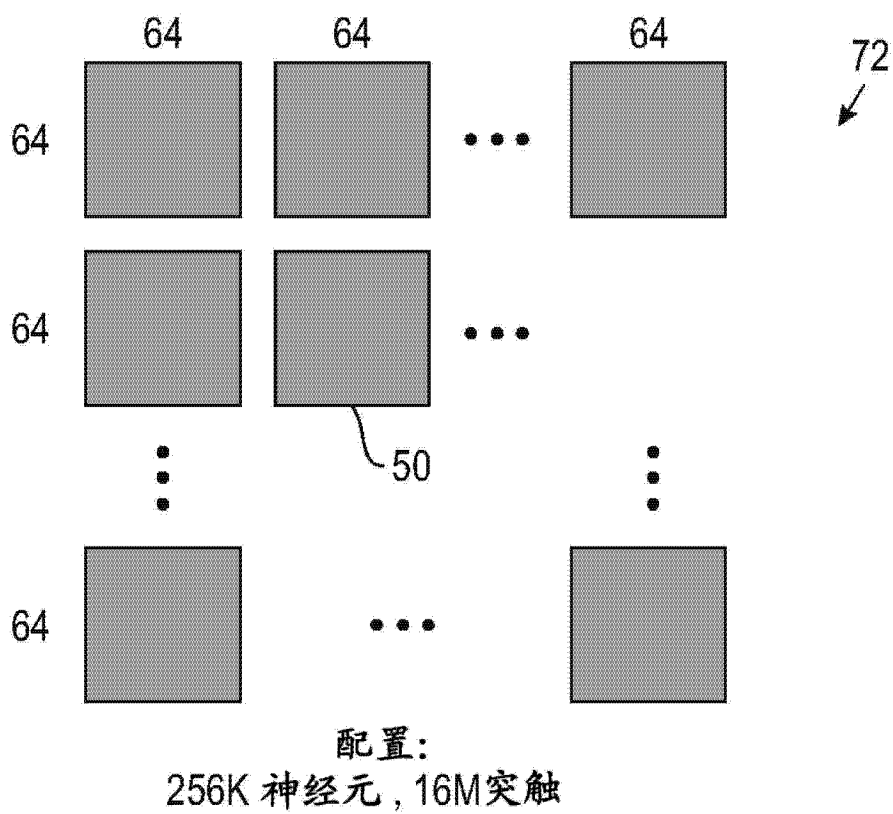


图 3B

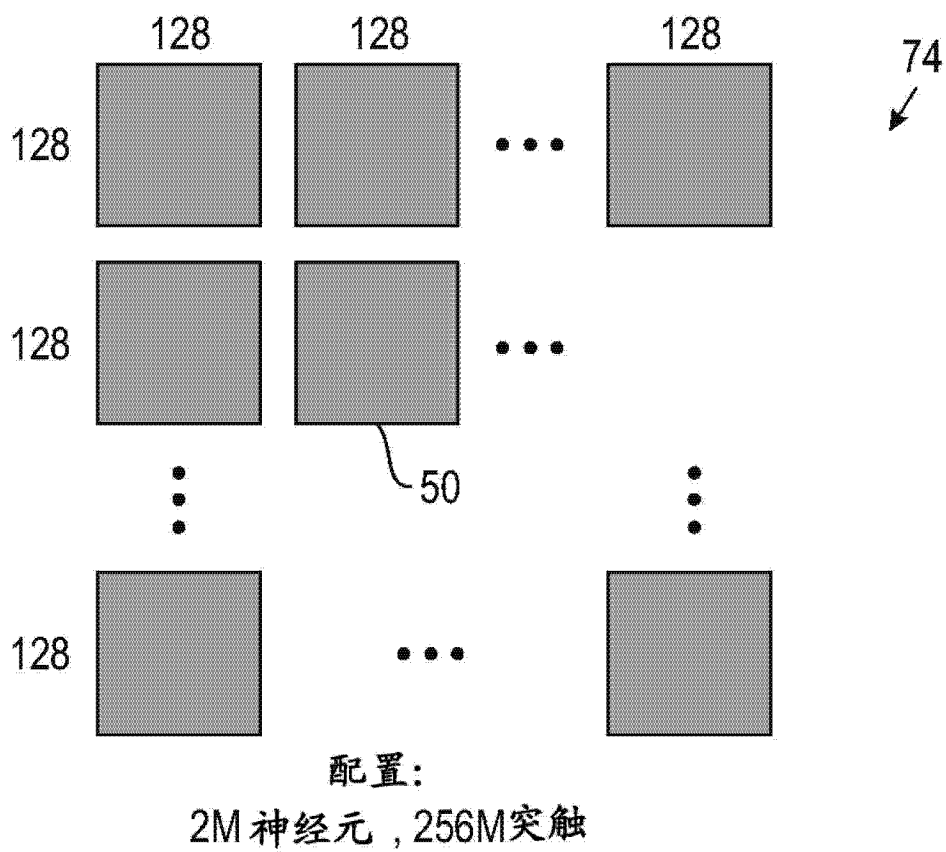


图 3C

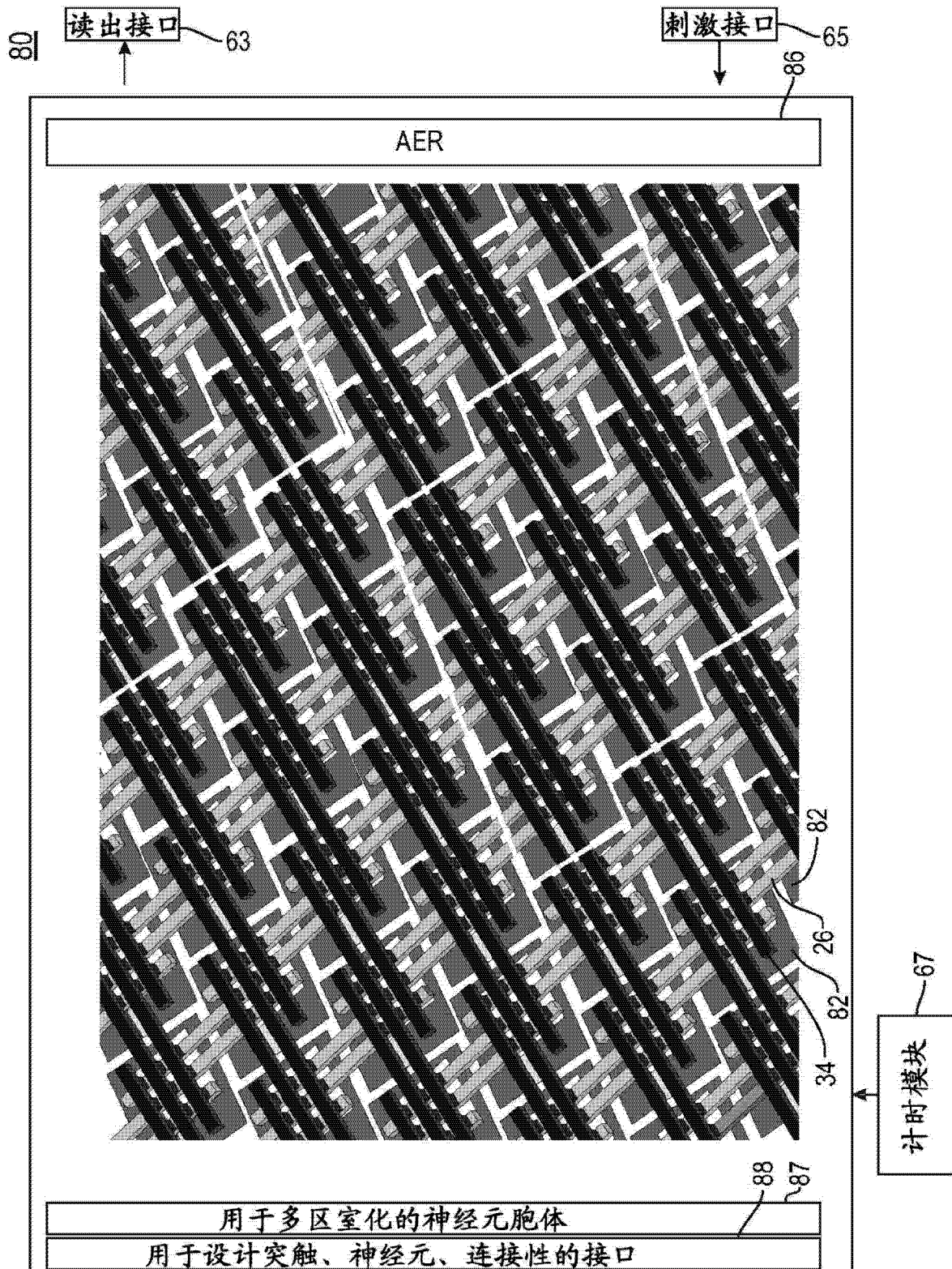


图 4

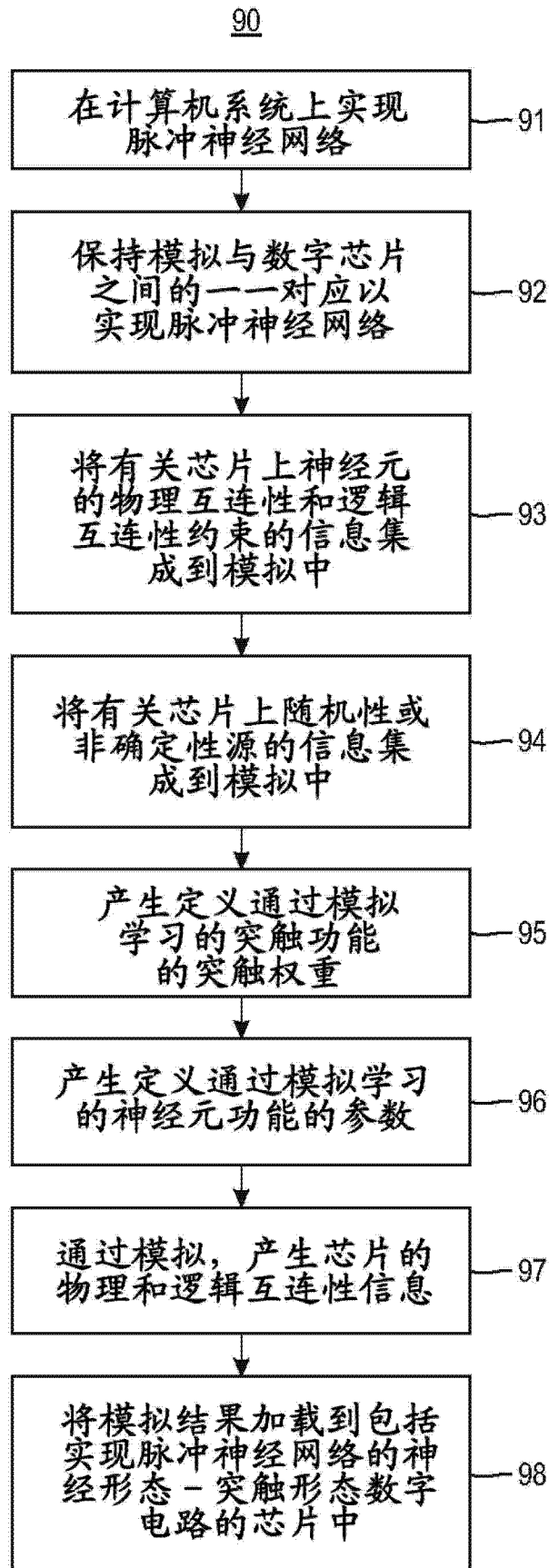


图 5

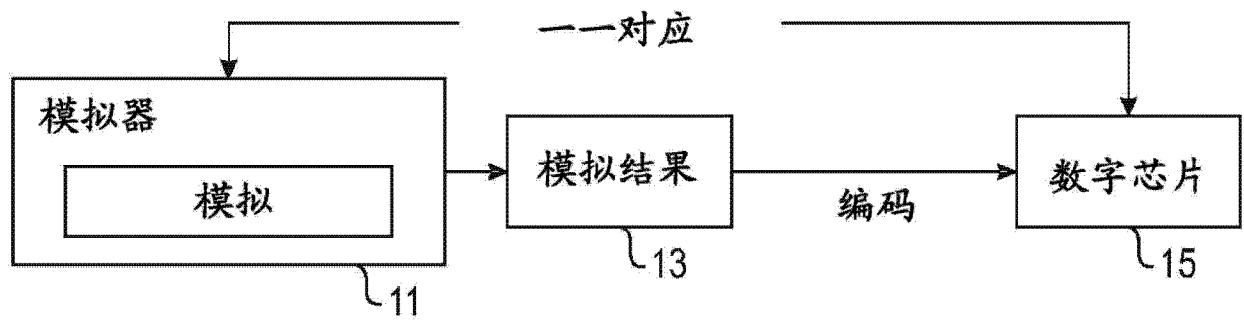


图 6

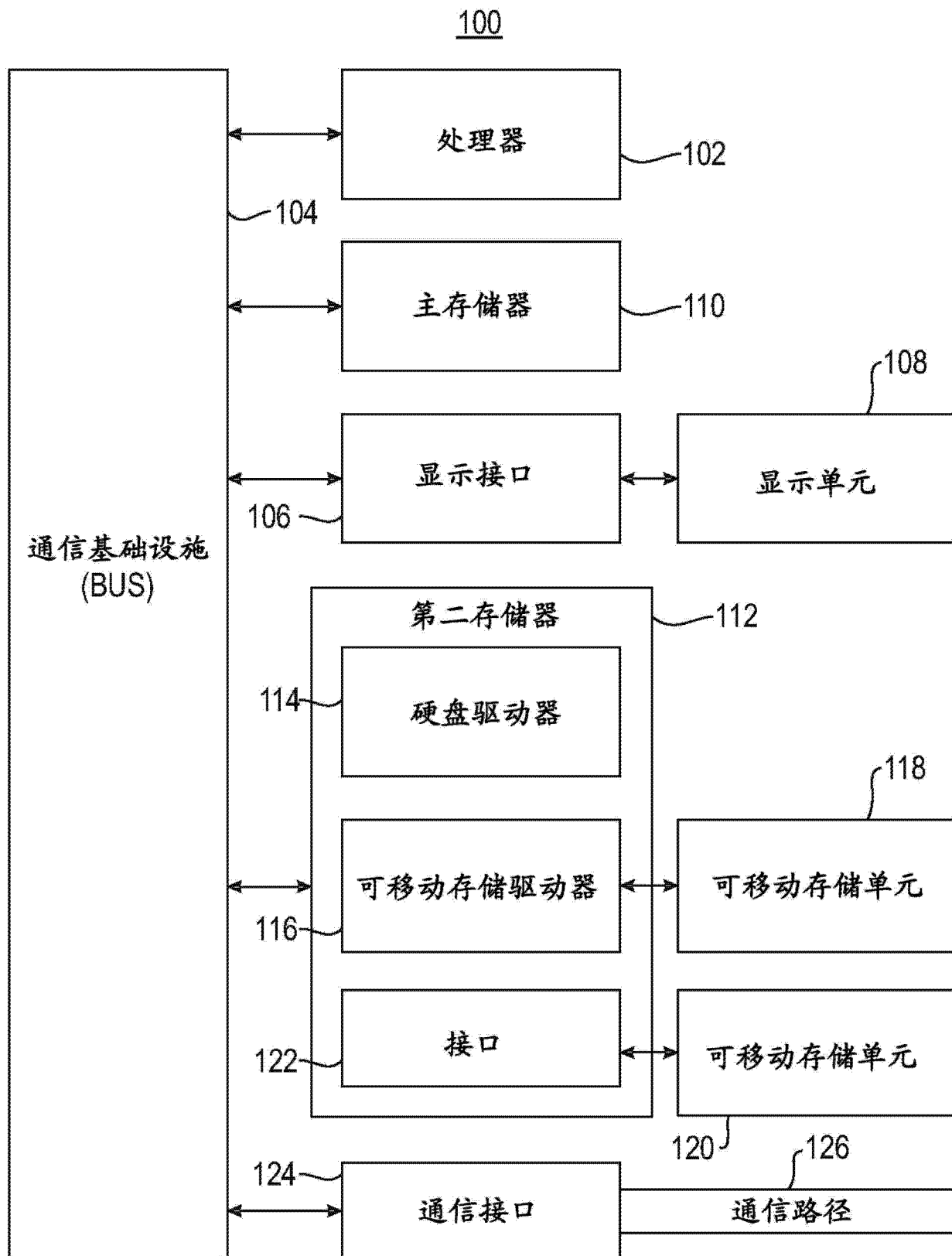


图 7