

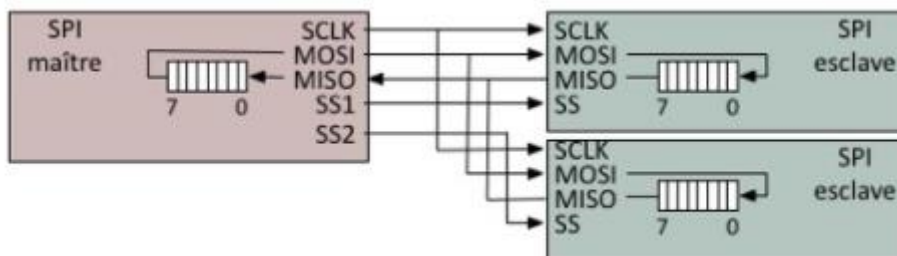
Le bus SPI

Le bus SPI (*Synchronous Peripheral Interface*) est un bus série assurant une communication en full-duplex synchrone. Il est multipoint avec un maître communiquant avec plusieurs esclaves. La communication est réalisée entre le maître et un esclave, le choix de l'esclave se faisant par une sélection directe (donc sans adressage). La communication est unidirectionnelle dans le sens où c'est toujours le maître qui initie la communication.

La ligne entre le maître et les esclaves est constituée de quatre fils :

- SCLK (Serial Clock): l'horloge du bus qui est produit par le maître,
- MOSI (Master Out Slave In) : la ligne de donnée du maître vers l'esclave,
- MISO (Master In Slave Out) : la ligne de donnée de l'esclave vers le maître,
- SS_n (Slave Select n) : la ligne permettant de sélectionner l'esclave destinataire de la communication.

Le principe de communication du SPI repose sur des registres à décalage présents côté maître et côté esclave. La taille du registre peut être configurée (dans le cas du STM32 par exemple ce registre peut-être de 8 ou 16 bits). À chaque période d'horloge, un bit est transféré du maître vers l'esclave et réciproquement de l'esclave vers le maître. Dans le cas d'un registre de 16 bits, il faut donc 16 périodes d'horloge pour effectuer le transfert des données.



La synchronisation se faisant sur l'horloge, la communication est initiée par les front de l'horloge. Quatre modes de transmission existent en fonction de l'état au repos de l'horloge et du front de l'horloge sur lequel se fait la transmission. Pour qu'une communication fonctionne, il faut que le maître et l'esclave partagent le même mode.

Bien qu'ayant des débits élevés, ce bus présente l'inconvénient de ne fonctionner que sur des faibles distances (en général il est utilisé pour de la communication entre des éléments sur la même carte) et qu'il n'y pas d'acquiescement, donc le maître ne sait pas s'il est écouté.

Au niveau d'un STM32F103, un périphérique est dédié au SPI et est facilement configurable à l'aide de quelques registres. La gestion et la lecture des données est ensuite à gérer au niveau de l'applicatif, par exemple en les traitant dans l'interruption de fin de transmission ou à l'aide de la DMA pour des fréquences élevées.

