

## **Behavioral Simulaion**

- .) File --> Change Directory (sim/beh)
- .) File --> New --> Library
  - create: a new library and logocal mapping to it
  - “work” eintragen
- .) Compile --> Compile !vga.pak vor allen anderen TB zuletzt!
  - cd src
  - hex.file in Sim-Verzeichnis kopieren nicht vergessen!
- .) Start Simulation und Conf der TB wählen:
- .) View new Debug Window --> Wave
  - !Für Anzeige: Tools/Options/Wavepreferences...
  - Display Signal Path: 1!

## **Synthese**

- .) File --> Build Project
  - cd src
  - VHDL-Files wähle(TB und pll nicht notwendig)
  - OK
- .) hierachisch ordnen
  - pak,...ent-, arc-,...vga
- .) File --> Save as
  - cd syn(Dateiname: vga)
  - [Falls Project schon vorhanden: open project[filename.prj]
- .) Device Options
  - Impl.Options
    - Device: Altera Stratix EP1S25 -6
    - Impl.Results: Resultfilenam: vga.vqm
    - VHDL: Top Level Entity: vga
- .) 25.175; FSM-Compiler, Res.Sharing
  - RUN (vga.vhm für Pre-Layout)

## **Quartus**

- .) New Project Wizard
- .) Files hinzufügen(vga.vqm, vpll.vhd, vga\_pll.bdf, ---.bsf)
- .) Einstellungen im Project Wizard machen
- .) Processing --> Start Compilation
- .) TCL-Script in download-Verzeichnis kopieren
- .) Nochmal --> Processing --> Start Compilation

## **Download**

- .) Tools --> Programmer
- .) Checkbox mit Configure auswählen und bei Hardwaresetup den Byteblaster
- .) Downloadbutton drücken(File. heißt diesmal vga\_pll.sof)

