

Presented by Cristopher Mejia

Electrical Engineering Project

Logic Decoder System for
Display Visualization



Introducción

El presente proyecto de electrotecnia tuvo como objetivo diseñar e implementar un sistema de decodificación y visualización utilizando lógica digital. A partir de un contador **up/down**, se generaron combinaciones binarias que fueron interpretadas mediante diferentes configuraciones de compuertas lógicas y dispositivos digitales, con el fin de activar segmentos de un display y representar caracteres específicos.

Cada salida (a–g) del sistema fue implementada con una técnica distinta: compuertas NAND, AND, NOR, multiplexores y demultiplexores, demostrando la versatilidad y equivalencia funcional de las distintas familias de compuertas. El proceso incluyó la elaboración de **tablas de verdad**, la simplificación de expresiones mediante **mapas de Karnaugh**, y la construcción de diagramas lógicos que permitieron una implementación reproducible y eficiente.

El resultado final fue un circuito capaz de mostrar la palabra **ECOTEC** seguida de los números del **1 al 9**, evidenciando la aplicación práctica de la teoría de decodificadores y la importancia de la lógica digital en sistemas de visualización. Este proyecto no solo reforzó conceptos fundamentales de electrotecnia, sino que también permitió desarrollar habilidades en documentación técnica, análisis de funciones booleanas y trabajo colaborativo en la construcción de sistemas digitales.

Realizamos la **A** usando **Únicamente compuertas nand de 3 entradas e inversores**

Tabla de Niveles de activación

tabla de niveles de activación					
	A	B	C	D	a
m0	0	0	0	0	1
m1	0	0	0	1	0
m2	0	0	1	0	1
m3	0	0	1	1	1
m4	0	1	0	0	0
m5	0	1	0	1	1
m6	0	1	1	0	0
m7	0	1	1	1	1
m8	1	0	0	0	1
m9	1	0	0	1	1
m10	1	0	1	0	1
m11	1	0	1	1	0
m12	1	1	0	0	0
m13	1	1	0	1	0
m14	1	1	1	0	1
m15	1	1	1	1	0

Tabla de Niveles de Voltaje

Tabla de niveles de voltaje					
	A	B	C	D	a
m0	H	H	L	L	H
m1	H	H	L	H	L
m2	H	H	H	L	H
m3	H	H	H	H	H
m4	H	L	L	L	L
m5	H	L	L	H	H
m6	H	L	H	L	L
m7	H	L	H	H	H
m8	L	H	L	L	H
m9	L	H	L	H	H
m10	L	H	H	L	H
m11	L	H	H	H	L
m12	L	L	L	L	L
m13	L	L	L	H	L
m14	L	L	H	L	H
m15	L	L	H	H	L

Mapa de karnaugh

A) NAND	C'D'	C'D	CD	CD'
A'B'	1	0	1	1
A'B	0	1	1	0
AB	0	0	0	1
AB'	1	1	0	1
$F = B'D + A'B'C + A'BD + AB'C' + ACD'$				

Grupos de selección

0,2,8,10	B'D
2,3	A'B'C
5,7	A'BD
8,9	AB'C'
10,14	ACD'

Diseño de selección

Map Layout	C'D'	C'D	CD	CD'
A'B'	0	1	3	2
A'B	4	5	7	6
AB	12	13	15	14
AB'	8	9	11	10

Diagrama Logico

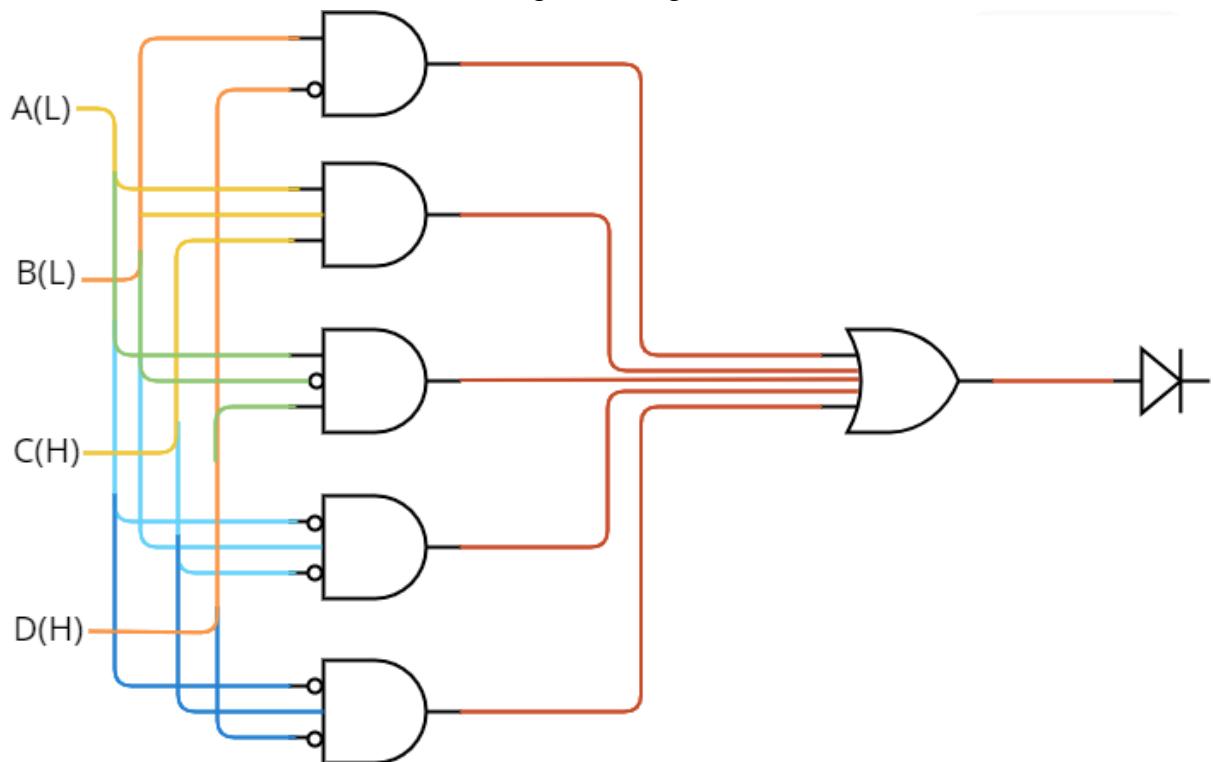
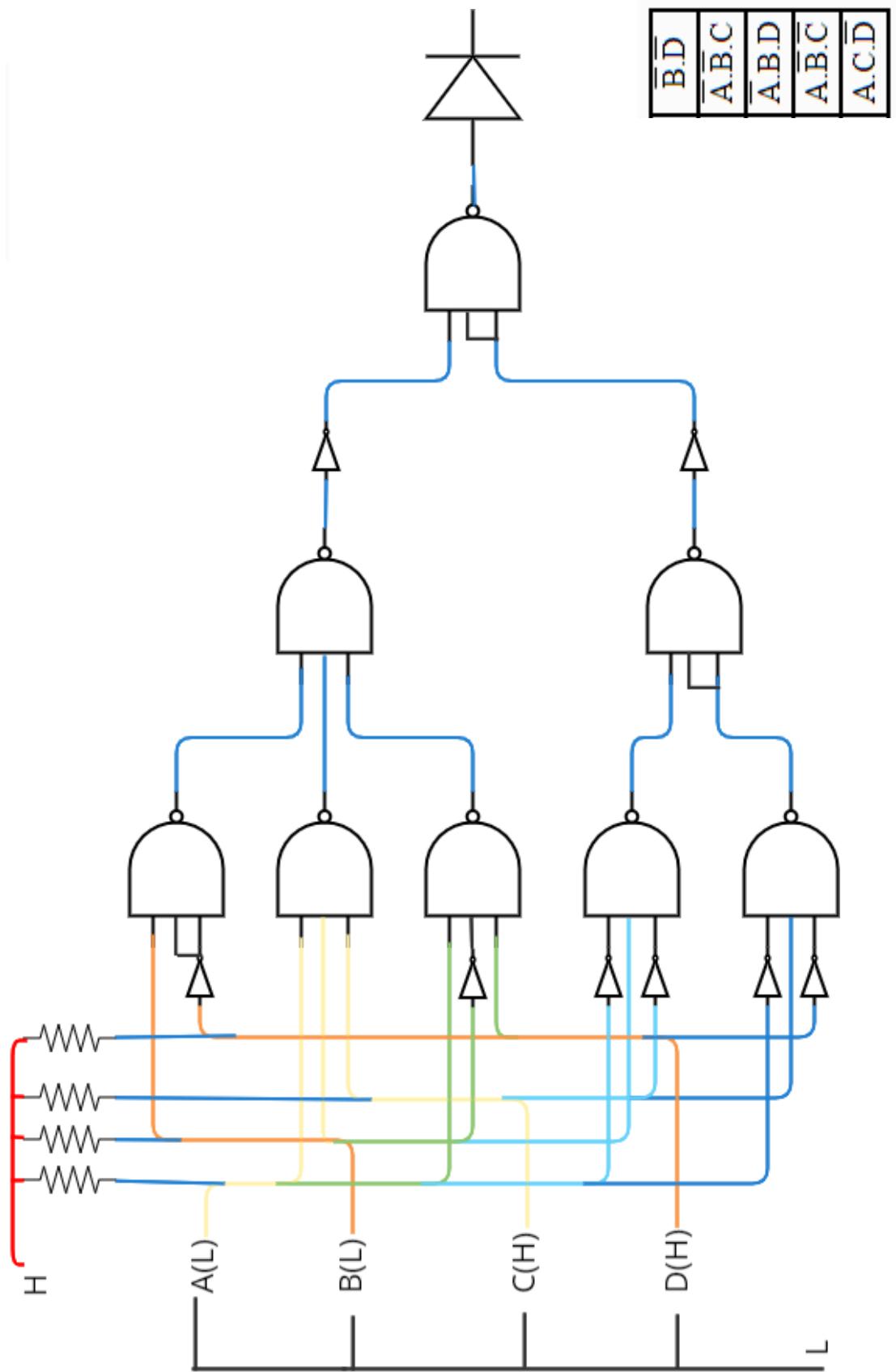
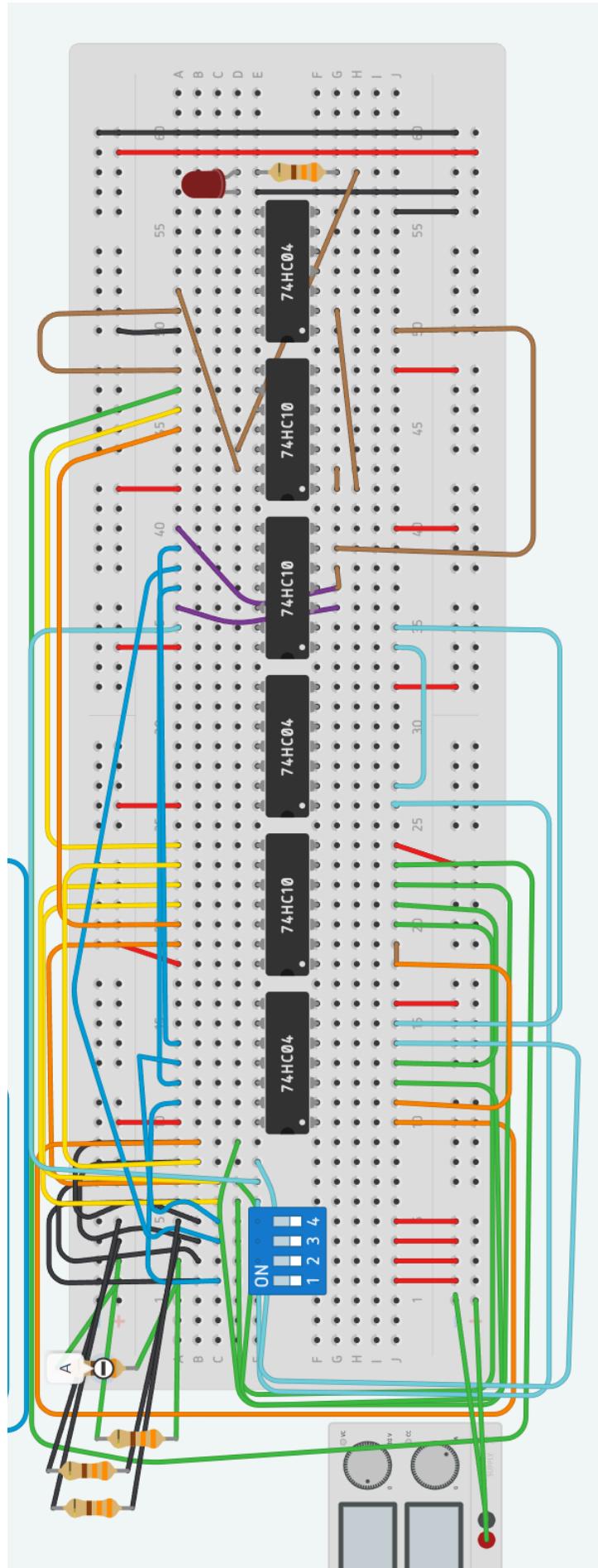


Diagrama de implementación usando **Únicamente compuertas nand**
de 3 entradas e inversores





Realizamos la **B** Usando demultiplexores

Tabla de Niveles de activación

	tabla de niveles de activación				
	A	B	C	D	b
m0	0	0	0	0	1
m1	0	0	0	1	1
m2	0	0	1	0	1
m3	0	0	1	1	1
m4	0	1	0	0	1
m5	0	1	0	1	0
m6	0	1	1	0	0
m7	0	1	1	1	1
m8	1	0	0	0	1
m9	1	0	0	1	1
m10	1	0	1	0	0
m11	1	0	1	1	0
m12	1	1	0	0	0
m13	1	1	0	1	0
m14	1	1	1	0	0
m15	1	1	1	1	0

Tabla de niveles de voltaje

	Tabla de niveles de voltaje				
	A	B	C	D	b
m0	H	H	L	L	H
m1	H	H	L	H	H
m2	H	H	H	L	H
m3	H	H	H	H	H
m4	H	L	L	L	H
m5	H	L	L	H	L
m6	H	L	H	L	L
m7	H	L	H	H	H
m8	L	H	L	L	H
m9	L	H	L	H	H
m10	L	H	H	L	L
m11	L	H	H	H	L
m12	L	L	L	L	L
m13	L	L	L	H	L
m14	L	L	H	L	L
m15	L	L	H	H	L

Mapa de karnaugh

B)	C'D'	C'D	CD	CD'
A'B'	1	1	1	1
A'B	1	0	1	0
AB	0	0	0	0
AB'	1	1	0	0
$F = A'B' + B'C' + A'C'D' + A'CD$				

Grupos de selección

0,1,2,3	A'B'
0,1,8,9	B'C'
0,4	A'C'D'
3,7	A'CD

Diseño de selección

Map Layout	C'D	C'D'	CD	CD'
A'B'	0	1	3	2
A'B	4	5	7	6
AB	12	13	15	14
AB'	8	9	11	10

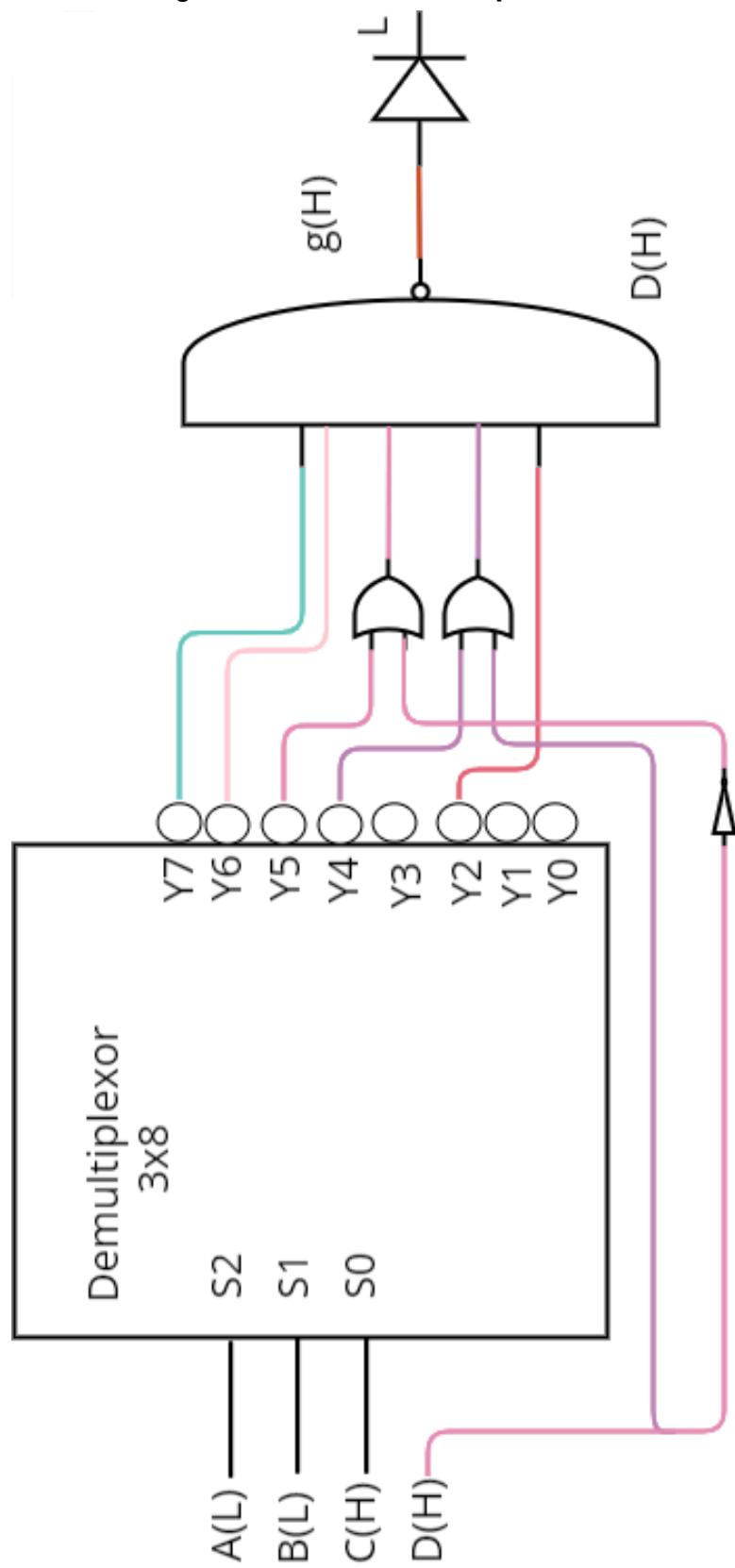
Tabla de Niveles de Activación reducida a 8 a 1

B) Tabla de niveles de activación				
	A	B	C	b
m0	0	0	0	1
m1	0	0	1	1
m2	0	1	0	D'
m3	0	1	1	D
m4	1	0	0	1
m5	1	0	1	0
m6	1	1	0	0
m7	1	1	1	0

Mapas de Karnaugh reducidos de 3 variables con método de introducción de variables

	A'B'	A'B	AB	AB'
C'	1	D'	0	1
C	1	D	0	0
	AB	AB'	A'B'	A'B
C'	0	1	1	D'
C	0	0	1	D
S0/S2S1				
	Y0	Y2	Y6	Y4
	Y1	Y3	Y7	Y5

Diagrama Usando demultiplexores



Realizamos el **C** Únicamente compuertas and de 2 entradas e inversores

Tabla de Niveles de activación

	tabla de niveles de activación				c
	A	B	C	D	c
m0	0	0	0	0	1
m1	0	0	0	1	1
m2	0	0	1	0	0
m3	0	0	1	1	1
m4	0	1	0	0	1
m5	0	1	0	1	1
m6	0	1	1	0	1
m7	0	1	1	1	1
m8	1	0	0	0	1
m9	1	0	0	1	1
m10	1	0	1	0	0
m11	1	0	1	1	0
m12	1	1	0	0	1
m13	1	1	0	1	0
m14	1	1	1	0	0
m15	1	1	1	1	0

Tabla de Niveles de Voltaje

	Tabla de niveles de voltaje				c
	A	B	C	D	c
m0	H	H	L	L	H
m1	H	H	L	H	H
m2	H	H	H	L	L
m3	H	H	H	H	H
m4	H	L	L	L	H
m5	H	L	L	H	H
m6	H	L	H	L	H
m7	H	L	H	H	H
m8	L	H	L	L	H
m9	L	H	L	H	H
m10	L	H	H	L	L
m11	L	H	H	H	L
m12	L	L	L	L	H
m13	L	L	L	H	L
m14	L	L	H	L	L
m15	L	L	H	H	L

Mapa de karnaugh

C) AND	C'D'	C'D	CD	CD'
A'B'	1	1	1	0
A'B	1	1	1	1
AB	1	0	0	0
AB'	1	1	0	0
$F = B'C' + C'D' + A'D + A'B$				

Grupos de selección

0,1,8,9	B'C'
0,4,8,12	C'D'
1,3,5,7	A'D
4,5,6,7	A'B

Diseño de selección

Map Layout	C'D'	C'D	CD	CD'
A'B'	0	1	3	2
A'B	4	5	7	6
AB	12	13	15	14
AB'	8	9	11	10

Diagrama Lógico

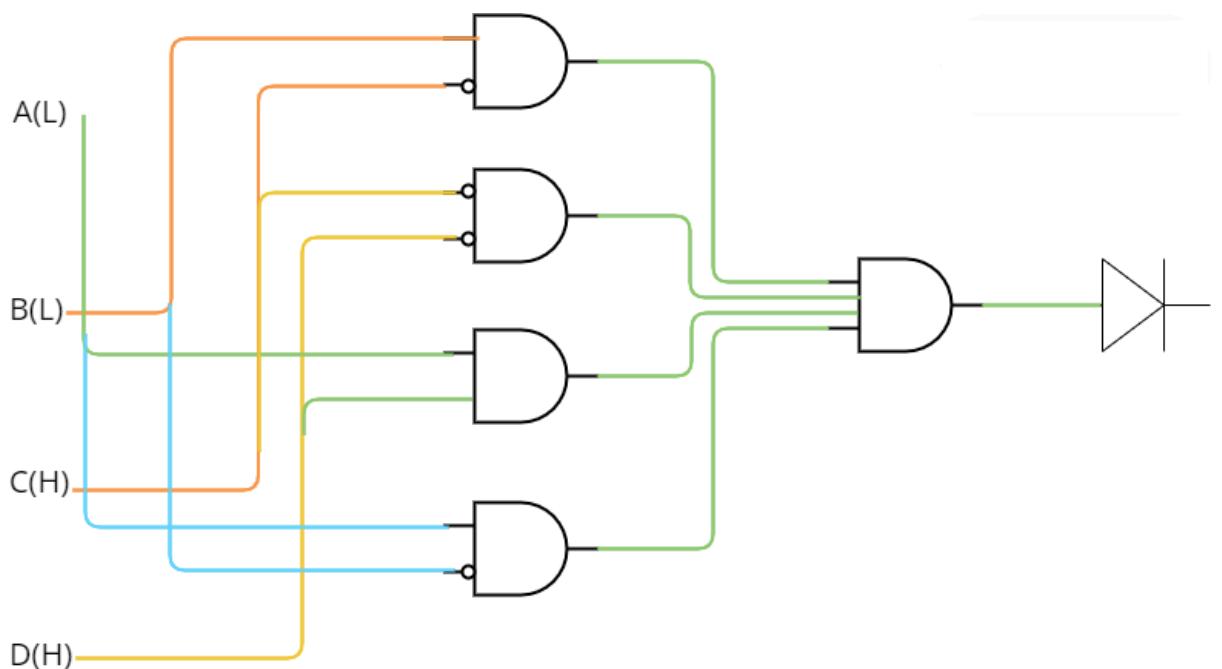
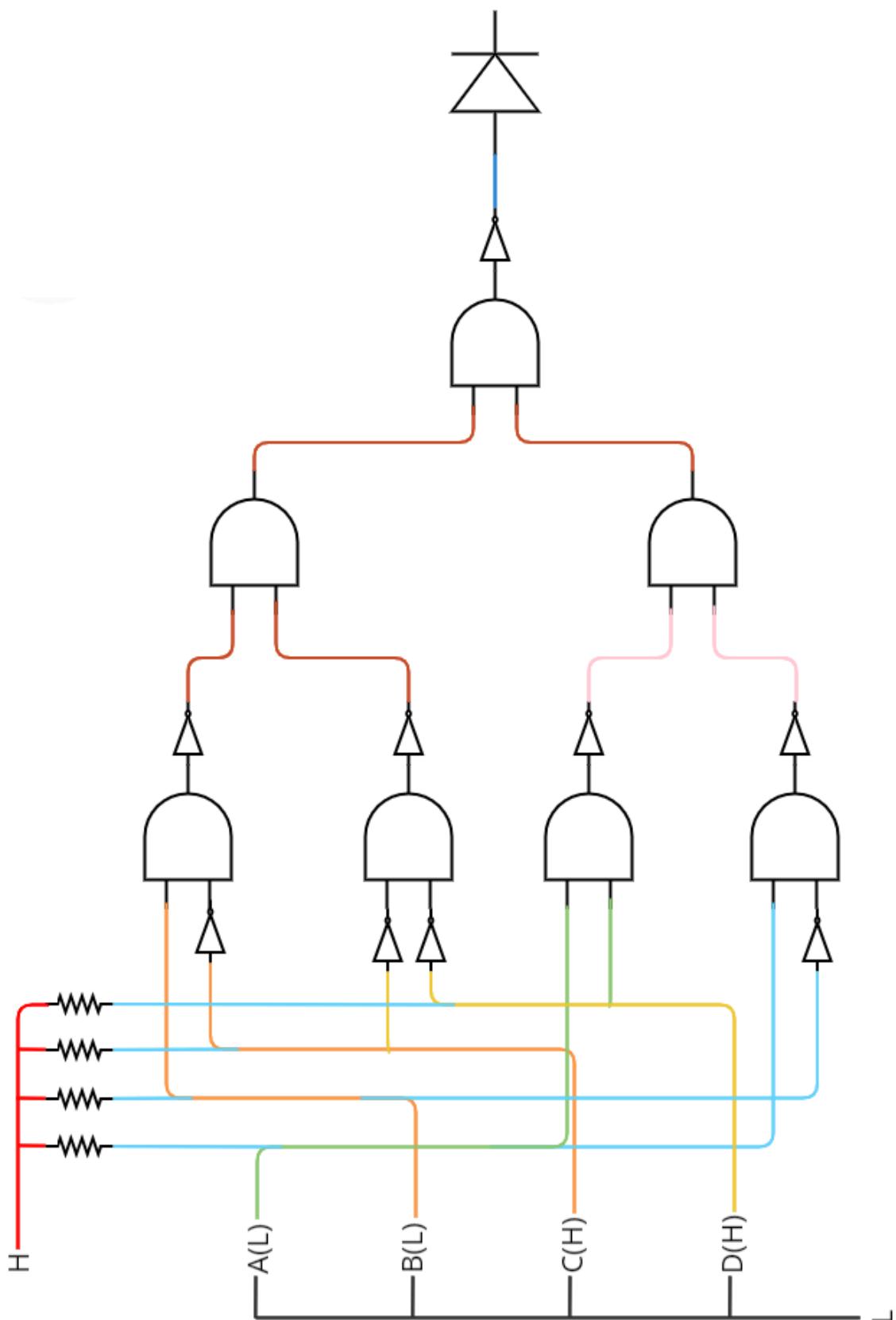
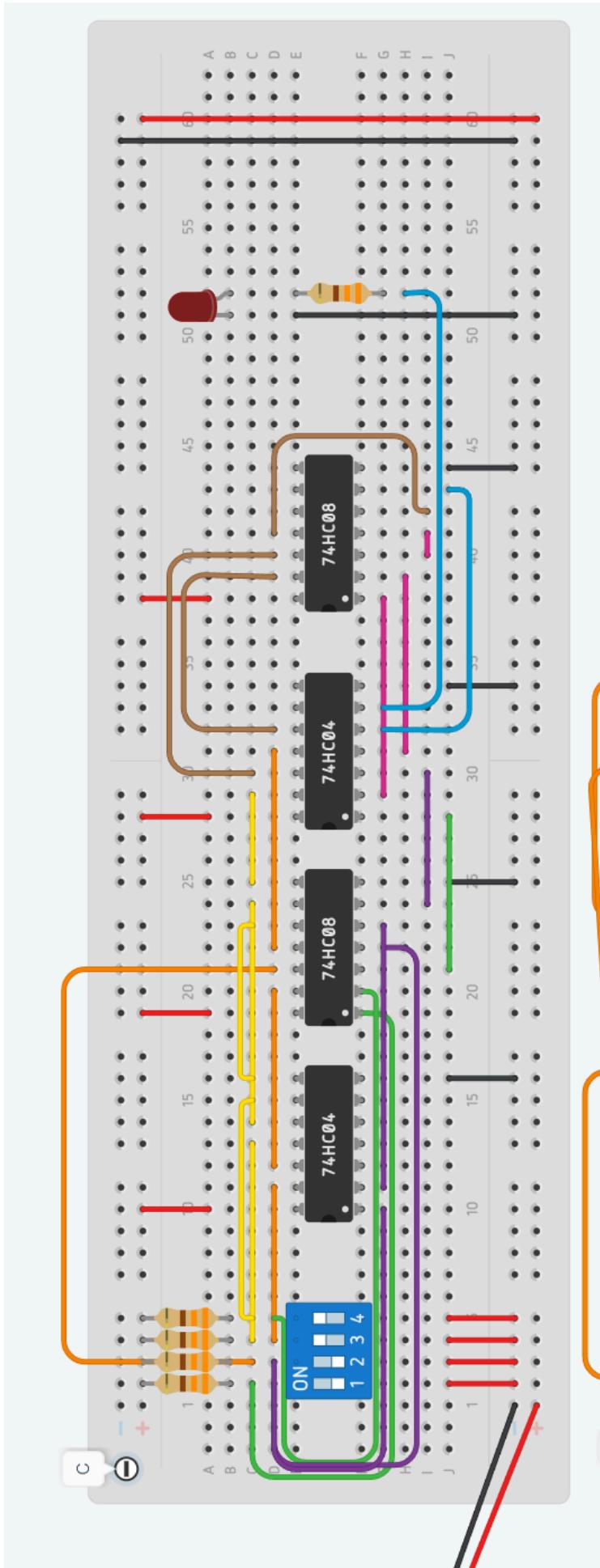


Diagrama de implementación Usando Únicamente compuertas and de 2 entradas e inversores





Realizamos la D Usando los elementos que deseé

Tabla de Niveles de Activación

	tabla de niveles de activación				
	A	B	C	D	d
m0	0	0	0	0	1
m1	0	0	0	1	0
m2	0	0	1	0	1
m3	0	0	1	1	1
m4	0	1	0	0	0
m5	0	1	0	1	1
m6	0	1	1	0	1
m7	0	1	1	1	0
m8	1	0	0	0	1
m9	1	0	0	1	0
m10	1	0	1	0	1
m11	1	0	1	1	1
m12	1	1	0	0	1
m13	1	1	0	1	1
m14	1	1	1	0	1
m15	1	1	1	1	1

Tabla de Niveles de Voltaje

	Tabla de niveles de voltaje				
	A	B	C	D	d
m0	H	H	L	L	H
m1	H	H	L	H	L
m2	H	H	H	L	H
m3	H	H	H	H	H
m4	H	L	L	L	L
m5	H	L	L	H	H
m6	H	L	H	L	H
m7	H	L	H	H	L
m8	L	H	L	L	H
m9	L	H	L	H	L
m10	L	H	H	L	H
m11	L	H	H	H	H
m12	L	L	L	L	H
m13	L	L	L	H	H
m14	L	L	H	L	H
m15	L	L	H	H	H

Mapa de karnaugh

D) Elementos	C'D'	C'D	CD	CD'
A'B'	1	0	1	1
A'B	0	1	0	1
AB	1	1	1	1
AB'	1	0	1	1
$F = AB + B'D' + B'C + CD' + BC'D$				

Grupos de selección

12,13,14,15	AB
0,2,8,10	B'D'
2,3,10,11	B'C
2,6,10,14	CD'
5,13	BC'D

Diseño de selección

Map Layout	C'D'	C'D	CD	CD'
A'B'	0	1	3	2
A'B	4	5	7	6
AB	12	13	15	14
AB'	8	9	11	10

Diagrama lógico

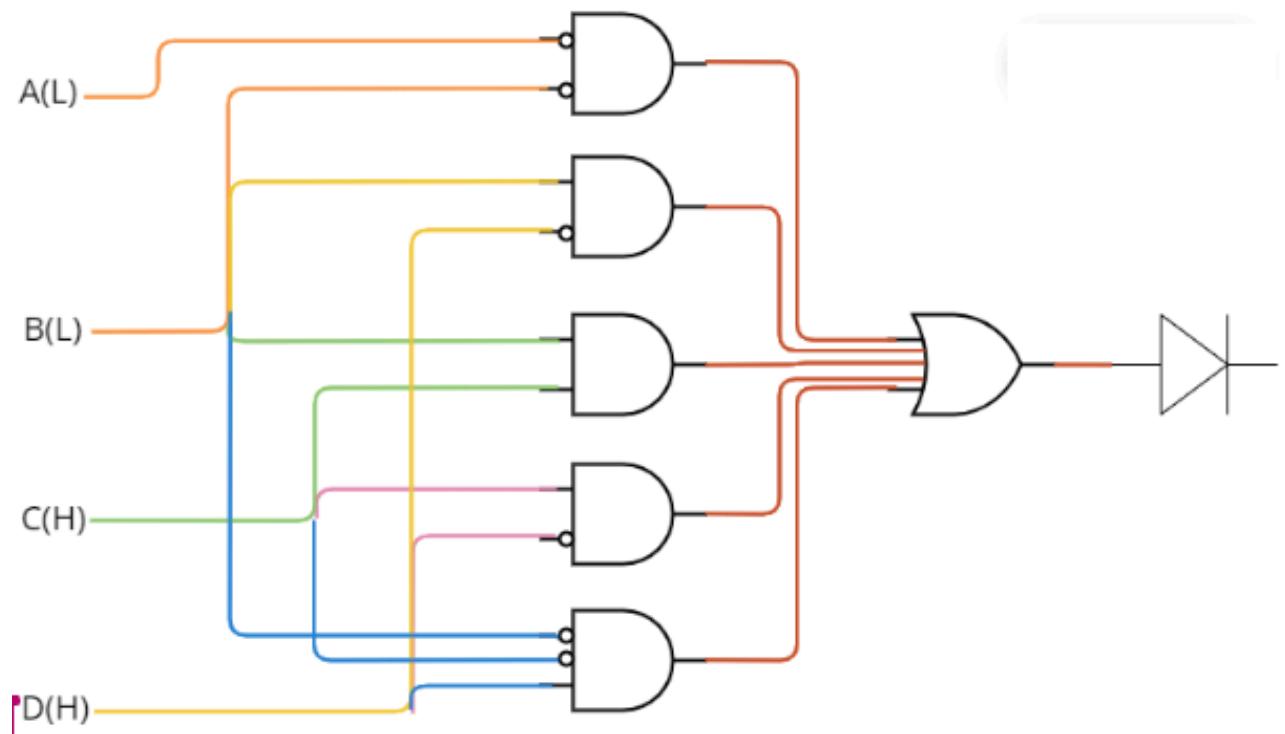
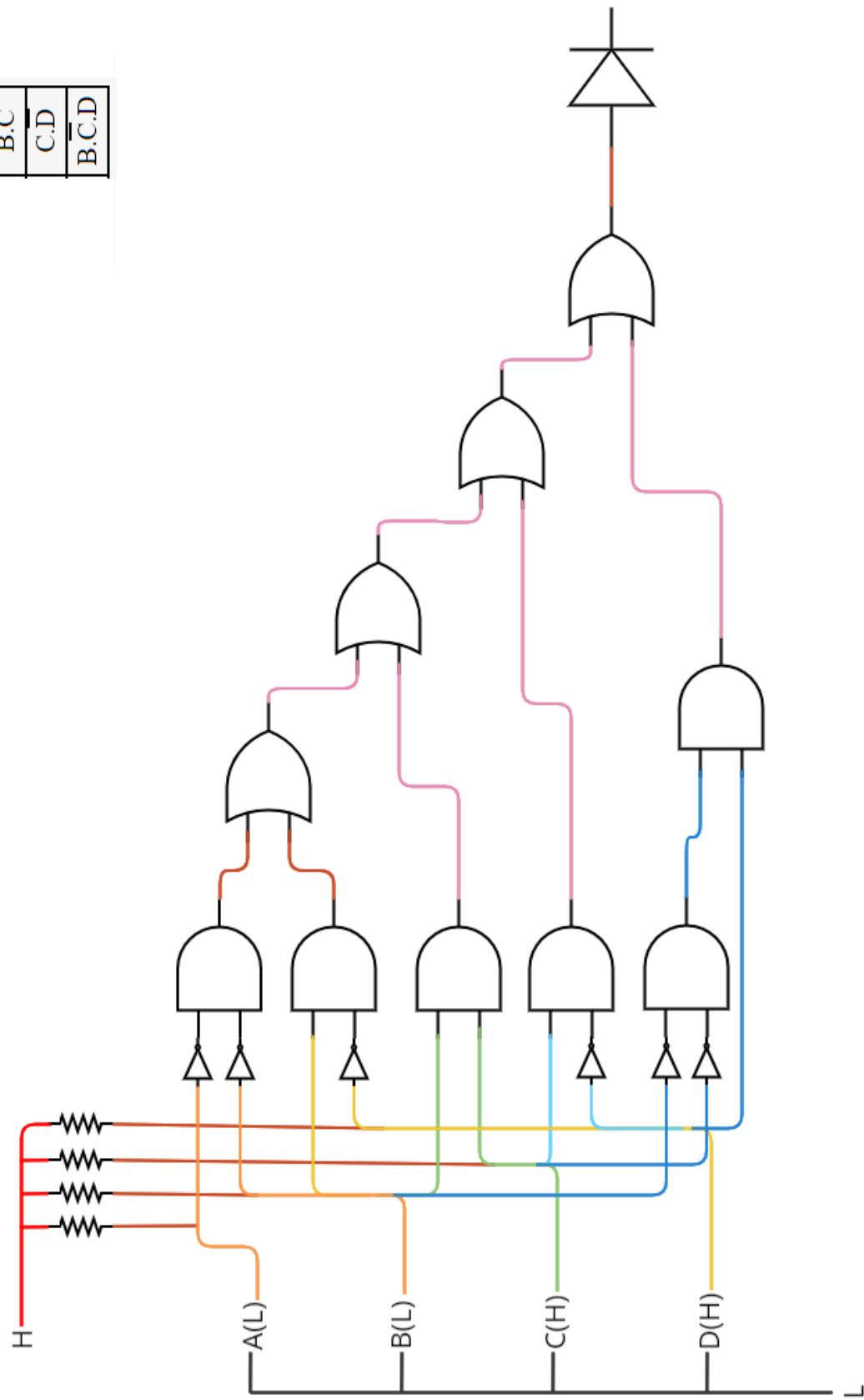
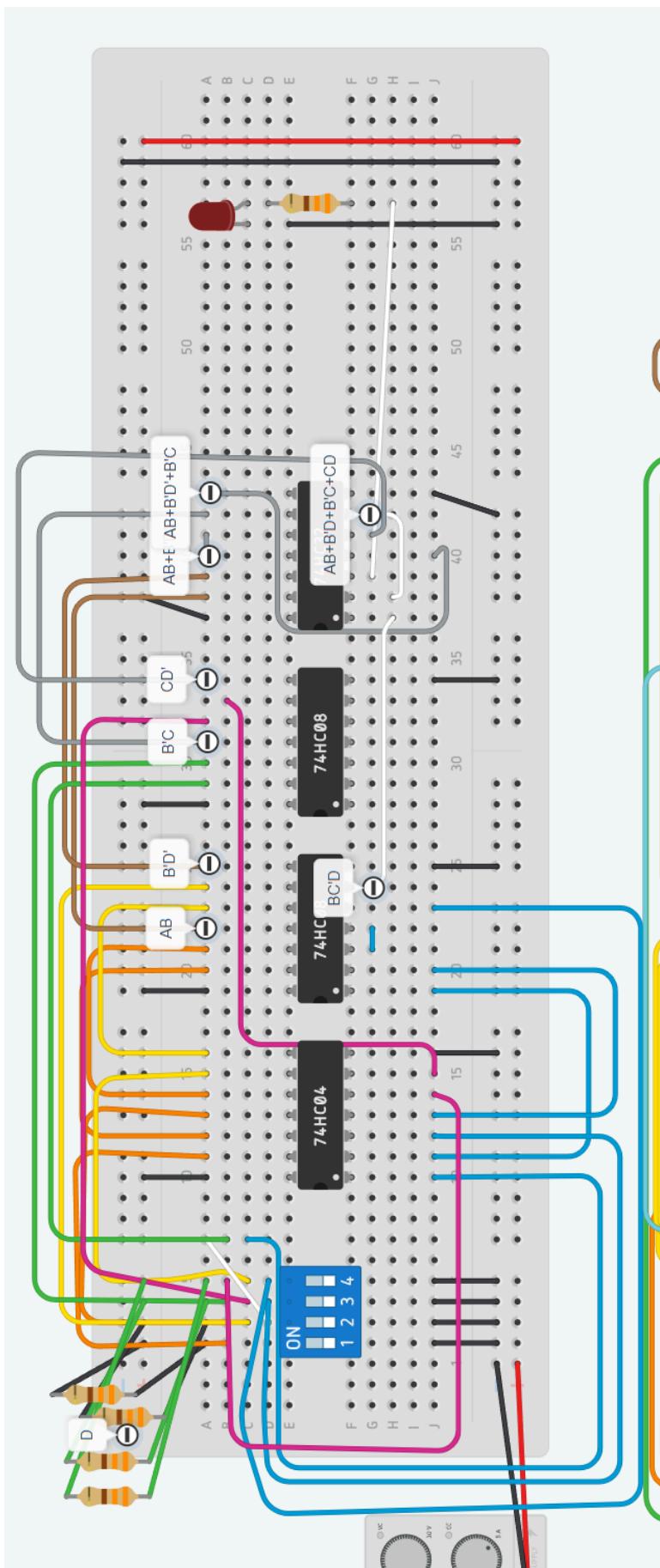


Diagrama de implementacion **Usando los elementos que desee**

A.B
B.D
$\bar{B} \cdot C$
C.D
$\bar{B} \cdot \bar{C} \cdot D$





Realizamos la **E** Únicamente compuertas nand de 2 entradas

Tabla de Niveles de Activación

	tabla de niveles de activación				
	A	B	C	D	e
m0	0	0	0	0	1
m1	0	0	0	1	0
m2	0	0	1	0	1
m3	0	0	1	1	0
m4	0	1	0	0	0
m5	0	1	0	1	0
m6	0	1	1	0	1
m7	0	1	1	1	0
m8	1	0	0	0	1
m9	1	0	0	1	0
m10	1	0	1	0	1
m11	1	0	1	1	1
m12	1	1	0	0	1
m13	1	1	0	1	1
m14	1	1	1	0	1
m15	1	1	1	1	1

Tabla de Niveles de Voltaje

	Tabla de niveles de voltaje				
	A	B	C	D	e
m0	H	H	L	L	H
m1	H	H	L	H	L
m2	H	H	H	L	H
m3	H	H	H	H	L
m4	H	L	L	L	L
m5	H	L	L	H	L
m6	H	L	H	L	H
m7	H	L	H	H	L
m8	L	H	L	L	H
m9	L	H	L	H	L
m10	L	H	H	L	H
m11	L	H	H	H	H
m12	L	L	L	L	H
m13	L	L	L	H	H
m14	L	L	H	L	H
m15	L	L	H	H	H

Mapa de karnaugh

(E) Or	C'D'	C'D	CD	CD'
A'B'	1	0	0	1
A'B	0	0	0	1
AB	1	1	1	1
AB'	1	0	1	1
$F = B'D' + CD' + AC + AB$				

Grupos de selección

0,2,8,10	B'D'
2,6,10,14	CD'
10,11,14,15	AC
12,13,14,15	AB

Diseño de selección

Map Layout	C'D'	C'D	CD	CD'
A'B'	0	1	3	2
A'B	4	5	7	6
AB	12	13	15	14
AB'	8	9	11	10

Diagrama lógico

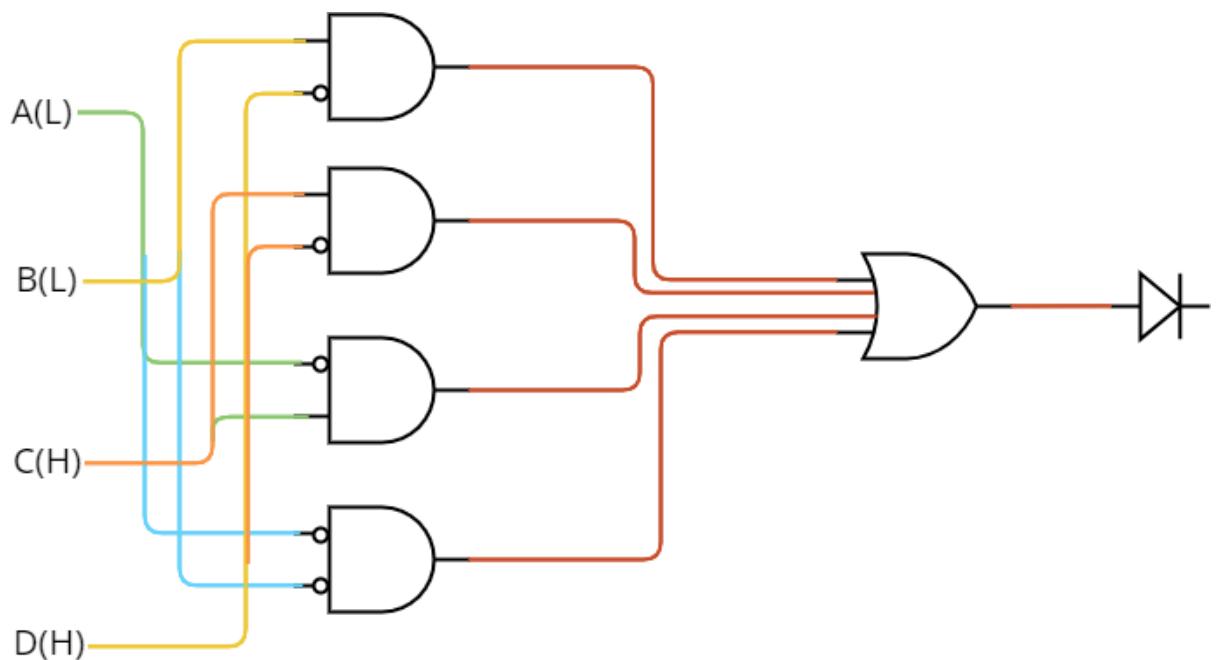
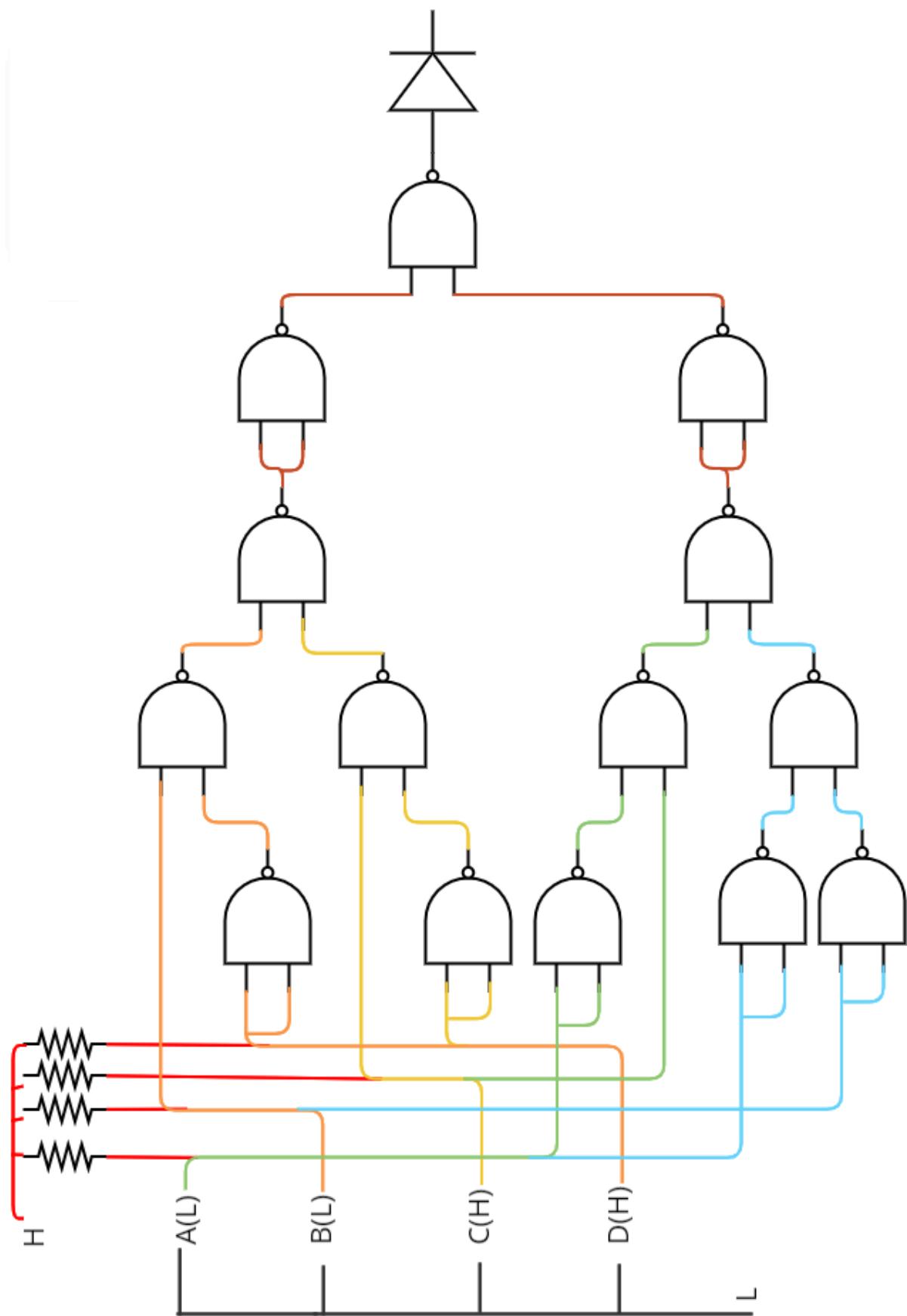
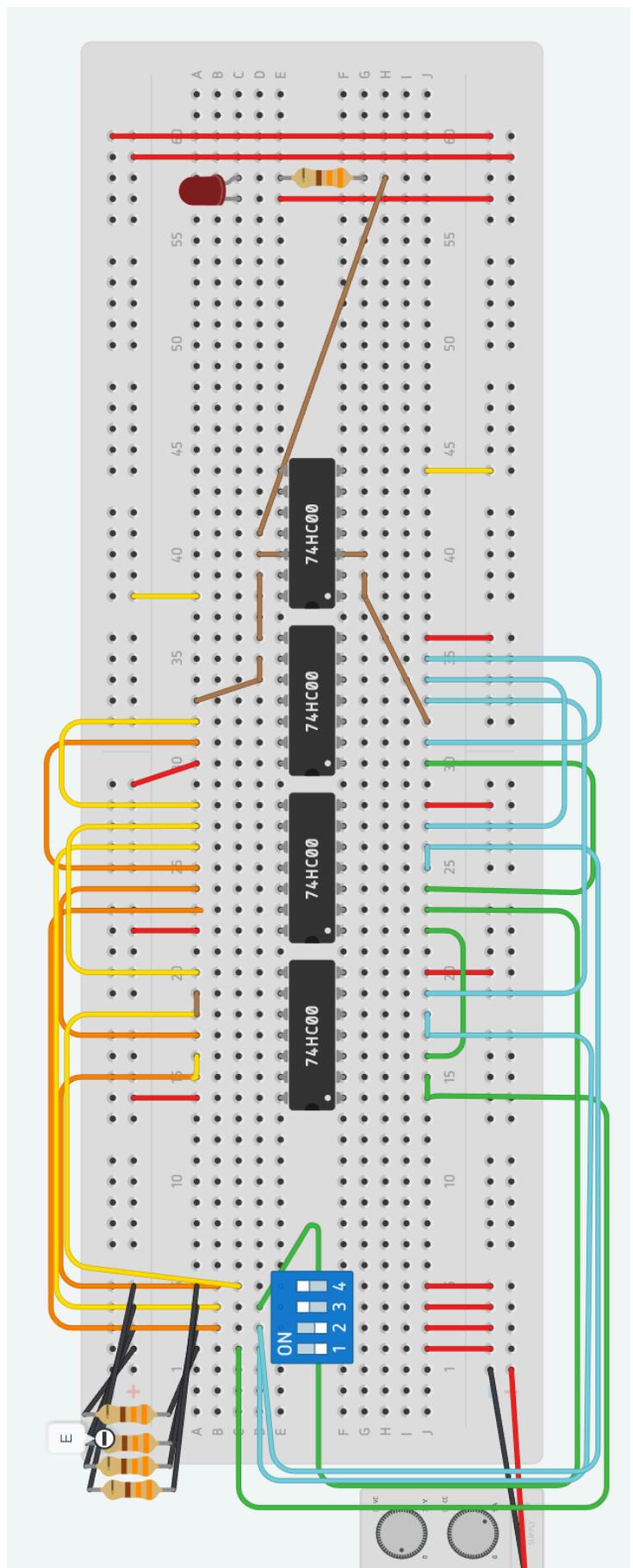


Diagrama de implementacion Usando **Únicamente compuertas nand de 2 entradas**





Realizamos la F Únicamente compuertas nor de 2 entradas
 Tabla de Niveles de Activación

	tabla de niveles de activación				
	A	B	C	D	f
m0	0	0	0	0	1
m1	0	0	0	1	0
m2	0	0	1	0	0
m3	0	0	1	1	0
m4	0	1	0	0	1
m5	0	1	0	1	1
m6	0	1	1	0	1
m7	0	1	1	1	0
m8	1	0	0	0	1
m9	1	0	0	1	1
m10	1	0	1	0	1
m11	1	0	1	1	0
m12	1	1	0	0	0
m13	1	1	0	1	1
m14	1	1	1	0	1
m15	1	1	1	1	0

Tabla de Niveles de Voltaje

	Tabla de niveles de voltaje				
	A	B	C	D	f
m0	H	H	L	L	H
m1	H	H	L	H	L
m2	H	H	H	L	L
m3	H	H	H	H	L
m4	H	L	L	L	H
m5	H	L	L	H	H
m6	H	L	H	L	H
m7	H	L	H	H	L
m8	L	H	L	L	H
m9	L	H	L	H	H
m10	L	H	H	L	H
m11	L	H	H	H	L
m12	L	L	L	L	L
m13	L	L	L	H	H
m14	L	L	H	L	H
m15	L	L	H	H	L

Mapa de karnaugh

F) NAND 2	C'D'	C'D	CD	CD'
A'B'	1	0	0	0
A'B	1	1	0	1
AB	0	1	0	1
AB'	1	1	0	1
$F = A'C'D' + BC'D + BCD' + AB'C' + AB'D'$				

Diseño de selección

Map Layout	C'D	C'D	CD	CD'
A'B'	0	1	3	2
A'B	4	5	7	6
AB	12	13	15	14
AB'	8	9	11	10

Grupos de selección

0,4	A'C'D'
5,13	BC'D
6,14	BCD'
8,9	AB'C'
8,1	AB'D'

Diagrama lógico

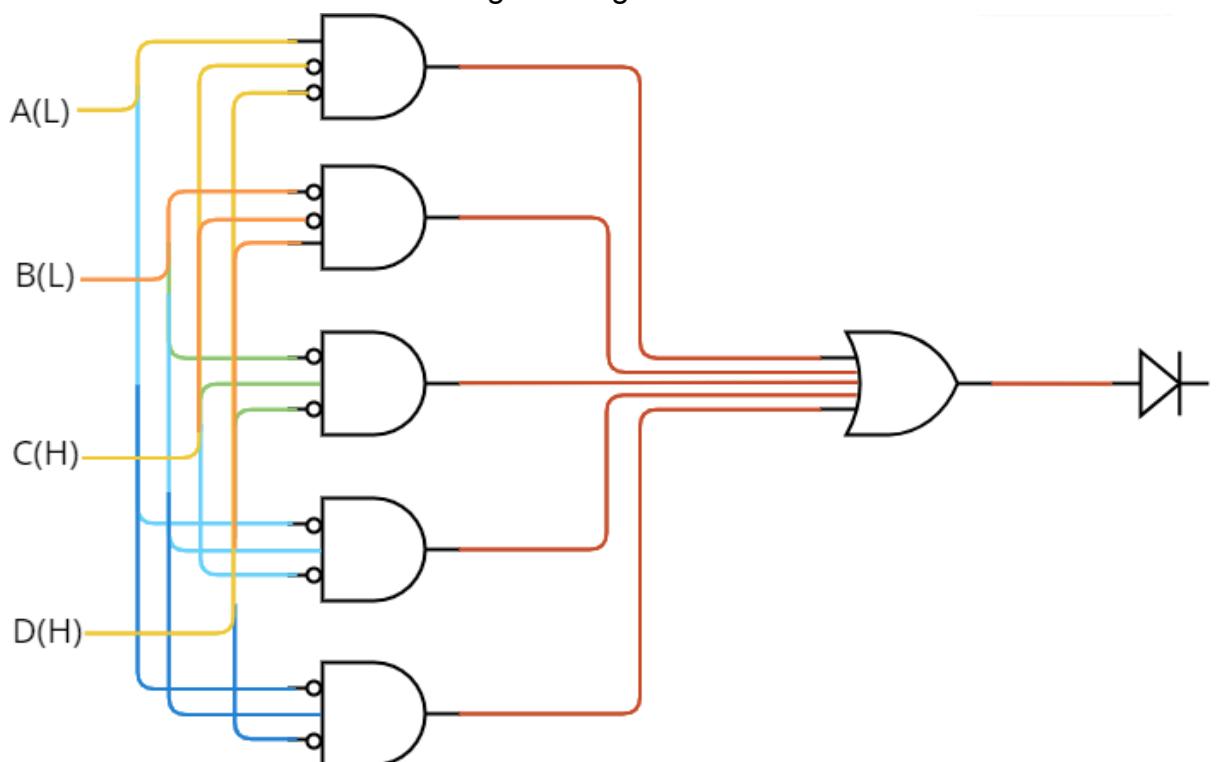
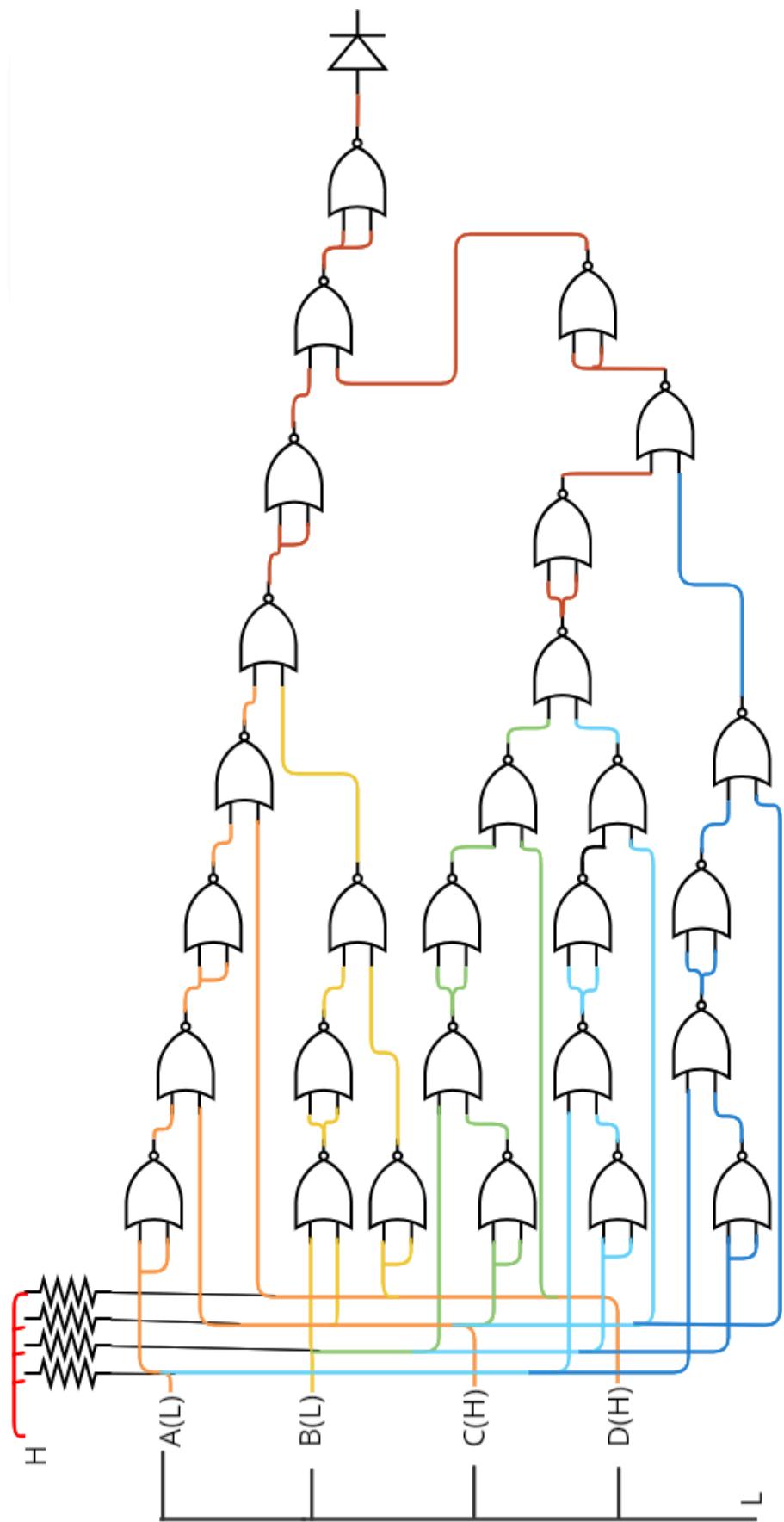
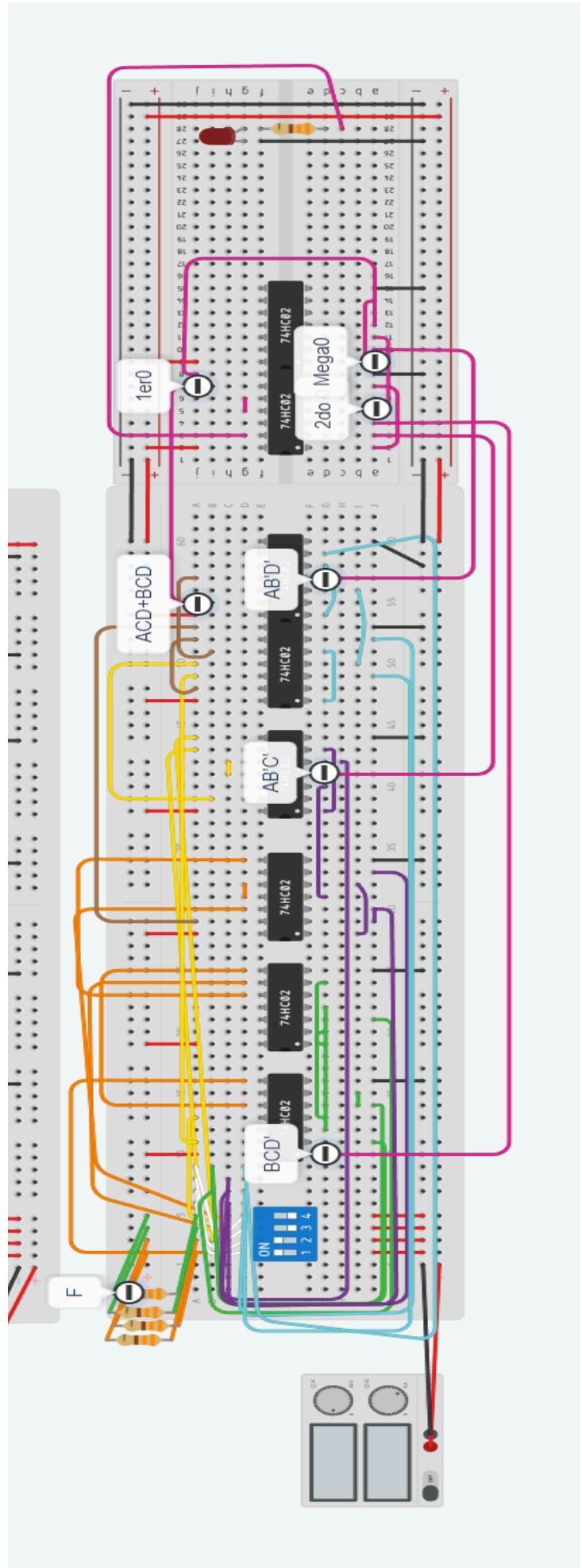


Diagrama de implementación usando Únicamente compuertas nor de 2 entradas





Realizamos la **G** Usando multiplexores

Tabla de Niveles de Activación

	tabla de niveles de activación				
	A	B	C	D	g
m0	0	0	0	0	0
m1	0	0	0	1	0
m2	0	0	1	0	1
m3	0	0	1	1	1
m4	0	1	0	0	1
m5	0	1	0	1	1
m6	0	1	1	0	1
m7	0	1	1	1	0
m8	1	0	0	0	1
m9	1	0	0	1	1
m10	1	0	1	0	1
m11	1	0	1	1	1
m12	1	1	0	0	1
m13	1	1	0	1	1
m14	1	1	1	0	1
m15	1	1	1	1	1

Tabla de Niveles de Voltaje

	Tabla de niveles de voltaje				
	A	B	C	D	g
m0	H	H	L	L	L
m1	H	H	L	H	L
m2	H	H	H	L	H
m3	H	H	H	H	H
m4	H	L	L	L	H
m5	H	L	L	H	H
m6	H	L	H	L	H
m7	H	L	H	H	L
m8	L	H	L	L	H
m9	L	H	L	H	H
m10	L	H	H	L	H
m11	L	H	H	H	H
m12	L	L	L	L	H
m13	L	L	L	H	H
m14	L	L	H	L	H
m15	L	L	H	H	H

Mapa de karnaugh

G) Multiplexor	C'D'	C'D	CD	CD'
A'B'	0	0	1	1
A'B	1	1	0	1
AB	1	1	1	1
AB'	1	1	1	1
$A+B'C+CD'+BC'$				

Diseño de selección

Map Layout	C'D'	C'D	CD	CD'
A'B'	0	1	3	2
A'B	4	5	7	6
AB	12	13	15	14
AB'	8	9	11	10

Grupos de selección

8,9,10,11,12,13,14,15	A
2,3,10,11	B'C
2,6,10,14	CD'
4,5,12,13	BC'

Tabla de Niveles de Activación reducida con método de introducción de variables

E) Tabla de niveles de activación

	A	B	C	g
m0	0	0	0	0
m1	0	0	1	1
m2	0	1	0	1
m3	0	1	1	D'
m4	1	0	0	1
m5	1	0	1	1
m6	1	1	0	1
m7	1	1	1	1

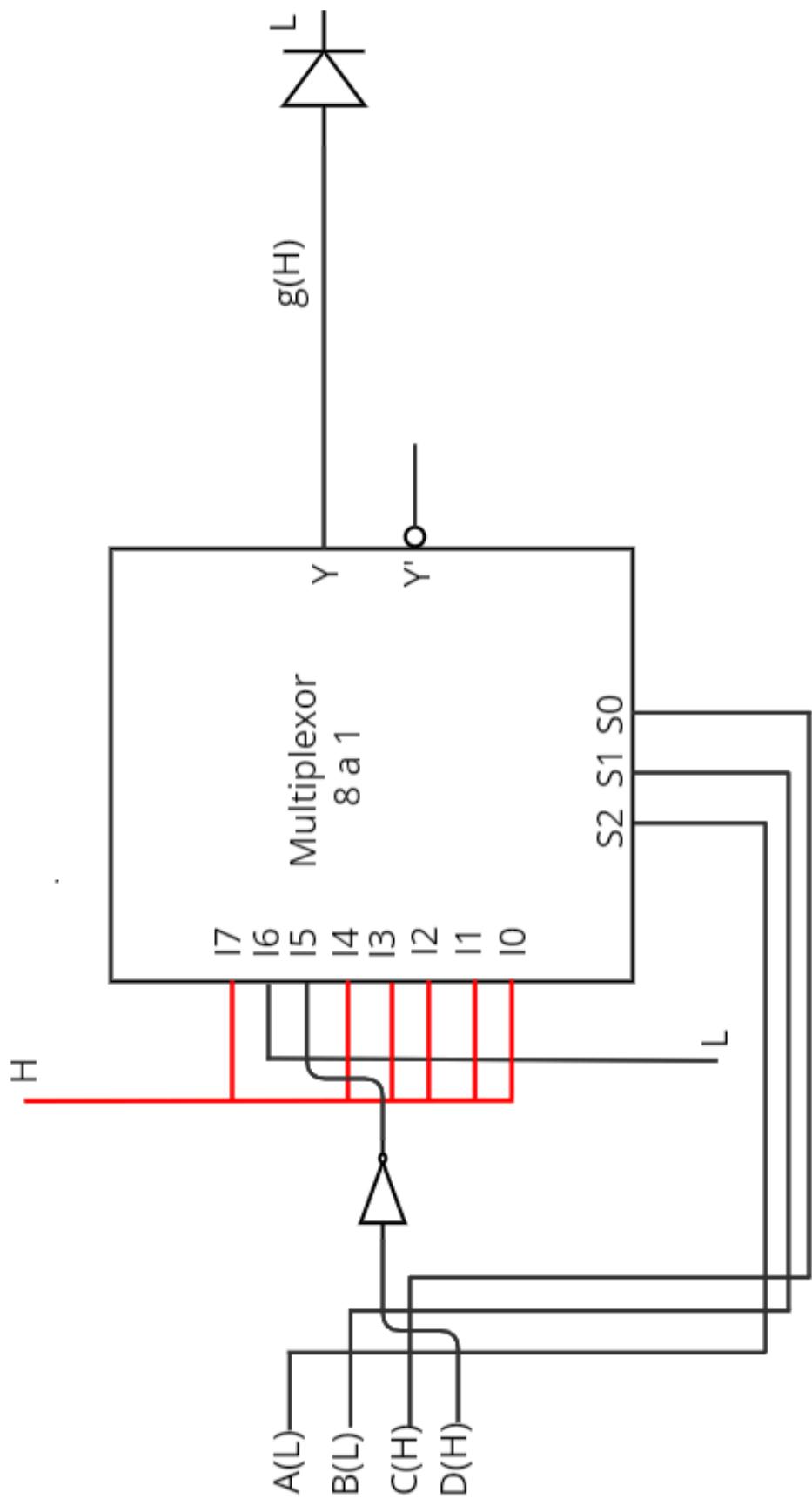
Mapa de Karnaugh

	A'B'	A'B	AB	AB'
C'	0	1	1	1
C	1	D'	1	1

	AB	AB'	A'B'	A'B
C'	1	1	0	1
C	1	1	1	D'

S0/S2S1				
	Y0	Y2	Y6	Y4
	Y1	Y3	Y7	Y5

Diagrama de implementación **Usando multiplexores**

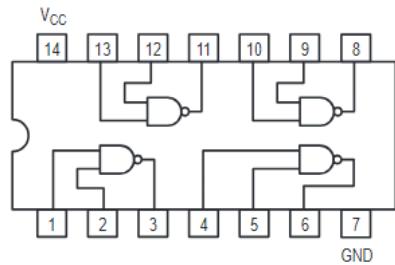


Datasheets

Nand de 2 entradas

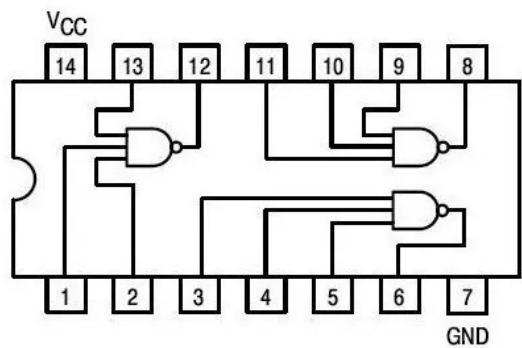
Quad 2-Input NAND Gate

- ESD > 3500 Volts



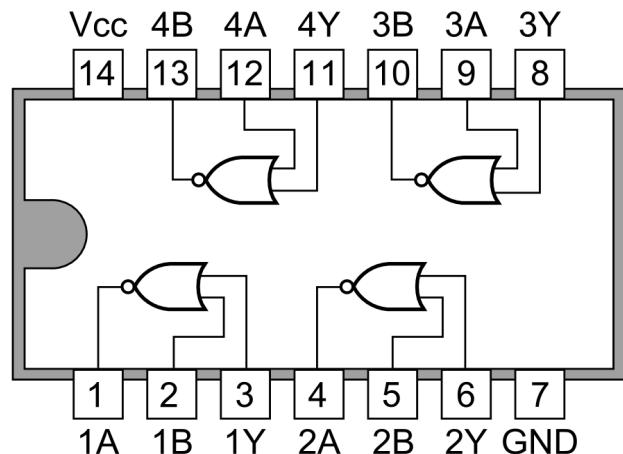
Nand de 3 entradas

HD74LS10P NAND

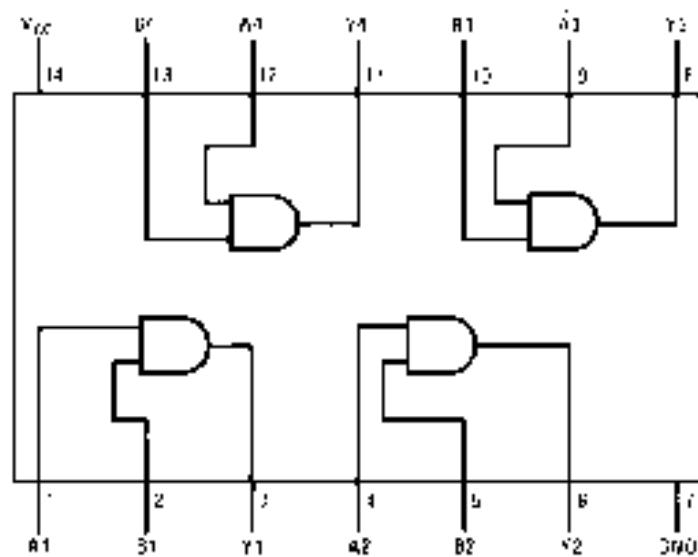


Nor de 2 Entradas

7402 Quad 2-input NOR Gates

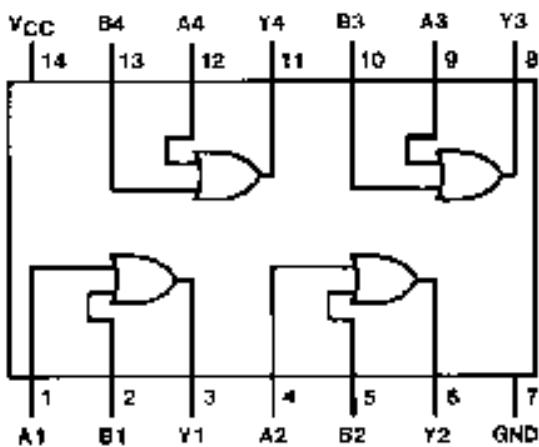


And de 2 Entradas



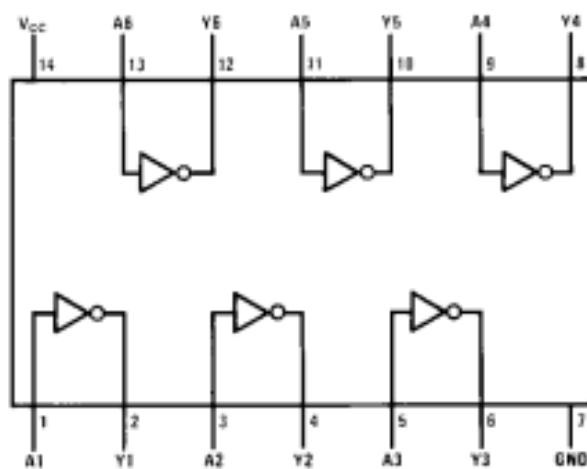
Or de dos entradas

Connection Diagram



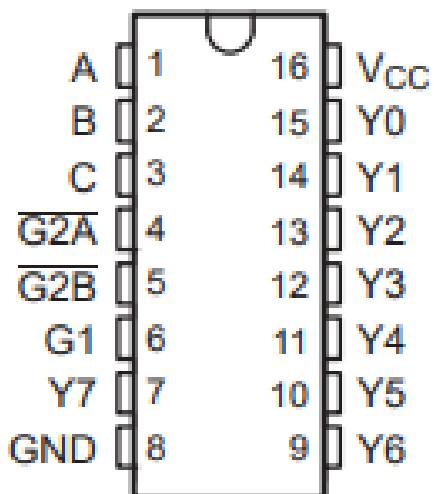
NOT

Connection Diagram



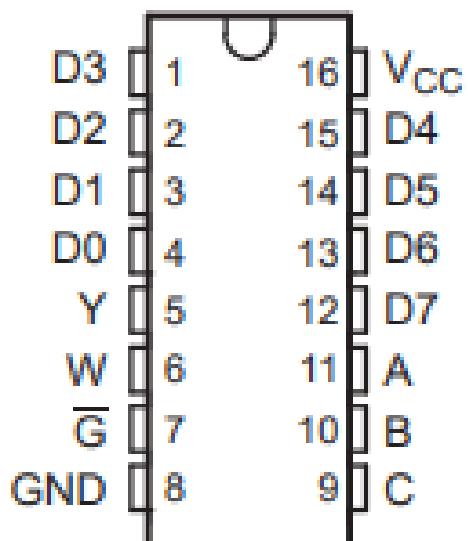
Demux 3 a 8

D OR PW PACKAGE (TOP VIEW)

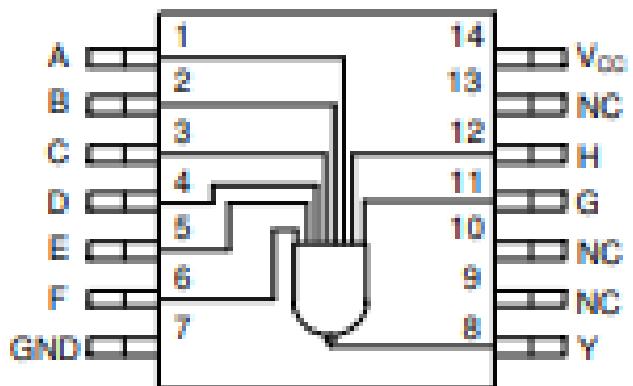


Mux 8 a 1

D PACKAGE (TOP VIEW)



Nand de 8 Entradas
the end of t



Functional pinout