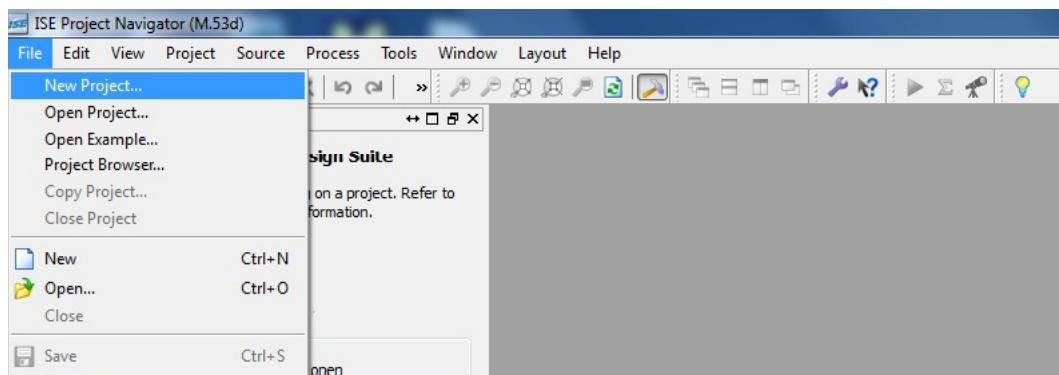


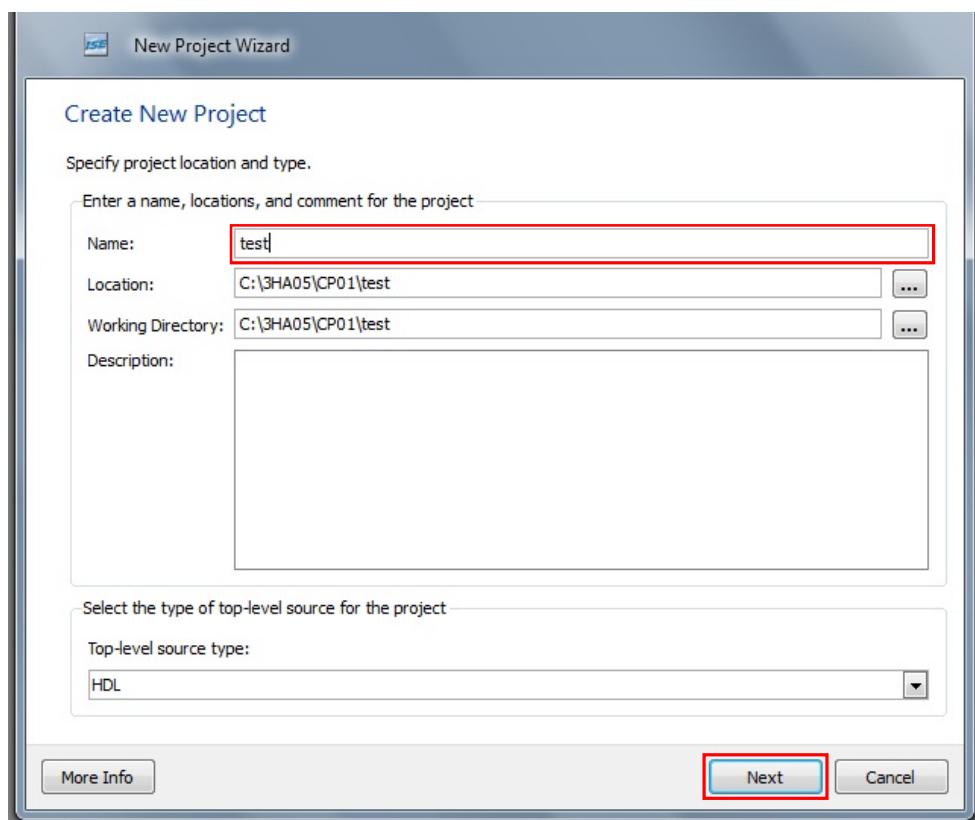
## ขั้นตอนการใช้งาน Xilinx Design Suite 12.1

- ให้ทำการเปิดโปรแกรม Xilinx Design Suite 12.1 ชื่นมาจะได้หน้าต่างดังรูปที่ 1 ให้เลือก File > New Project



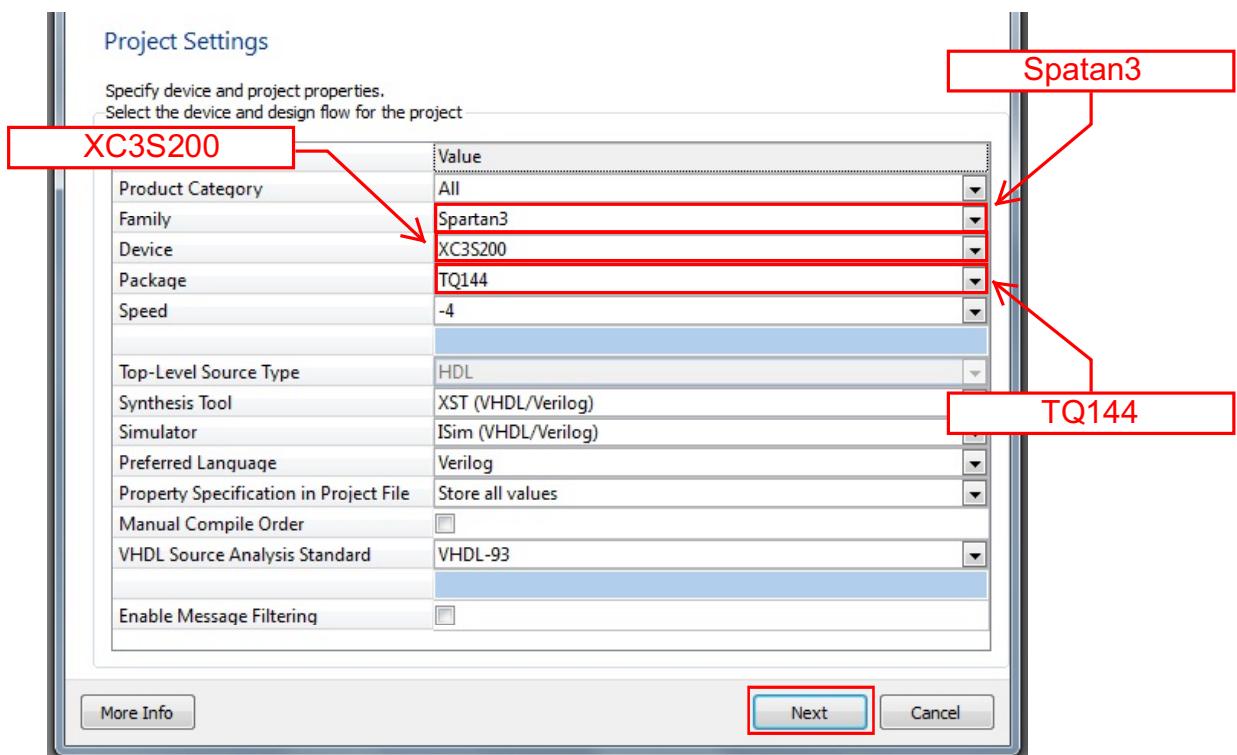
รูปที่ 1 เลือก File > New Project

- หลังจากนั้นจะมีหน้าต่างขึ้นมาให้กรอกรายละเอียดของ Project ดังรูปที่ 2 ให้กรอกชื่อของ Project ลงในช่อง Name และเลือก Next



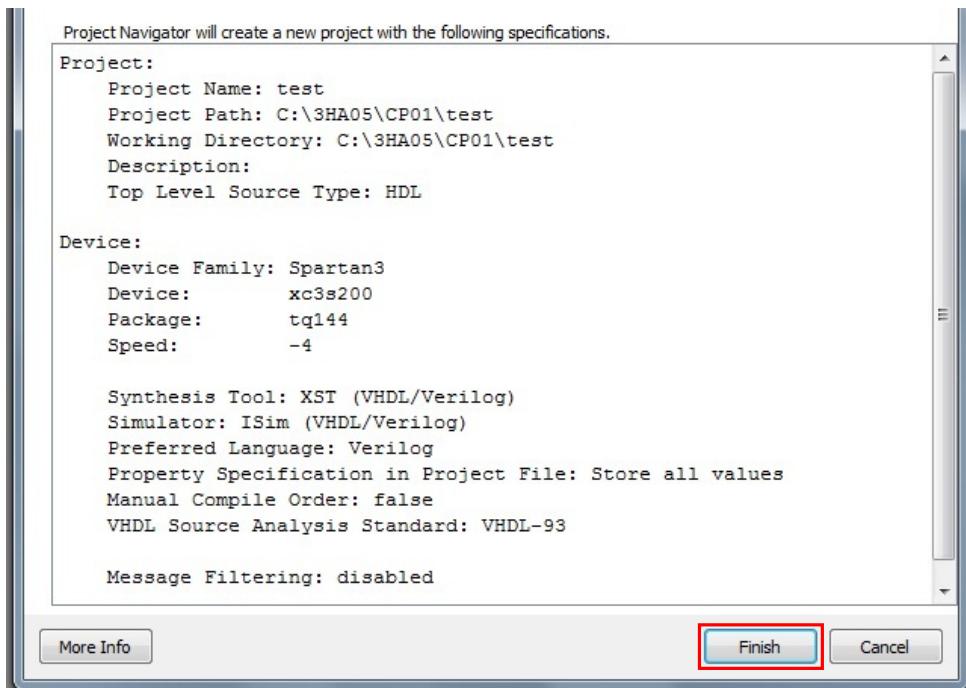
รูปที่ 2 กรอกชื่อ Project และกด Next

3. จากนั้นกรอกรายละเอียดของตระกูล FPGA ที่ใช้ดังรูปที่ 3 และกด Next



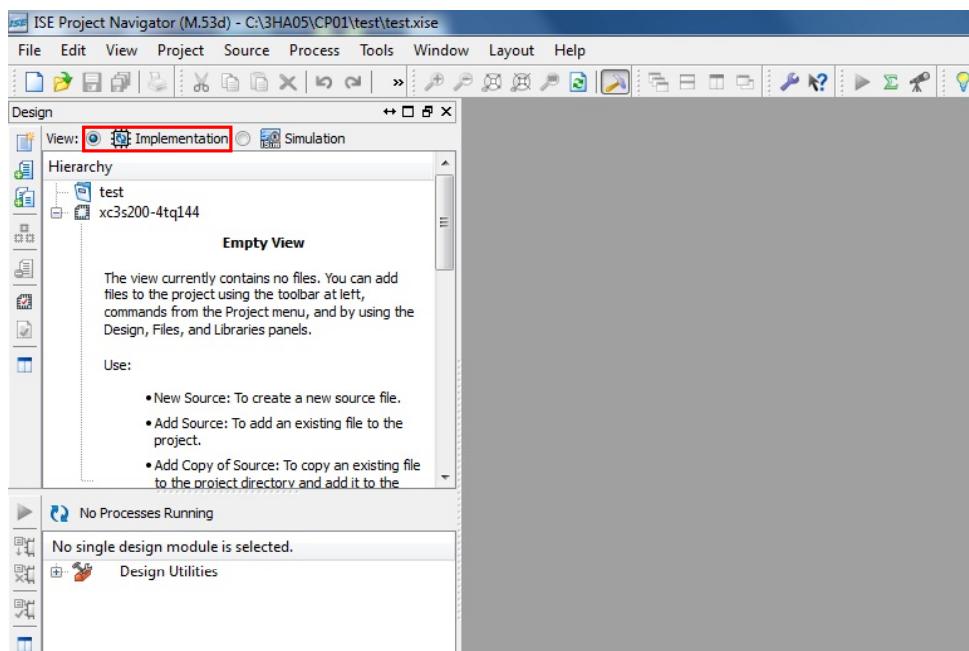
รูปที่ 3 กรอกรายละเอียดของบอร์ด FPGA

4. จะมีหน้าต่างบอกรายละเอียดของ Project ขึ้นมาดังรูปที่ 4 ให้กด Finish



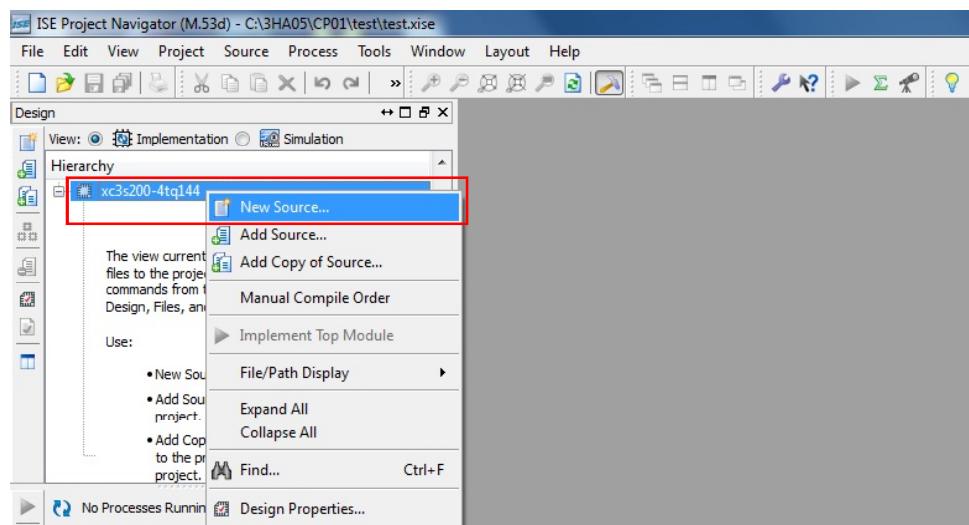
รูปที่ 4 หน้าต่างแสดงรายละเอียดของ Project

5. หลังจากนั้นจะปรากฏ Project ที่ намตั้งชื่อเป็น Implementation Mode หรือไม่



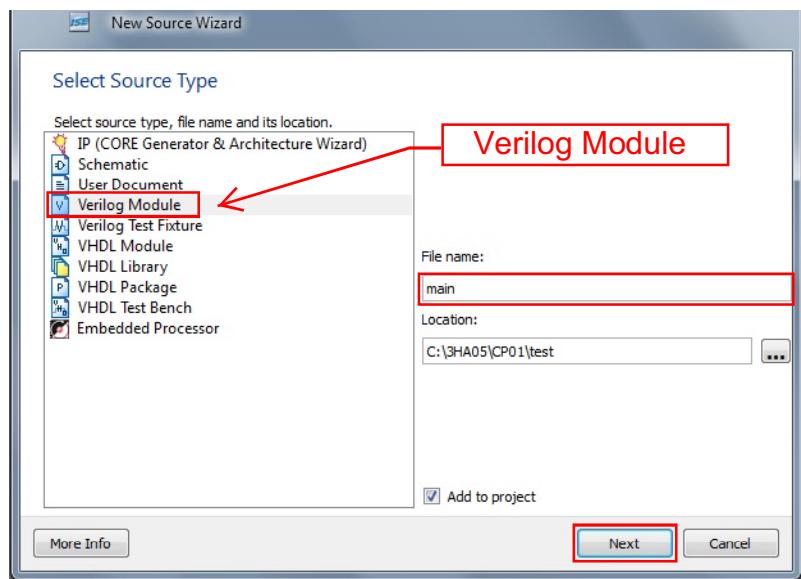
รูปที่ 5 หน้าต่าง Project

6. ให้คลิกขวาที่ xc3s200-4tq144 แล้วเลือก New Source ดังรูปที่ 6



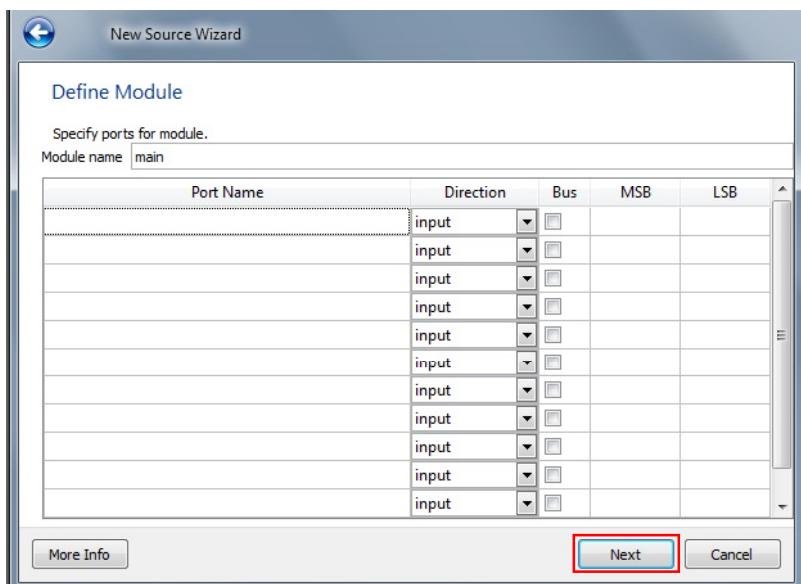
รูปที่ 6 เพิ่ม Source File ลงใน Project

7. จะปรากฏหน้าต่างให้เลือกชนิดของไฟล์ ให้เลือก Verilog Module และวิ่งไฟล์ ดังรูปที่ 7 จากนั้นให้กด Next



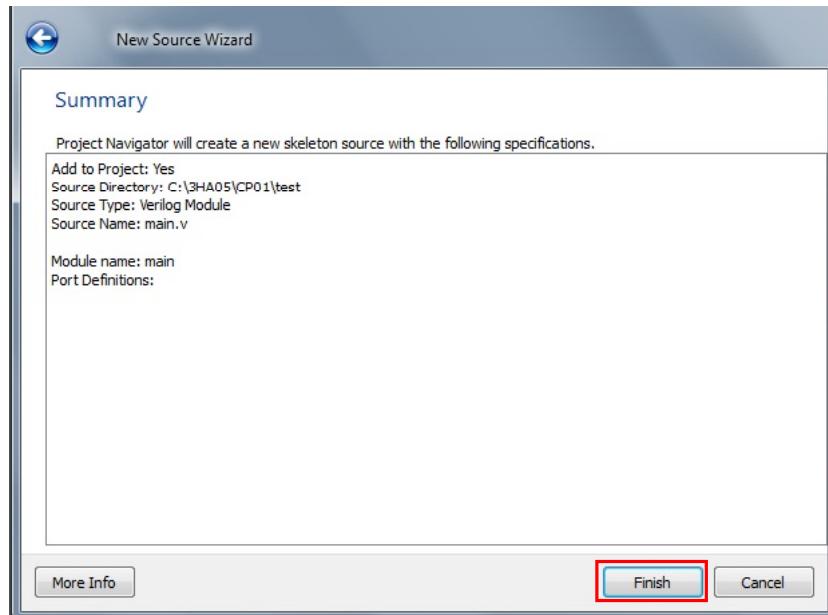
รูปที่ 7 เลือกประเภทของ Source File

8. จะปรากฏหน้าต่างให้กรอกข้อมูล Port ของ Module ดังรูปที่ 8 ( ไม่จำเป็นต้องกรอกก็ได้ )



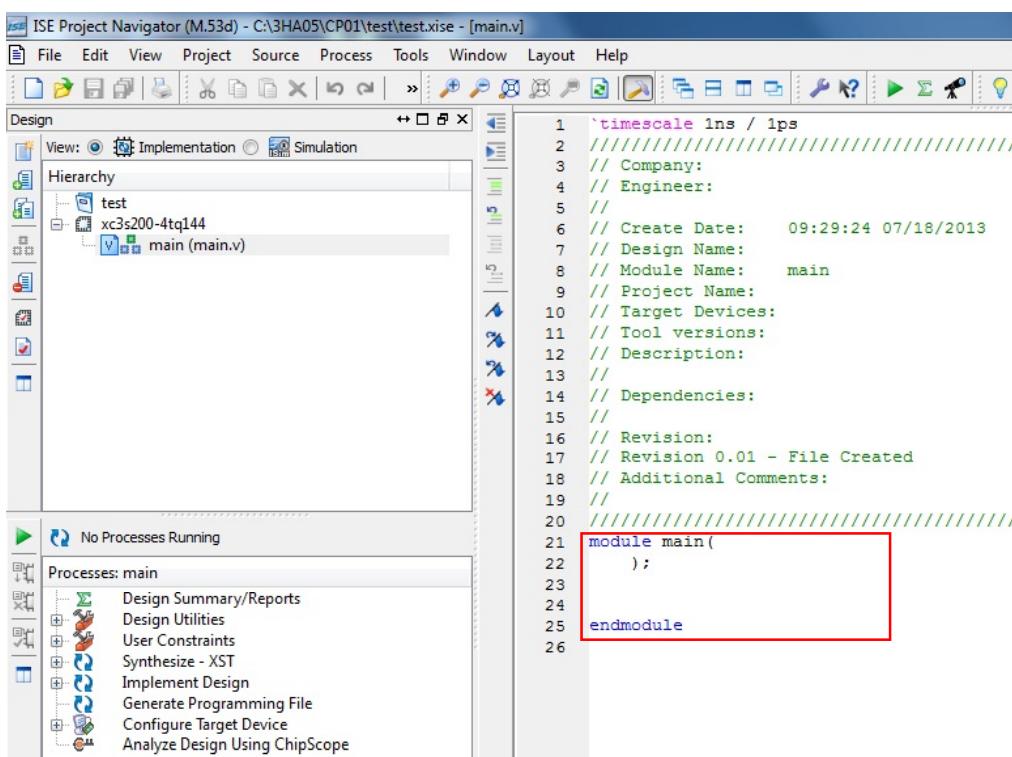
รูปที่ 8 กรอกข้อมูล port ของ Module

9. หลังจากนี้จะมีหน้าต่างแสดงรายละเอียดของ Module ดังรูปที่ 9 ที่เราสร้าง ให้กด Finish



รูปที่ 9 หน้าต่างแสดงรายละเอียดของ Module

10. หลังจากนี้จะปรากฏหน้าต่างแสดง Code ของ Module ดังกล่าว ดังรูปที่ 10



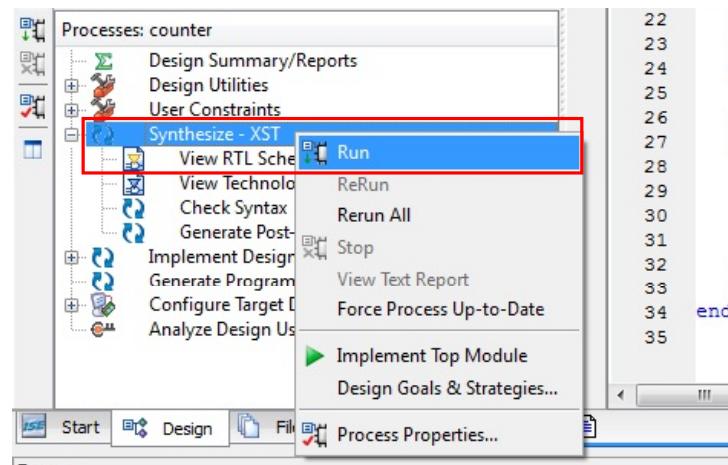
รูปที่ 10 Source File ของ Module ที่สร้าง

## 11. ให้ทำการเปลี่ยนโปรแกรมให้เสร็จ

```
21 module counter(out,clk,rst);
22   output[3:0]out;
23   input clk;
24   input rst;
25
26   reg[3:0]c = 0;
27   always@(posedge clk or posedge rst)begin
28     if(rst)
29       c = 0;
30     else
31       c = c + 1;
32   end
33   assign out = c;
34 endmodule
35
```

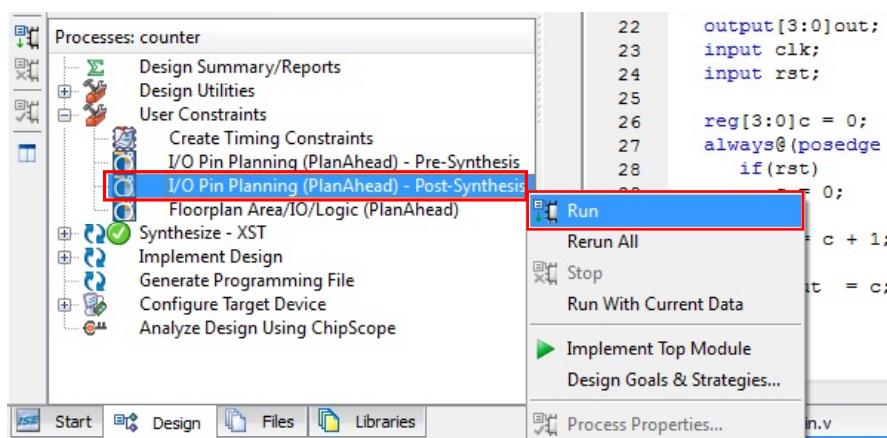
รูปที่ 11 เปลี่ยน Code ของโปรแกรมให้เสร็จสมบูรณ์

## 12. เมื่อทำการบันทึกไฟล์แล้ว ให้คลิกขวาที่ Synthesize แล้วเลือก Run



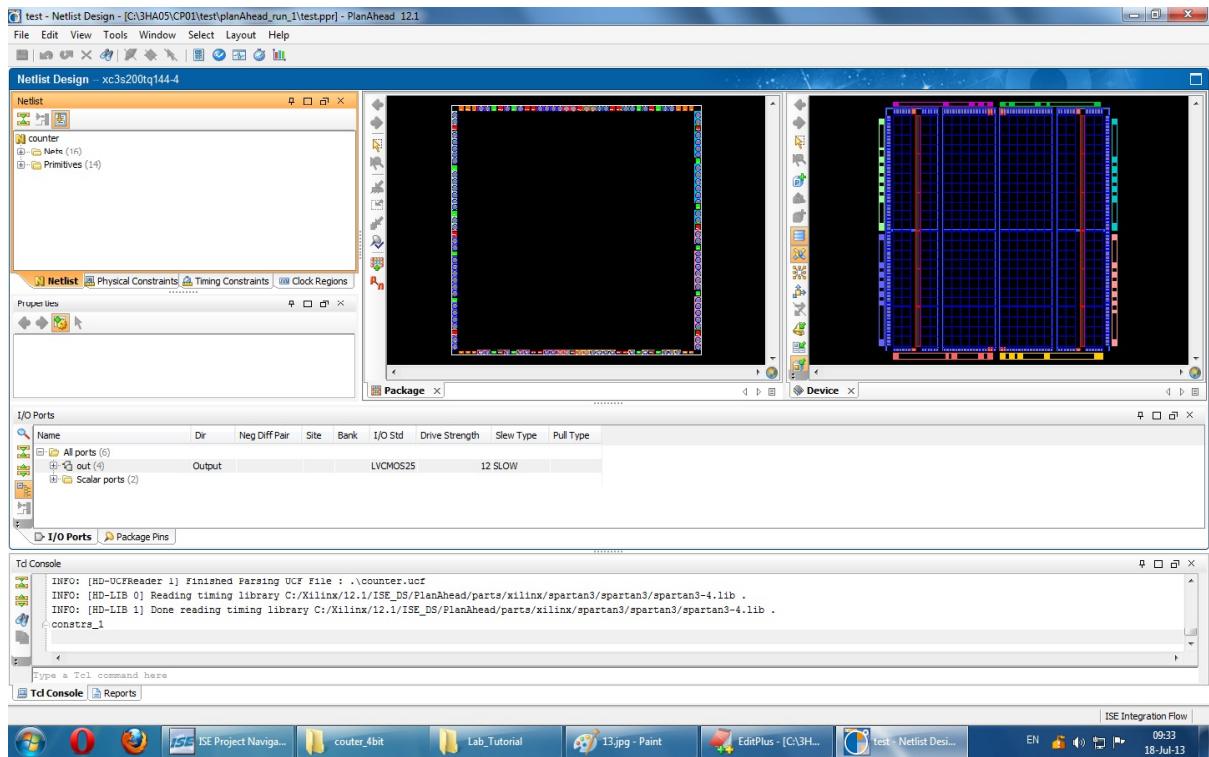
รูปที่ 12 ทำการ Synthesize

## 13. เมื่อ Synthesize ผ่านแล้ว ให้คลิกขวาที่ I/O Pin Planning (PlanAhead) – Post-Synthesis แล้วเลือก Run



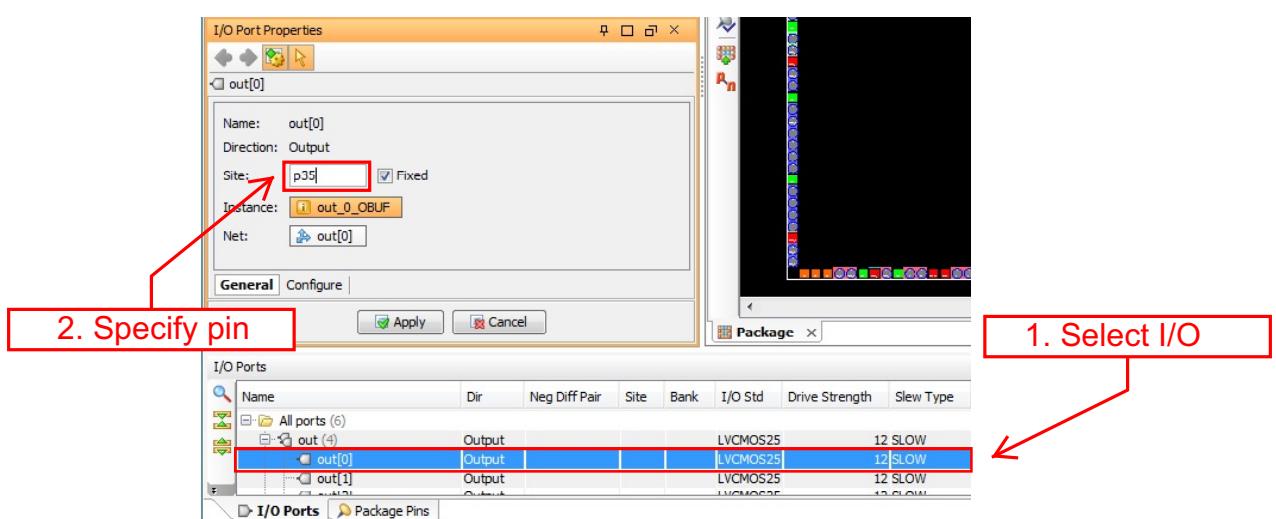
รูปที่ 13 เปิด PlanAhead Post Synthesis

14. จะปรากฏหน้าต่างของโปรแกรม Plan Ahead ขึ้นมาดังรูปที่ 14 (แต่อาจเกิดข้อผิดพลาดขึ้นให้ไปดู Error Report ที่อยู่ท้ายเอกสาร)



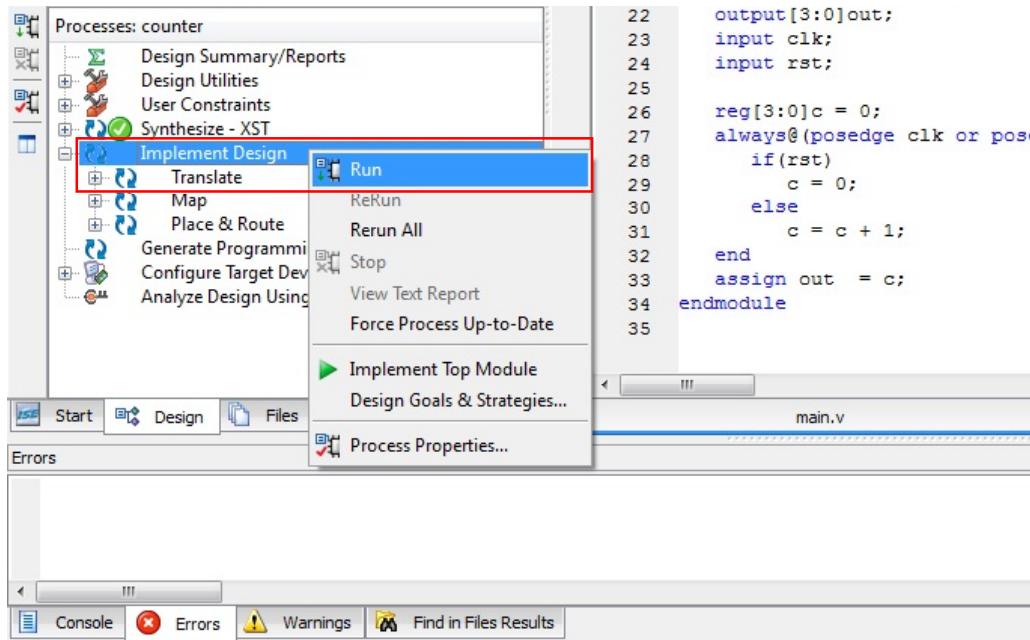
รูปที่ 14 โปรแกรม PlanAhead

15. ไปที่หัวข้อ I/O Port ดังรูปที่ 15 และเลือก Port แต่ละอัน และทำการกำหนด Pin ที่หัวข้อ I/O Port Properties (ให้ทำการกำหนด ให้ครบถ้วน) และทำการบันทึกไฟล์



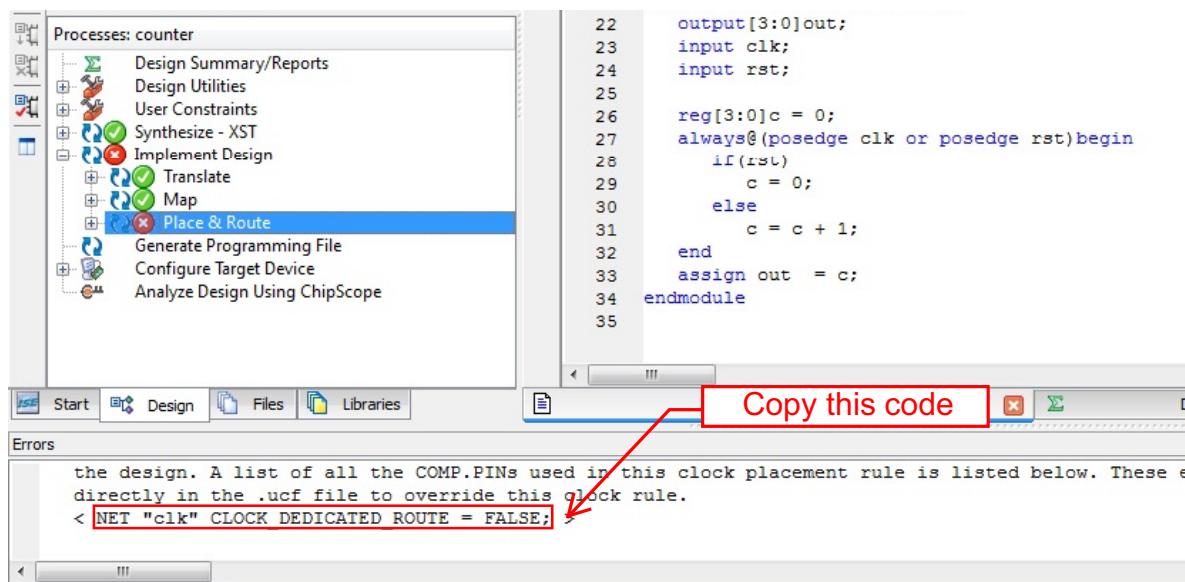
รูปที่ 15 Map I/O pin

16. กลับมาที่ Xilinx Design Suite และวิเคราะห์ที่ Implement Design เลือก Run ดังรูปที่ 16



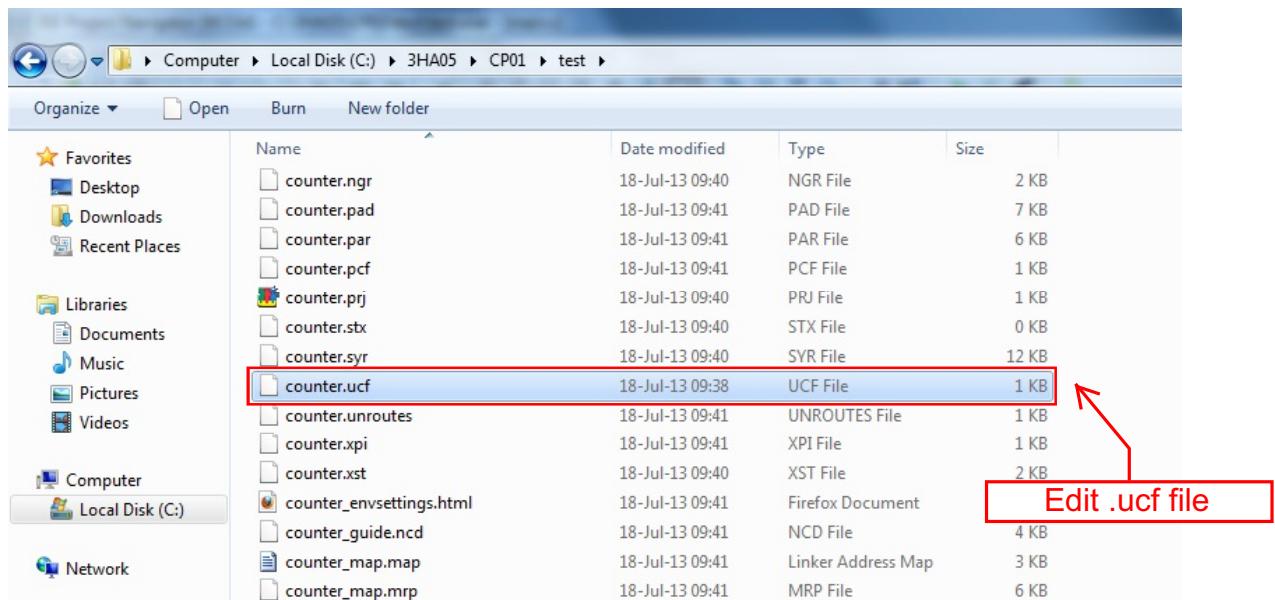
รูปที่ 16 การ Implement Design

17. จากนั้นอาจพบ Error ดังรูปที่ 17 ให้ทำการ Copy Code ไปรูปเอาไว้



รูปที่ 17 Error rule

18. ไปยัง Directory ที่เก็บ Project ไว้ และวิเคราะห์ไฟล์ที่มีนามสกุล ucf ดังรูปที่ 18 และทำการ Edit ด้วย Text Editor ตัวใดก็ได้( ucf File จะมีชื่อเหมือนกับชื่อของ Top Module )



รูปที่ 18 ไปยัง ucf File

19. จากนั้นให้ Paste ส่วนของ Code ที่ได้ทำการคัดลอกไว้ในขั้นตอนที่ 7 ลง ไป ดังรูปที่ 19 และบันทึกไฟล์ กลับลงไป

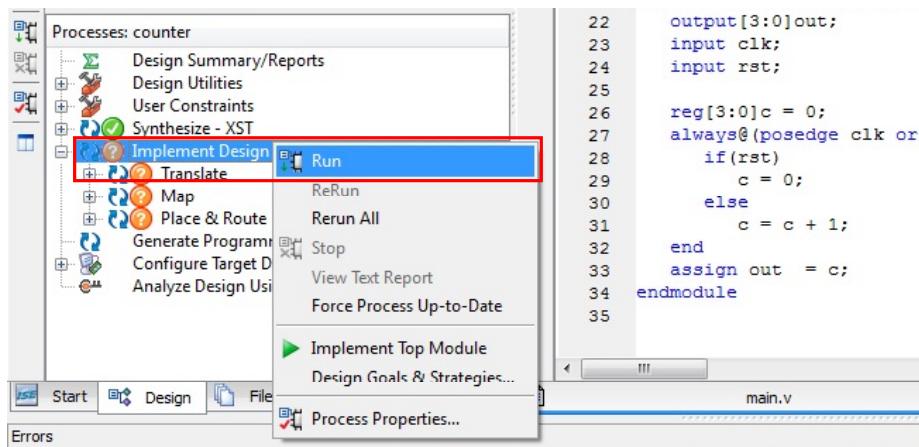
```

EditPlus - [C:\3HA05\CP01\test\counter.ucf *]
File Edit View Search Document Project Tools Browser Window Help
[ C: ] 
1 NET "clk" CLOCK_DEDICATED_ROUTE = FALSE;
2 # PlanAhead Generated physical constraints
3
4 NET "clk" LOC = P7;
5 NET "out[0]" LOC = P35;
6 NET "out[1]" LOC = P33;
7 NET "out[2]" LOC = P32;
8 NET "out[3]" LOC = P31;
9 NET "rst" LOC = P25;
10

```

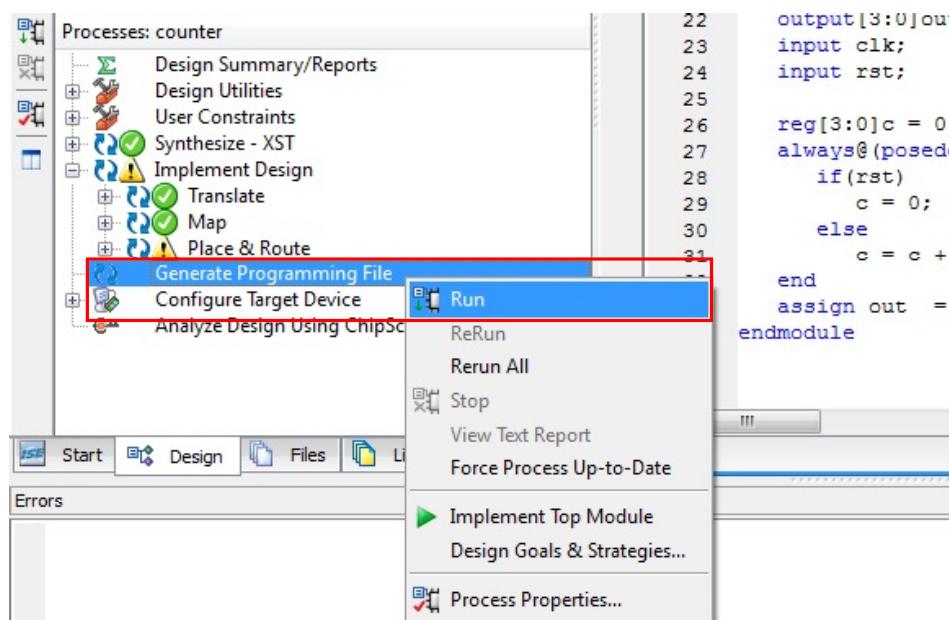
รูปที่ 19 เพิ่ม Code ลงใน ucf File

20. ให้ทำการ Implement Design ในมือครั้งดังรูปที่ 20



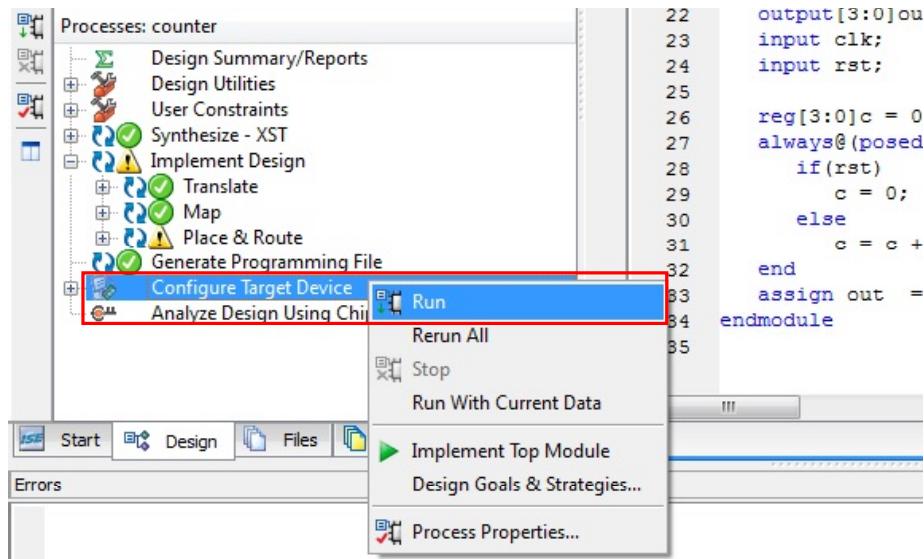
รูปที่ 20 ทำการ Implement Design มือครั้งดัง

21. จากนั้น ให้ทำการคลิกขวาที่ Generate Programming File และเลือก Run ดังรูปที่ 21



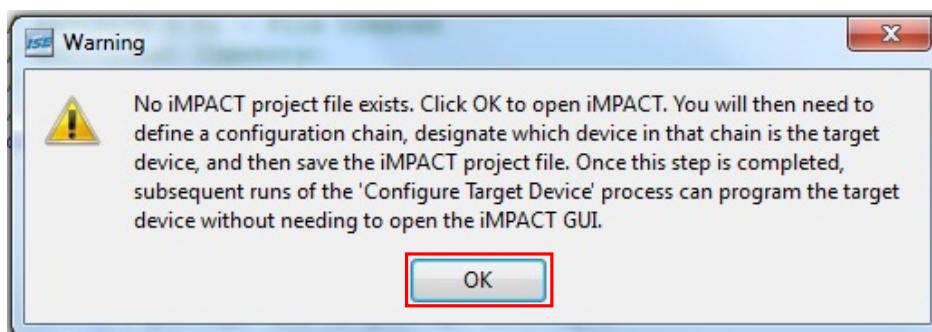
รูปที่ 21 ทำการ Generate Programming File

22. จากนั้น ให้คลิกขวาที่ Configure Target Device และเลือก Run ดังรูปที่ 22



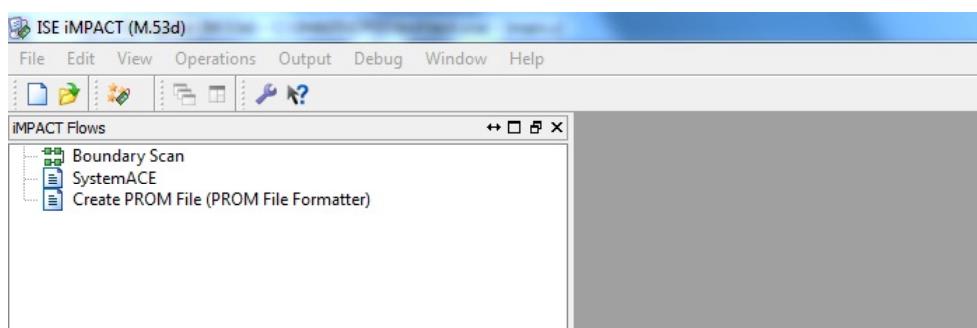
รูปที่ 22 ทำการ Configure Target Device

23. จะปรากฏหน้าต่าง Warning แจ้งว่าไม่มี iMPACT Project ดังรูปที่ 23 ให้กด OK



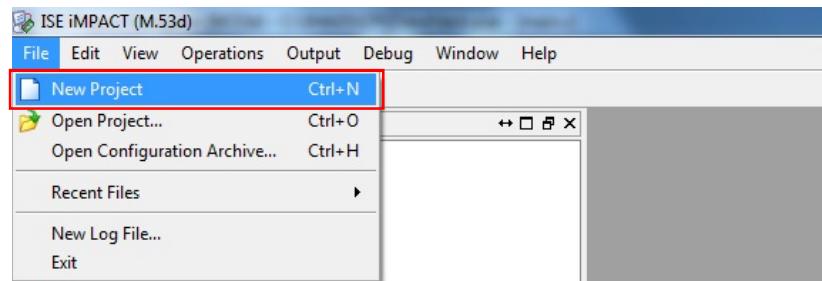
รูปที่ 23 Warning iMPACT

24. จะปรากฏหน้าต่างของโปรแกรม iMPACT ขึ้นมา ดังรูปที่ 24



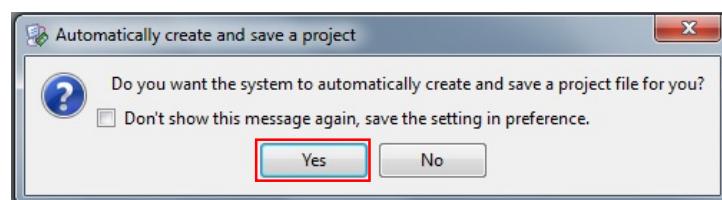
รูปที่ 24 หน้าต่าง iMPACT

25. ให้ไปที่ File และเลือก New Project ดังรูปที่ 25 (ขั้นตอนนี้อาจมีปัญหาเกิดขึ้นให้ไปดูที่ Error Report ที่อยู่ท้ายเอกสาร)



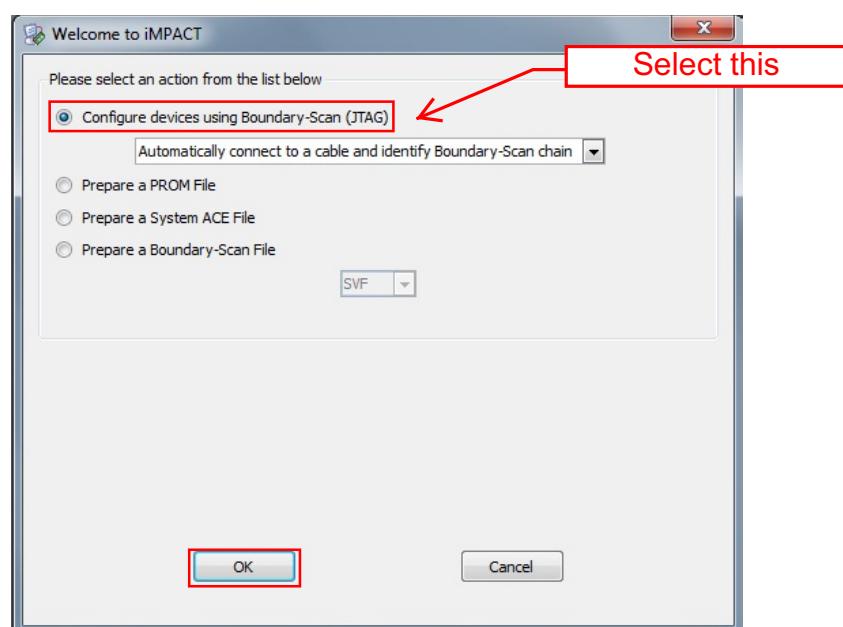
รูปที่ 25 สร้าง Project ใหม่

26. จะมีการแสดง Dialog Box ขึ้นมาดังรูปที่ 26 ให้กด Yes



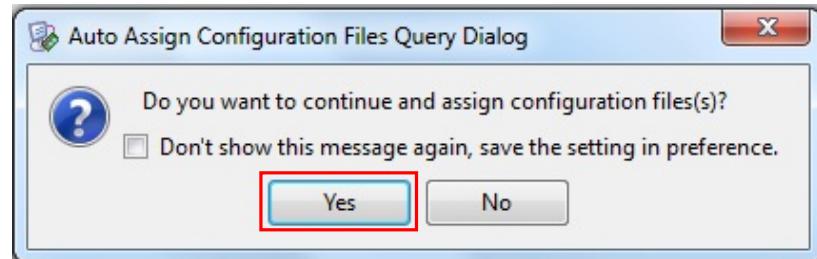
รูปที่ 26 Auto create project

27. หลังจากนั้นจะมีหน้าต่างแสดงขึ้นมาดังรูปที่ 7 ตรวจสอบว่า Radio Box ถูกเลือกไว้ในช่องของ Configure device using Boundary-Scan (JTAG) หรือไม่แล้วกด OK



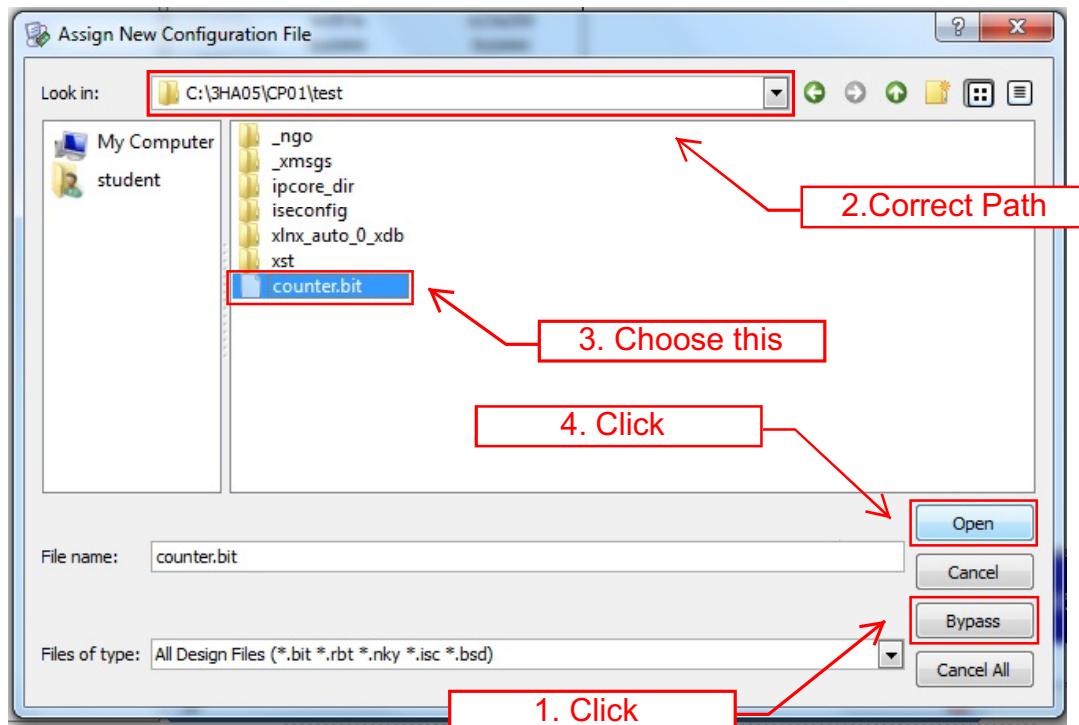
รูปที่ 27 การ Configure device

28. จากนั้นจะปรากฏ Dialog Box ขึ้นมาอีกรอบ กด Yes



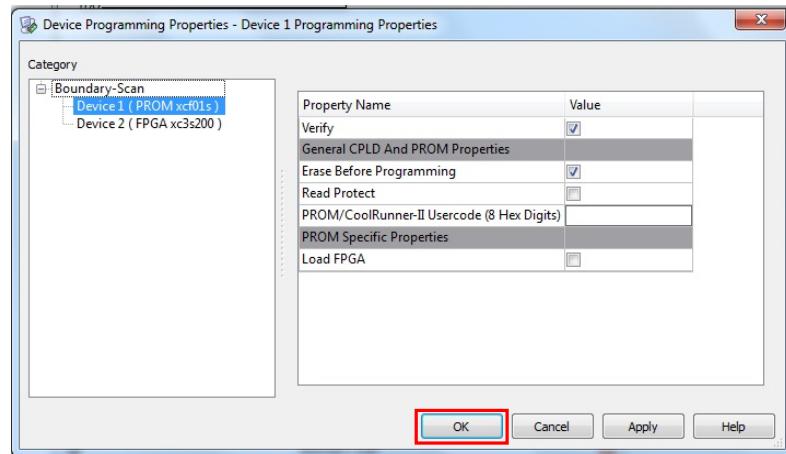
รูปที่ 28 Dialog ที่น้ำ Configuration file

29. จะปรากฏ Open Dialog ขึ้นมา ให้กดปุ่ม Bypass ที่อยู่มุมล่างขวา และตรวจสอบว่า Directory ดังกล่าว เป็น Directory ของ Project ของเราหรือไม่ จากนั้นให้เลือกไฟล์.bit ที่มีชื่อเหมือนกับ Top Module ของเรา และกด Open ดังรูปที่ 29



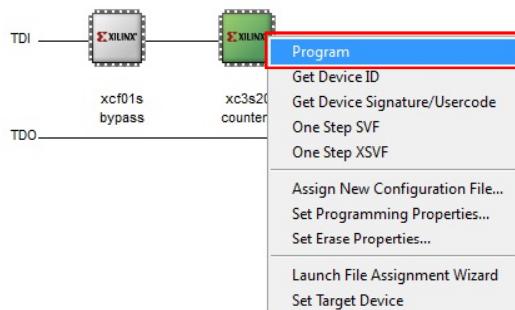
รูปที่ 29 ไฟล์.bit

30. จะมีหน้าต่างแสดงข้อมาดังรูปที่30 เพื่อให้เลือก Option ในการโปรแกรมลงบอร์ด ให้กด OK



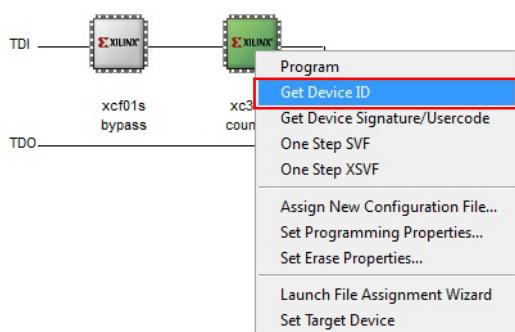
รูปที่ 30 Option ในการโปรแกรม

31. จากนั้นให้คลิกขวาที่ Device ของเรา ( XC3s200 ) และเลือก Program ดังรูปที่ 31



รูปที่ 31 โปรแกรมลงบอร์ด

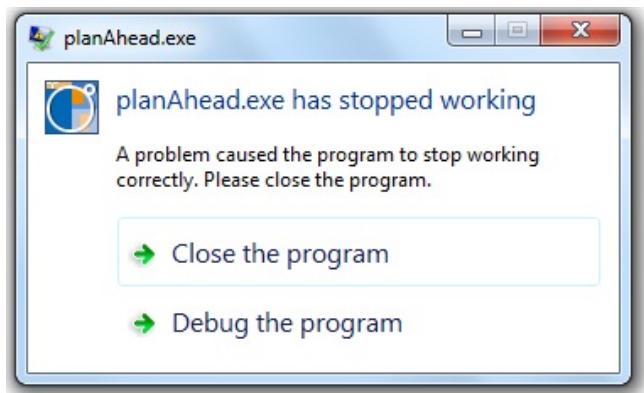
34. ในบางครั้ง เราจะไม่สามารถโปรแกรมลงไปได้ให้ คลิกขวาที่ Device เลือก Get Device ID ก่อน แล้วจึงทำซ้ำขั้นตอนที่3 อีกครั้ง



รูปที่ 32 Get ID ของบอร์ด

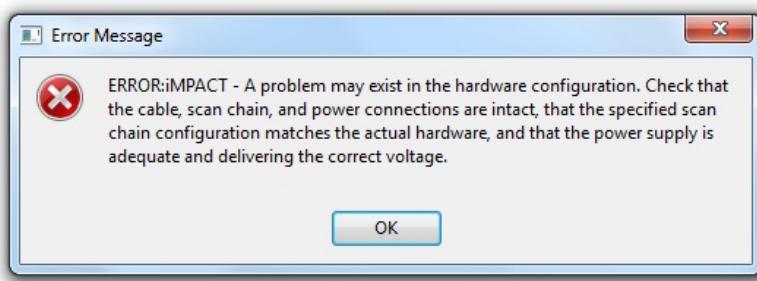
## Error Report

ในขั้นตอนของการเปิด PlanAhead เพื่อทำการ Map ขา I/O อาจเกิดปัญหาดังรูปที่ 33 ซึ่งอาจจะมีสาเหตุมาจากการหมดอายุของ License ให้ทำการแก้ไขวันที่ให้เป็นปัจจุบัน



รูปที่ 33 PlanAhead ไม่สามารถเปิดใช้งานได้

ขั้นตอนการ Configure Target Device เมื่อทำการ new Project และมีการแสดง Dialog ดังกล่าว แสดงว่า เรายังไม่ได้ทำการต่อ埠อร์ดเข้ากับ Parallel Port หรือ ไม่ได้จ่ายไฟให้บอร์ด หรือบอร์ดอาจจะเสีย



รูปที่ 34 Error iMPACT

ในขั้นตอนการ Configure Target Device หากมีการแสดง Dialog ดังรูปที่ 35 แสดงว่า PC ที่เราใช้งาน อาจจะไม่มี Driver ของ Parallel Port



รูปที่ 35 Warning iMPACT