



Arquitetura de Computadores

3º Trabalho Prático

Memória e Portos

49470 Ana Carolina Pereira

Licenciatura em Engenharia Informática e de Computadores
Semestre de Verão 2022/2023

14/05/2023

Índice

1. Definição do mapa de endereçamento	3
1.1. Caracterização dos módulos de memória	3
1.2. Caracterização dos portos	3
1.3. Mapa de endereçamento	3
2. Caracterização da atividade dos barramentos	4
3. Evolução da arquitetura	5
3.1. Mapa de endereçamento	5
3.2. Expressões lógicas	5
3.3. Logigrama relativo ao novo porto	5
4. Conclusão	6

1. Definição do mapa de endereçamento

1.1. Caracterização dos módulos de memória

	Dispositivo #1	Dispositivos #2 e #3
Tipo	Trata-se de uma ROM uma vez que não tem um sinal de controlo para ativar a saída de escrita (sinal WE).	Tratam-se de RAMs uma vez que possuem os sinais de controlo para ativar escrita e leitura (sinais OE e WE).
Organização	Uma vez que este módulo tem 13 bits de endereço e 16 bits de dados então, temos uma organização de $2^{13} * 16$	Uma vez que este módulo tem 12 bits de endereço e 8 bits de dados então, temos uma organização de $2^{12} * 8$
Capacidade	$2^{13} = 8KB$	$2^{12} = 4KB$

Tabela 1: Tabela respetiva à caracterização dos módulos de memória

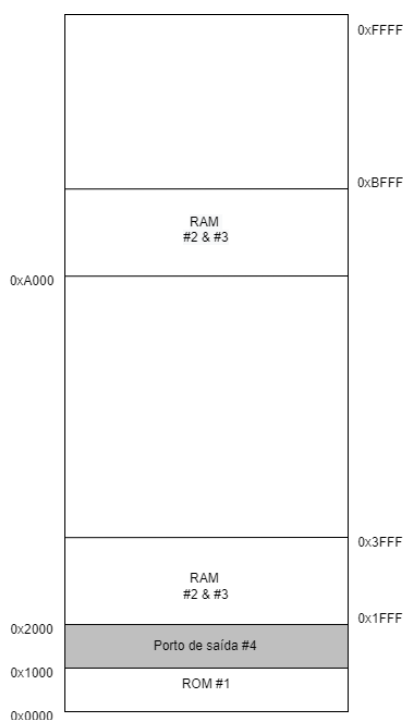
1.2. Caracterização dos portos

Tipo: O módulo #4 trata-se de um porto de saída.

Dimensão: Tem uma dimensão de 2 bytes, uma vez que se liga aos bits 0-15 do barramento de dados.

Modo de acesso suportado: Word-wise uma vez que é possível escrever 2 bytes no porto.

1.3. Mapa de endereçamento



A RAM encontra-se em foldback uma vez que o bit A15 varia entre 0 e 1. Por essa razão, a RAM tem dois espaços de endereçamento no mapa de memória.

O porto de saída encontra-se em conflito uma vez que o seu espaço de endereçamento se sobrepõe ao espaço de endereçamento da ROM. Este porto está também em foldback porque tem mais endereços do que o espaço que ele ocupa.

Figura 1: Mapa de memória

1.4. Comentário

A afirmação: "A capacidade de memória instalada no sistema é plenamente acessível." é falsa uma vez que o bit A12 não é utilizado para codificar o chip-select e desta forma não é possível aceder a toda a memória.

2. Caracterização da atividade dos barramentos

Instrução	Controlo			Endereço	Dados
	nRD	nWRH	nWRL	A15..A0	D15..D0
ldr r0, sym	L	H	H	0000	0CE0
	L	H	H	0000	000E
strb r2, [r1, r4]	L	H	H	0002	3A12
	H	H	L	1003	0155
push r1	L	H	H	0004	2401
	H	L	L	A000	1000
push r2	L	H	H	0006	2402
	H	L	L	9FFE	0155
mov r0, r15	L	H	H	0008	B780
ldr r5, [r0, #0]	L	H	H	000A	0005
	L	H	H	0101	000E
pop r3	L	H	H	000C	0403
	L	H	H	9FFE	0155

Tabela 2: Tabela para o registo da atividade nos barramentos do processador.

Considerando os valores iniciais como sendo:

R1=0x1000

R2=0x0155

R4=0x0003

SP=0xA002

PC=0x0000

3. Evolução da arquitetura

3.1. Mapa de endereçamento

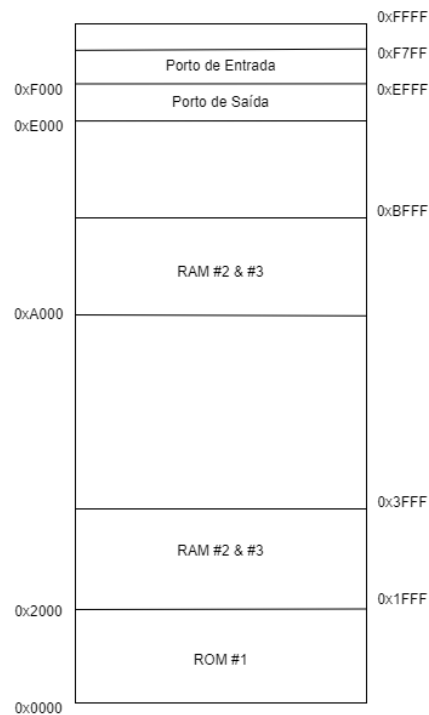


Figura 2: Mapa de memória com o porto de entrada adicionado

3.2. Expressões lógicas

As expressões lógicas obtidas são as seguintes:

ROM CS: $\overline{A15} \cdot \overline{A14} \cdot \overline{A13}$

RAM CS: $\overline{A14} \cdot A13$

Porto de entrada CS: $A15 \cdot A14 \cdot A13 \cdot A12 \cdot \overline{A11}$

Porto de saída CS: $\overline{A15} \cdot \overline{A14} \cdot \overline{A13} \cdot A12$

3.3. Logigrama relativo ao novo porto

A Figura 3 representa o logigrama do novo porto de entrada.

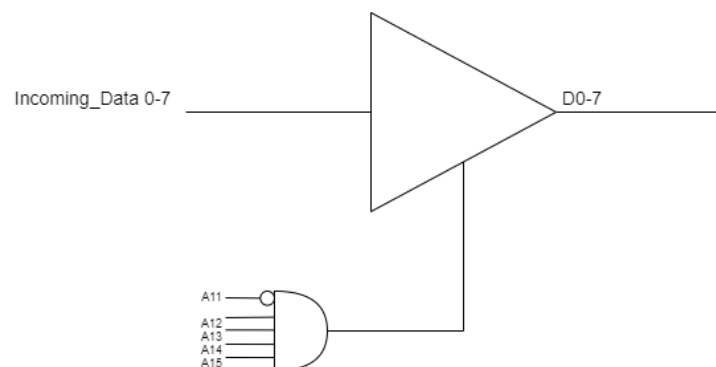


Figura 3: Logigrama do novo porto de entrada

4. Conclusão

Com este trabalho foi possível consolidar o estudo dos mecanismos de endereçamento usados pelos processadores modernos no acesso aos dispositivos de memória e aos periféricos.