



Arquitetura de Computadores

3º Trabalho Prático

Memória e Portos

49470 Ana Carolina Pereira

50499 Bruno Ferreira

Licenciatura em Engenharia Informática e de Computadores
Semestre de Verão 2022/2023

14/05/2023

1. Definição do mapa de endereçamento

1.1. Caracterização dos módulos de memória

	Dispositivo #1	Dispositivos #2 e #3
Tipo	Trata-se de uma ROM uma vez que não tem um sinal de controlo para ativar a saída de escrita (sinal WE).	Tratam-se de RAMs uma vez que possuem os sinais de controlo para ativar escrita e leitura (sinais OE e WE).
Organização	Uma vez que este módulo tem 13 bits de endereço e 16 bits de dados então, temos uma organização de $2^{13} * 16$	Uma vez que este módulo tem 12 bits de endereço e 8 bits de dados então, temos uma organização de $2^{12} * 8$
Capacidade	$2^{13} = 8KB$	Cada RAM tem $2^{12} = 4KB$ de capacidade. No conjunto têm 8KB

Tabela 1: Tabela respetiva à caracterização dos módulos de memória

1.2. Caracterização dos portos

Tipo: O módulo #4 trata-se de um porto de saída.

Dimensão: Tem uma dimensão de 2 bytes, uma vez que se liga aos bits 0-15 do barramento de dados.

Modo de acesso suportado: Word-wise uma vez que é possível escrever 2 bytes no porto. Ainda assim, o porto também suporta byte-wise uma vez que consegue escrever só 1 byte também.

1.3. Mapa de endereçamento

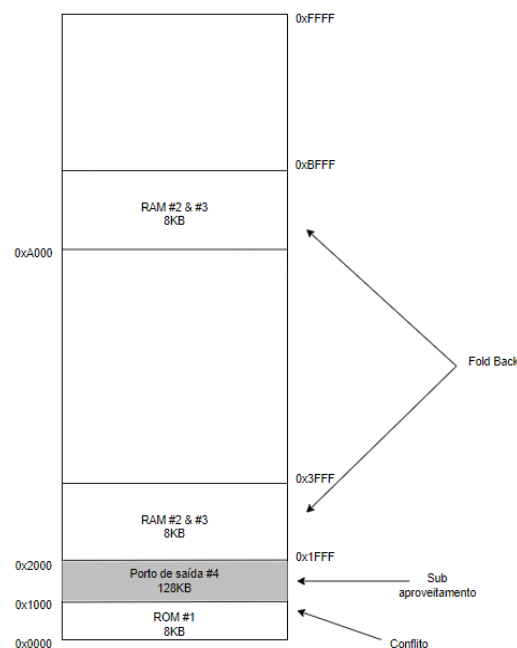


Figura 1: Mapa de memória

1.4. Comentário

A afirmação: "A capacidade de memória instalada no sistema é plenamente acessível." é falsa uma vez que o bit A12 não é utilizado para codificar o chip-select e desta forma não é possível aceder a toda a memória.

2. Caracterização da atividade dos barramentos

Instrução	Controlo			Endereço	Dados
	nRD	nWRH	nWRL	A15..A0	D15..D0
ldr r0, sym	L	H	H	0000	0C60
	L	H	H	0010	4321
strb r2, [r1, r4]	L	H	H	0002	3A12
	H	H	L	1003	conf
push r1	L	H	H	0004	2401
	H	L	L	A000	1000
push r2	L	H	H	0006	2402
	H	L	L	9FFE	0155
mov r0, r15	L	H	H	0008	B780
ldr r5, [r0, #0]	L	H	H	000A	0005
	L	H	H	0101	000E
pop r3	L	H	H	000C	0403
	L	H	H	9FFE	0155

Tabela 2: Tabela para o registo da atividade nos barramentos do processador.

Considerando os valores iniciais como sendo:

R1=0x1000

R2=0x0155

R4=0x0003

SP=0xA002

PC=0x0000

3. Evolução da arquitetura

3.1. Mapa de endereçamento

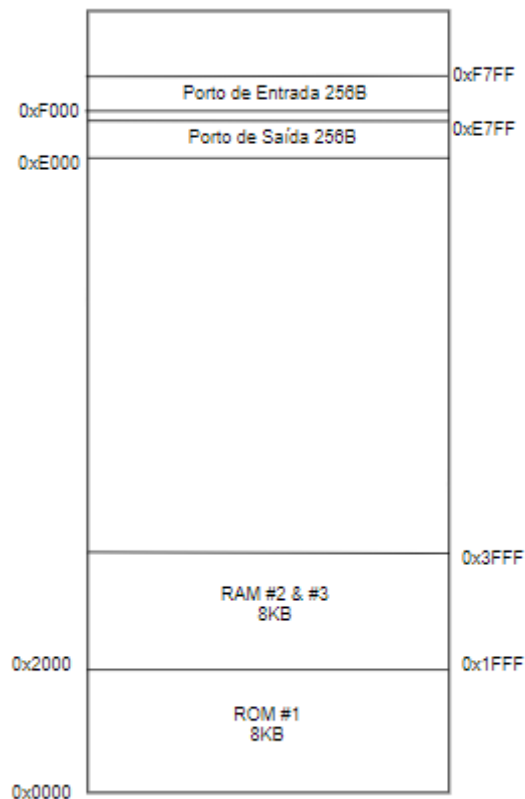


Figura 2: Mapa de memória com o porto de entrada adicionado

3.2. Expressões lógicas

As expressões lógicas obtidas são as seguintes:

ROM CS: $\underline{A15}, \underline{A14}, \underline{A13}$

RAM CS: $\underline{A15}, \underline{A14}, A13$

Porto de entrada CS: $A15, A14, A13, A12, \underline{A11}$

Porto de saída CS: $\underline{A15}, \underline{A14}, \underline{A13}, A12$

3.3. Logigrama relativo ao novo porto

A Figura 3 representa o logigrama do novo porto de entrada.

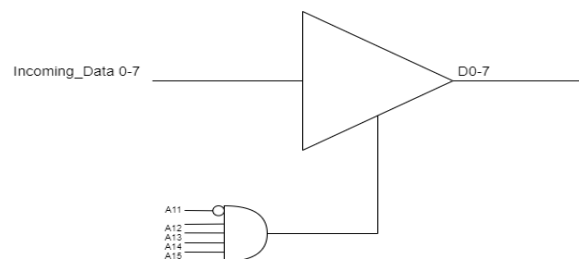


Figura 3: Logigrama do novo porto de entrada

4. Programa em Assembly

```
1  ;r0 load initial value of inport and store final value on outport
2  ;r1 bit for compare
3  ;r2 temp
4
5  loop:
6      ldr r2 , PORT_INPORT_ADDR
7      ldrb r0, [r2,#0] ;Loads value of inport address
8      mov r1,#1
9      and r2, r0, r1 ;Tests bit 0
10     cmp r1, r2
11     bne loop ;If its 0 repeat loop
12     sub r0, r0 , #1 ;subtract bit 0 because he won't be extended
13     lsl r2, r0 ,#8
14     orr r0 , r0 , r2 ;extends r0 to 16 bits
15     add r0, r0, #1 ;add again the bit 0 after extending
16     ldr r2 , PORT_OUTPORT_ADDR
17     str r0, [r2,#0] ;Stores the result in outport addr
18     b loop
19
20 PORT_INPORT_ADDR:
21     .word 0xF000
22
23 PORT_OUTPORT_ADDR:
24     .word 0xE000
25
```

5. Conclusão

Com este trabalho foi possível consolidar os nossos conhecimentos em memórias e portos.