

Exercício da aula 13

As instruções apresentadas na Tabela 1 constituem o conjunto de instruções de um processador a 8 bits do tipo *Reduced Instruction Set Computer* (RISC) com quatro registos de uso geral e um registo de estado com a designação *Current Program Status Register* (CPSR) que, entre outros dados, inclui um bit que indica que a última operação realizada produziu resultado zero (*flag Z*). A capacidade total de endereçamento deste processador é de 256 bytes, sendo os acessos à memória realizados apenas ao byte.

	Instrução	Descrição
1	add rd, rn	$rd \leftarrow rd + rn$
2	b rn	$PC \leftarrow rn$
3	bzs label	$(CPSR.Z == 1) ? PC \leftarrow label : PC \leftarrow PC + 1$
4	cmp rm, rn	$(rm - rn == 0) ? CPSR.Z \leftarrow 1 : CPSR.Z \leftarrow 0$
5	ldr rd, [rn]	$rd \leftarrow mem[rn]$
6	mov rd, #imm3	$rd \leftarrow imm3$
7	str rd, [#imm3]	$mem[imm3] \leftarrow rd$

Tabela 1: Conjunto de instruções

Nas instruções apresentadas na Tabela 1, **rd**, **rm** e **rn** representam um dos registos de uso geral do processador, **imm n** simboliza um número natural codificado com n bits, **label** identifica um endereço na vizinhança de ± 16 bytes da instrução de salto em causa e **PC** referencia o registo *Program Counter* do processador.

1. Classifique as sete instruções nas seguintes classes, de acordo com a função que realizam: *processamento de dados*, *transferência de dados* e *controlo*.
2. Indique, justificando, o número de bits a utilizar para codificar os *campos* de todas as instruções.
3. Proponha um mapa de codificação para o conjunto de instruções apresentado, considerando a utilização de um código de comprimento fixo com oito bits e um esquema de codificação uniforme.
4. Indique, justificando, um valor para o código de operação (*opcode*) de cada instrução.
5. Considerando agora que o segundo operando da instrução **mov** é uma constante codificada com quatro bits (**mov rd, #imm4**), repita as alíneas 2 a 4.