

Arquitetura de Computadores

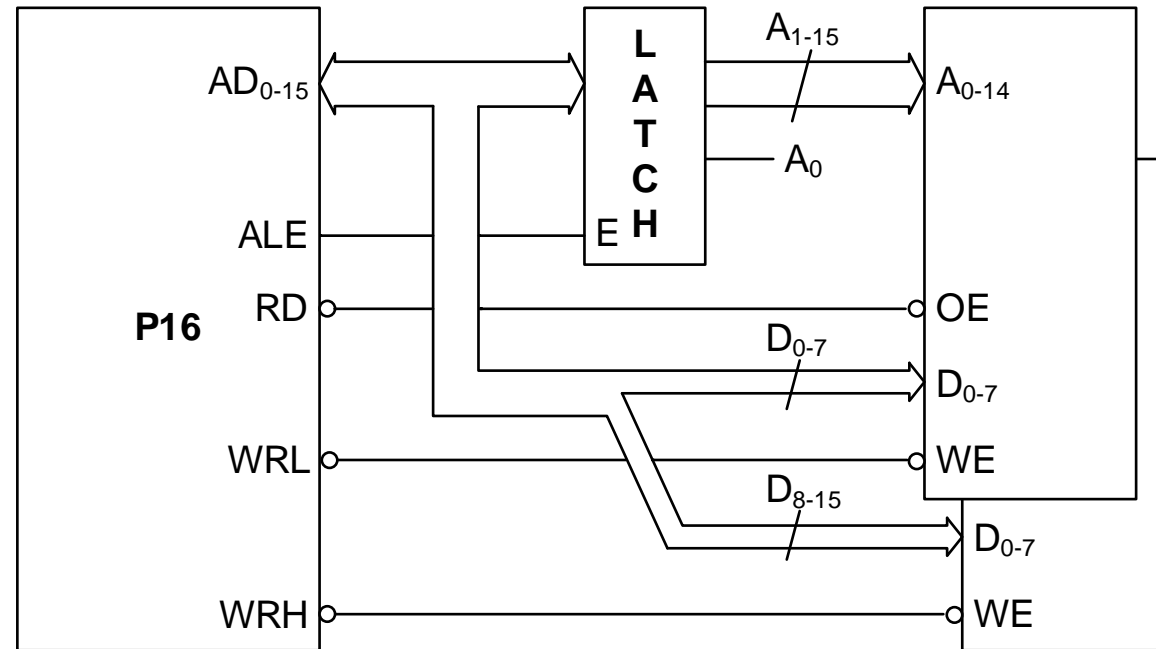
Estrutura interna do P16

Bib: Cap14_P16_Estrutura.pdf

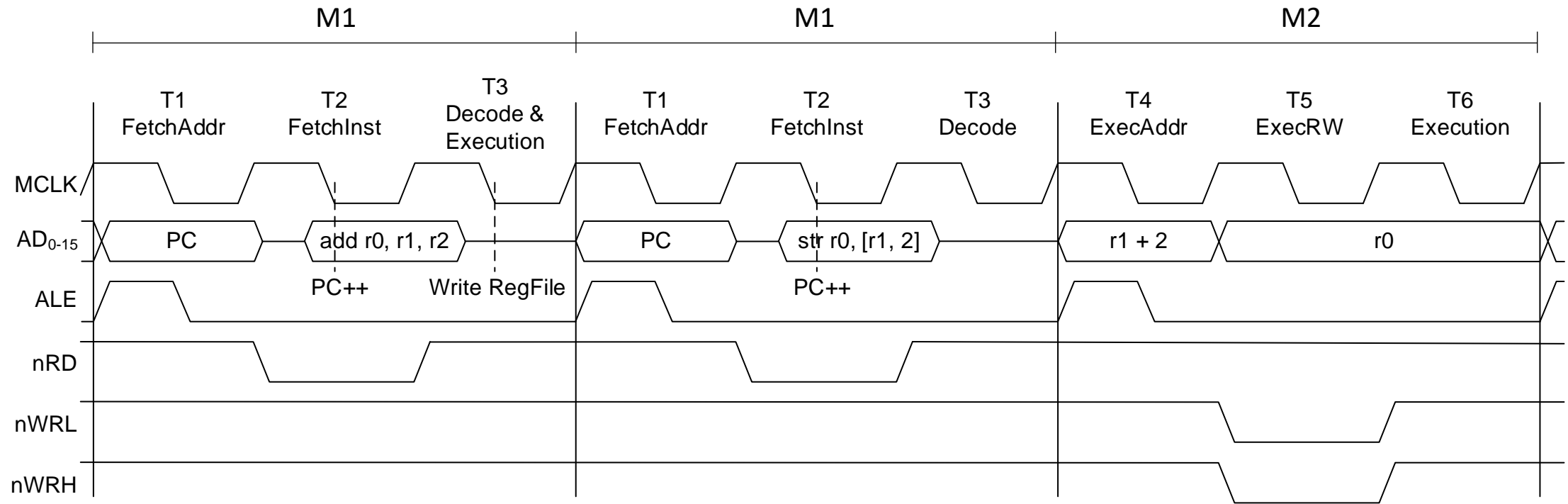
João Pedro Patriarca (jpatri@cc.isel.ipl.pt), Gabinete F.0.23 do edifício F

ISEL, ADEETC, LEIC

Interface para acesso ao espaço de endereçamento



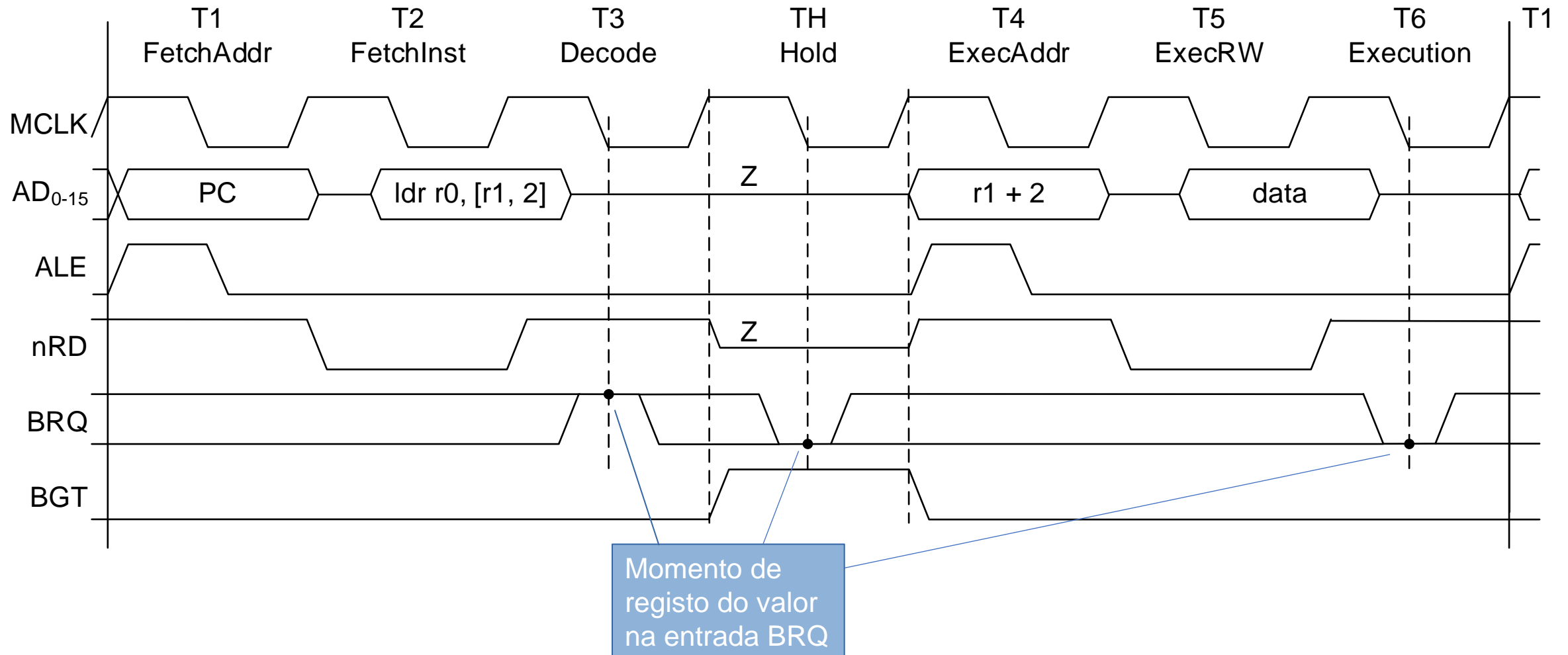
Ciclos máquina



- Ciclos máquina (Mx) constituídos sempre por três ciclos de *clock* (T1, T2 e T3 ou T4, T5, e T6)
- *Loads* e *Stores* constituídos por dois ciclos máquina (M1 e M2)
- Restantes instruções constituídas por um ciclo máquina (M1)

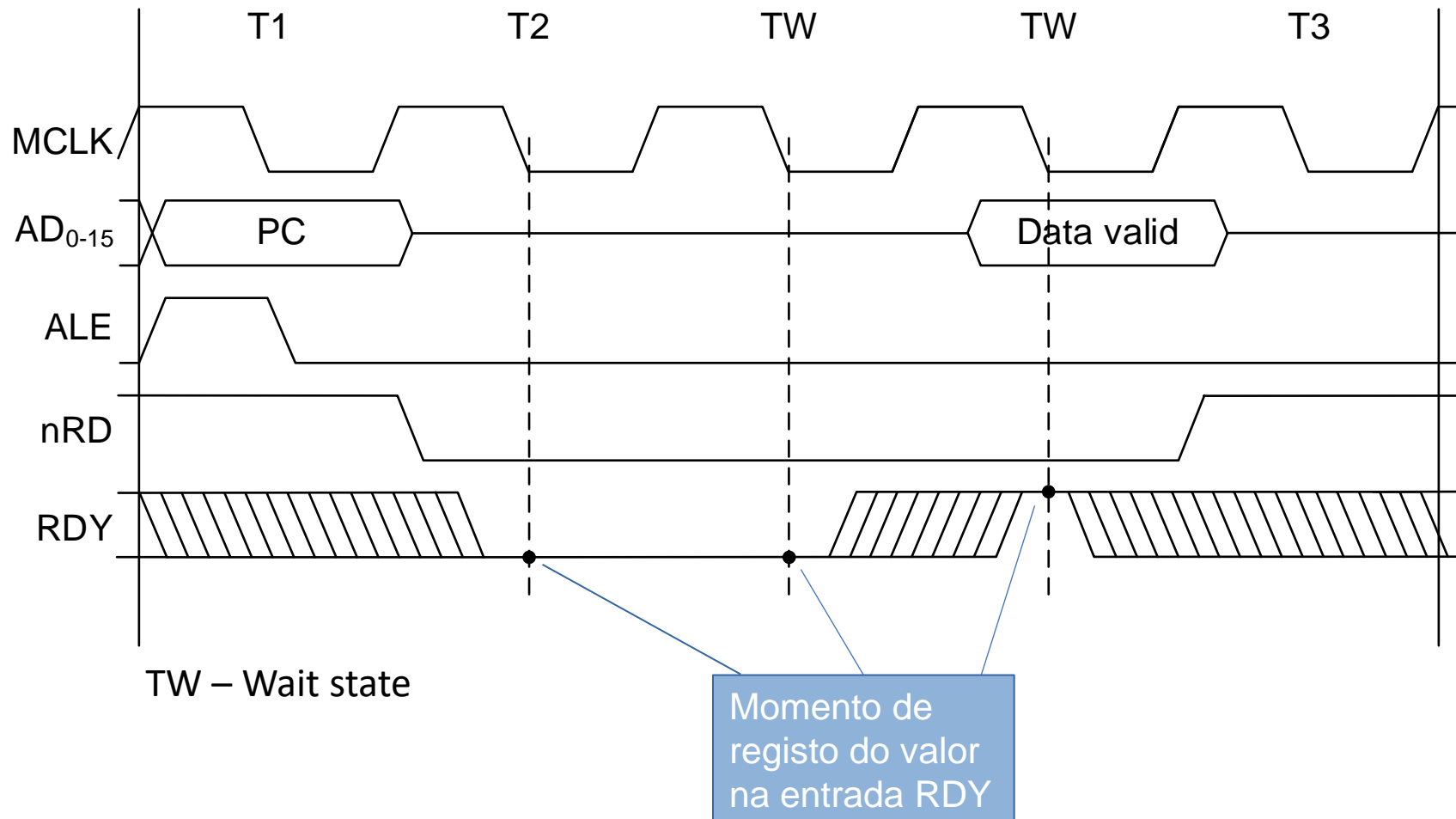
Partilha de barramentos

Bus request/grant (BRQ/BGT)

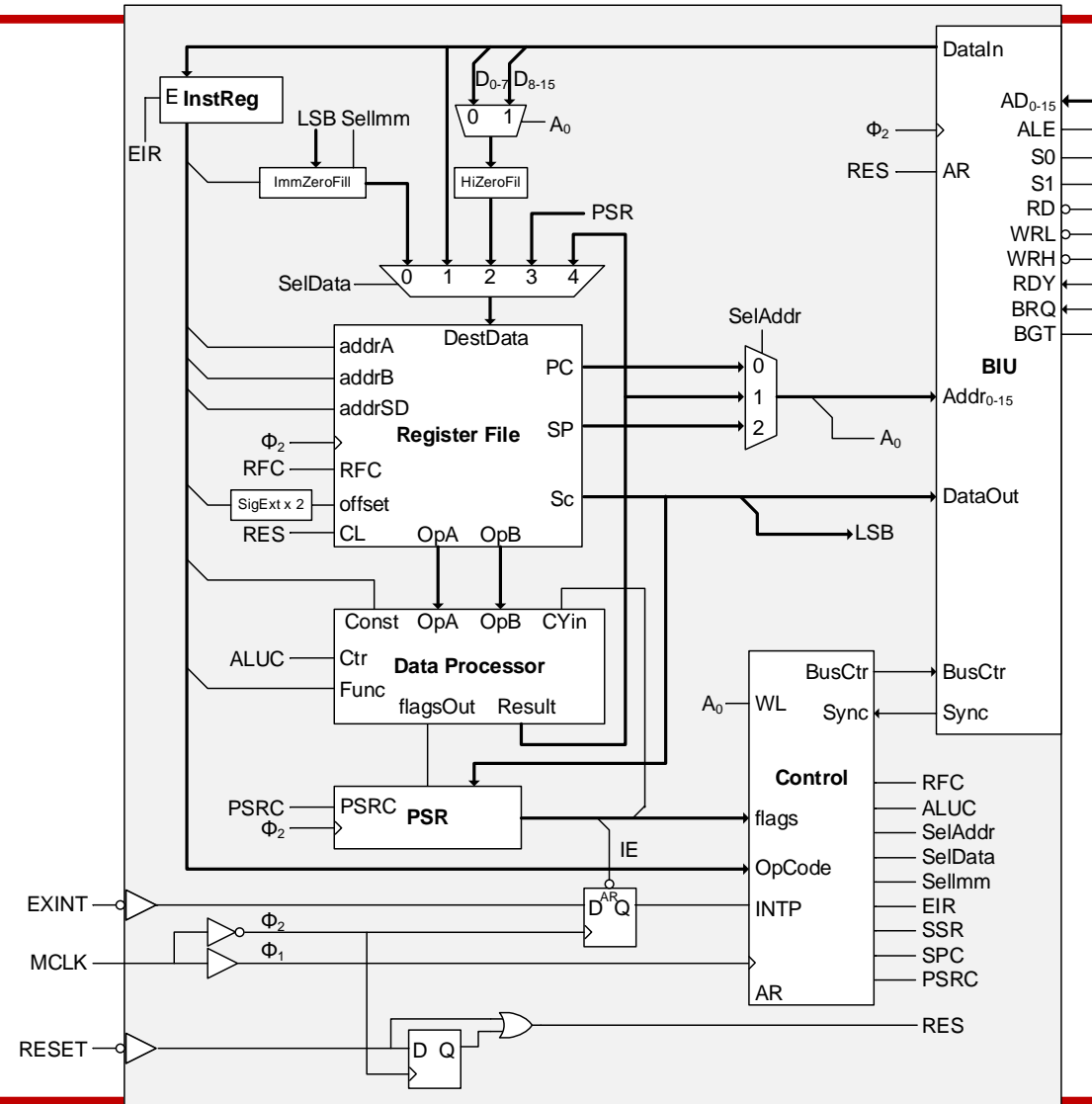


Introdução de estados de espera (TW)

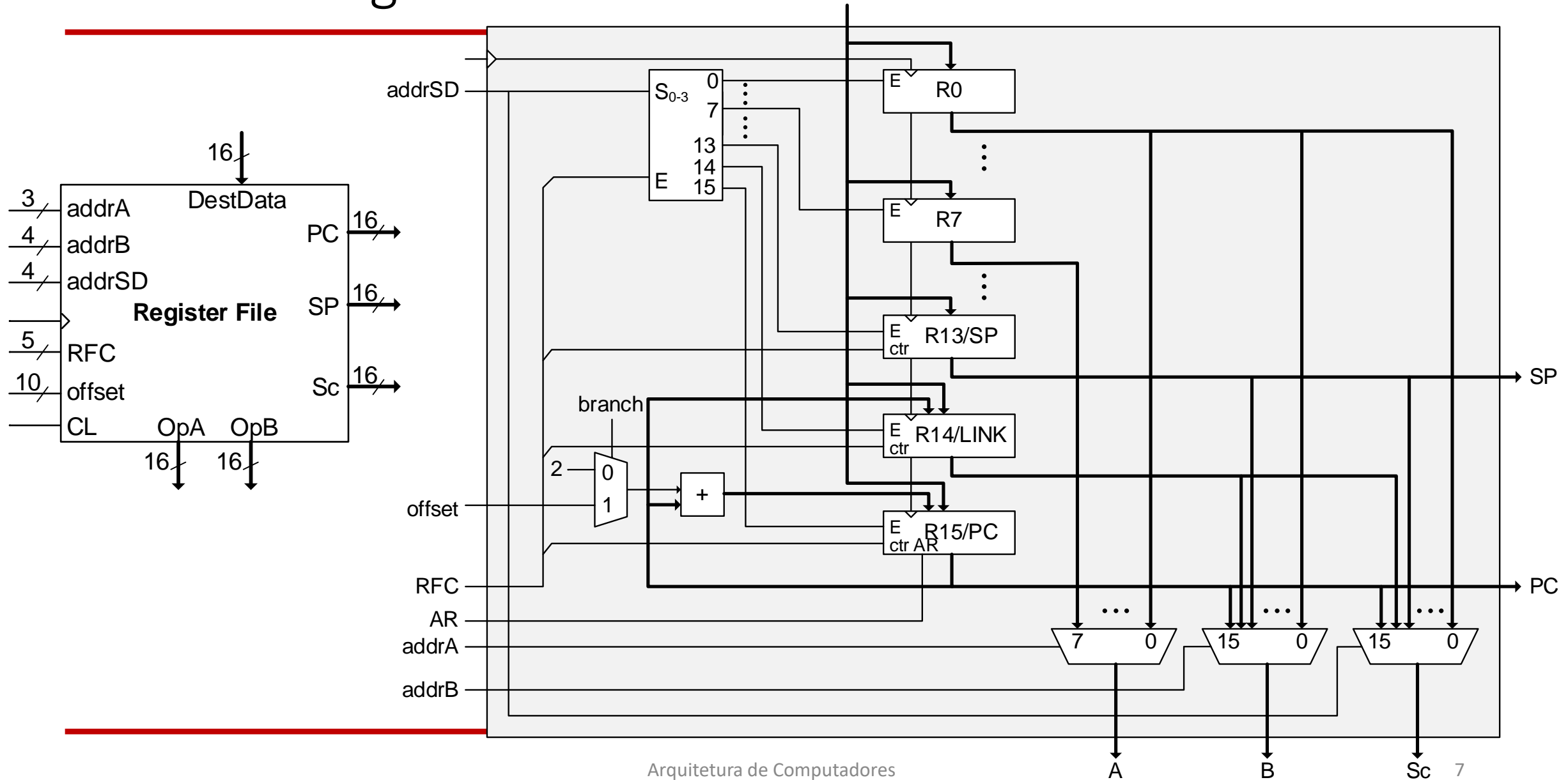
Entrada RDY (*ready*)



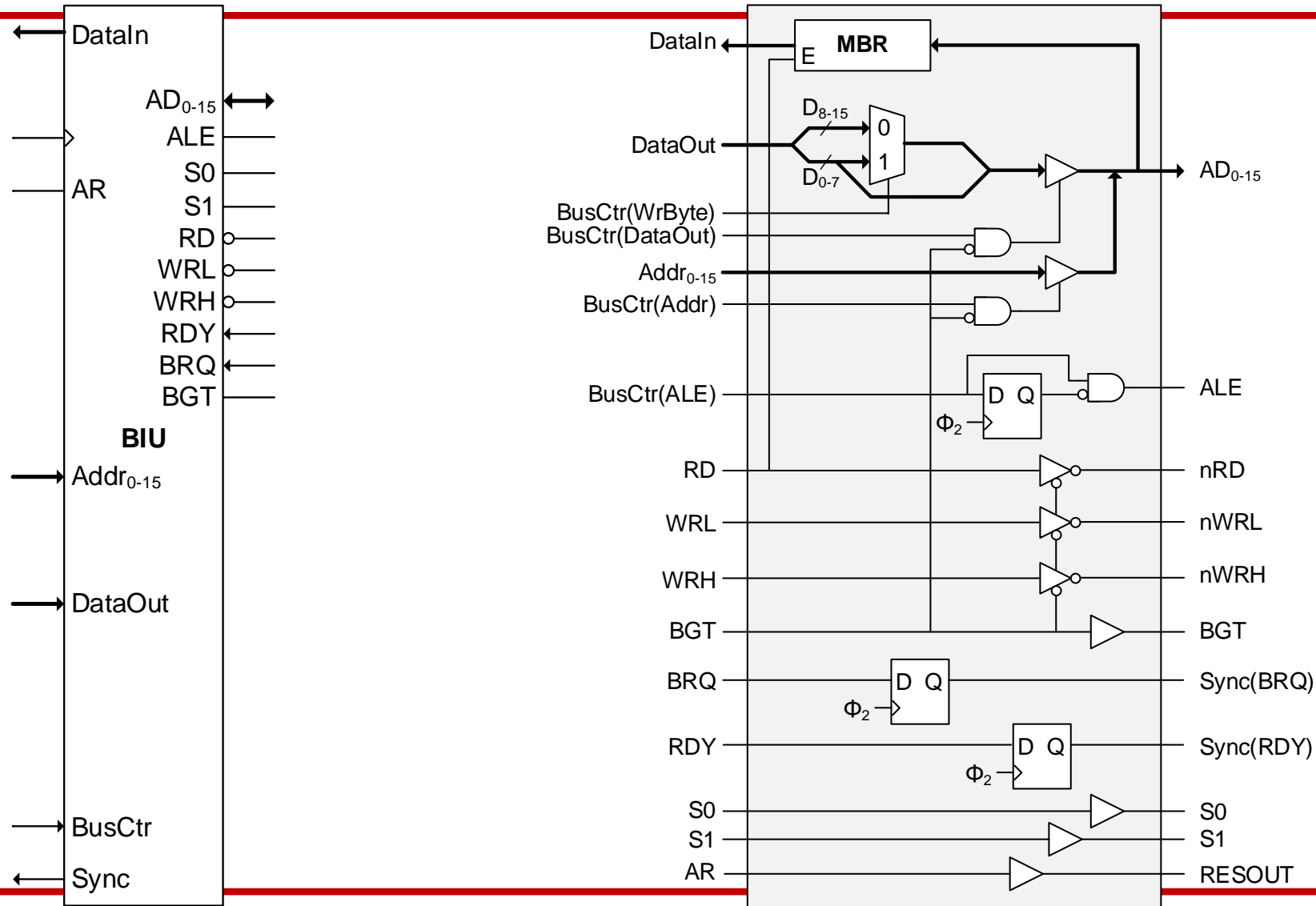
Estrutura interna



Banco de registros



BIU (*Bus Interface Unit*)



Errata – Cap14_P16_Estrutura.pdf

- Fig. 14-1: *multiplexer* que seleciona D_{0-7} ou D_{8-15} , função de A_0 , dados com origem da memória. Deve trocar a entrada 0 com a entrada 1 do *multiplexer* para ser *Little-endian*
- Fig. 14-1: entrada 3 do *multiplexer* que define os dados à entrada do *RegisterFile*. Deve ser PSR em vez de PSW
- Fig. 14-2: *multiplexers* que determinam as saídas B e Sc do *RegisterFile*. Devem ser constituídos por 16 entradas de dados (R_0 a R_{15}) em vez de 8
- Fig. 14-10: endereço definido na execução da instrução STR (ciclo T4). O endereço é definido por $r1+2$ em vez de $r1+4$
- Os erros identificados estão corrigidos nas imagens apresentadas neste documento: Fig. 14-1 \Rightarrow slide 6; Fig. 14-2 \Rightarrow slide 7; Fig. 14-10 \Rightarrow slide 3