



UNIVERSIDAD DE BUENOS AIRES
FACULTAD DE INGENIERÍA

1^{er} Cuatrimestre 2019

DISEÑO DE CIRCUITOS ELECTRÓNICOS (86.10)

Proyecto de diseño: TP1

TEMA: Etapa de Control

FECHA: 29 de mayo de 2020

GRUPO 4 - INTEGRANTES:

Apellido y Nombre	Padrón	Correo Electrónico
Galli, Joaquin	99793	jgalli@fi.uba.ar
Pereyra, Matias Nicolas	99362	mnpereyra@fi.uba.ar
Pistillo, Carolina Rocío	99177	cpistillo@fi.uba.ar
Scharn, Ignacio	98399	ischarn@fi.uba.ar

Índice

1. Requerimientos	1
2. Especificaciones	1
3. Diseño del circuito	1
4. Generador de onda cuadrada y triangular	2
4.1. Primera Etapa	3
4.2. Segunda Etapa	5
4.3. Variación de la frecuencia y del <i>duty cycle</i>	7
5. Señal DC	8
6. Regulador de tensión	9
7. Sumador y amplificador de tensiones	10
8. Simulaciones	10
8.1. Generador de onda cuadrada y triangular	10
8.2. Reguladores	13
8.3. Señal Cuadrada	13
9. Elección de componentes	14
9.1. Comparadores	14
9.2. Flip-flop	14
9.3. Operacionales	14
9.4. MOSFET	15
9.5. TBJ	15
9.6. Diodo	15
10. Especificaciones finales	15
10.1. Tiempo de crecimiento	15
10.2. Linealidad	16
10.2.1. Rechazo al ripple	17
11. Bibliografía	18

El proyecto total consiste en el diseño de una fuente controlada con formas de onda arbitrarias. En este informe se desarrolla el diseño de la primer etapa del mismo: la etapa de control.

1. Requerimientos

Los requerimientos solicitados para la etapa de control se listan a continuación:

- Formas de onda:
 - DC
 - Triangular
 - Cuadrada
 - DC + señal.
- Frecuencia máxima a la salida: 500 Hz
- Frecuencia mínima a la salida: 50 Hz
- Tensión de entrada: Entre 12 y 60V

2. Especificaciones

Se analizaron las especificaciones dadas por los generadores de funciones AFG-303x, MFG-2000 y AFG-3051. En base a las hojas de datos de los mismos se decidió establecer los siguientes valores:

- Tiempo de crecimiento de la cuadrada: $< 8ns$
- Linealidad de la triangular: $< 0,5\%$ de la salida pico
- Rechazo al ripple típico: 70dB

3. Diseño del circuito

El principio del circuito oscilador que se diseñó para este trabajo práctico está inspirado en el diagrama en bloques que se ve en la hoja de datos del oscilador *ICL8038*. Éste usa la salida de un flip flop para prender y apagar una fuente de corriente de valor $2I$, saliente al nodo del capacitor. Al mismo tiempo, mantiene constantemente prendida una fuente de corriente que inyecta una corriente de valor I al capacitor, por lo que la corriente que atraviesa a éste es en un momento I (fuente de corriente apagada) y en otro momento $I - 2I = -I$ (fuente de corriente encendida).

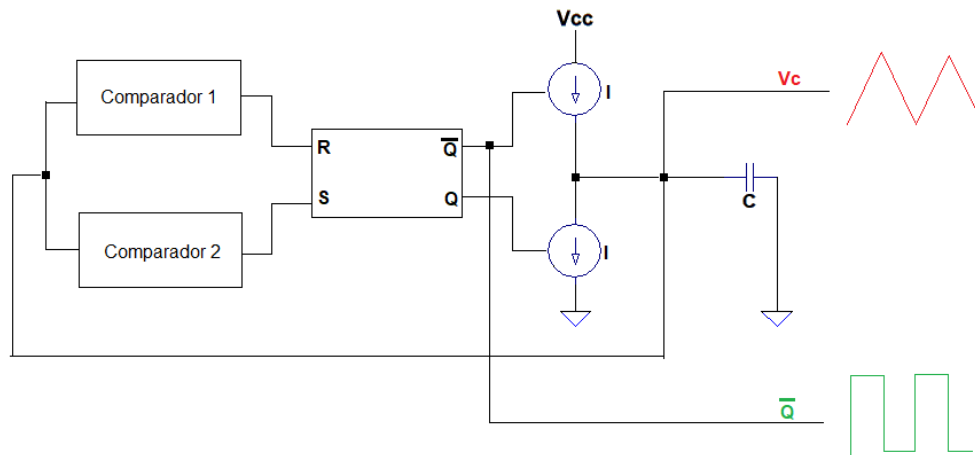


Figura 1: Diagrama en bloques del oscilador implementado.

El flip flop del diseño implementado aquí se encarga de prender y apagar dos fuentes de corriente del mismo valor de corriente I (figura 1). La señal cuadrada se toma de una de las salidas del flip flop, y la señal triangular se toma del nodo del capacitor (cargado y descargado linealmente).

4. Generador de onda cuadrada y triangular

Para la generación de la onda cuadrada y triangular se planteó el circuito que se muestra en la Figura 2. El esquemático se encuentra dividido en dos etapas para facilitar la explicación.

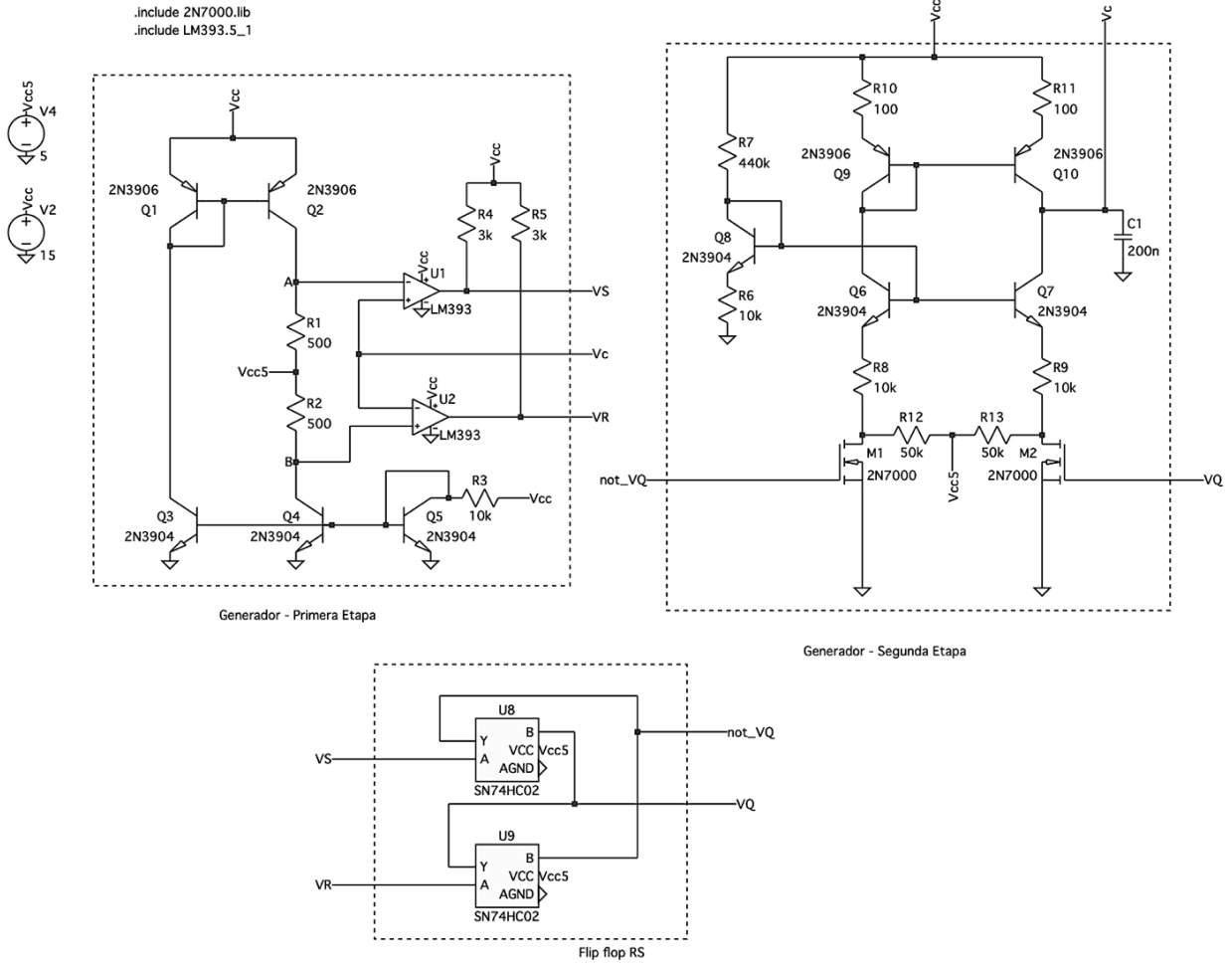


Figura 2: Esquemático del circuito generador de onda cuadrada y triangular.

4.1. Primera Etapa

En la primera etapa del circuito se observa una serie de transistores TBJ configurados de forma tal que actúan como fuente de corriente del circuito. El valor de la fuente de corriente va a estar fijado por la corriente de colector del NPN Q_5 , que está dada por la expresión:

$$I_{C_5} \simeq I_{R3} = \frac{V_{CC} - V_{BE_5}}{R3}$$

Para una corriente de colector menor a 10 mA, la hoja de datos del transistor elegido (2N3904) especifica que a 25°C la tensión base-emisor V_{BE} suele estar entre 0,65 y 0,85 V. Tomando un valor medio de $V_{BE} = 0,75\text{V}$, la corriente sobre el colector de Q_5 es aproximadamente:

$$I_{C_5} \simeq 1,425\text{mA}$$

Por simetría, las corrientes en los colectores de Q_3 y Q_4 serán aproximadamente las mismas que en Q_5 :

$$I_{C_4} \simeq I_{C_3} \simeq 1,425\text{mA}$$

Finalmente el transistor Q_1 al ser PNP tendrá una corriente entrante de aproximadamente -1,425 mA y esta se copia la rama de la derecha a través de Q_2 . Se tienen entonces 1,425 mA entrantes al nodo A. Despreciando las corrientes que toman las ramas de los comparadores, y conociendo la corriente que circula por la rama de R_1 y R_2 pueden hallarse entonces las tensiones en los nodos A y B. Se tendrá entonces que:

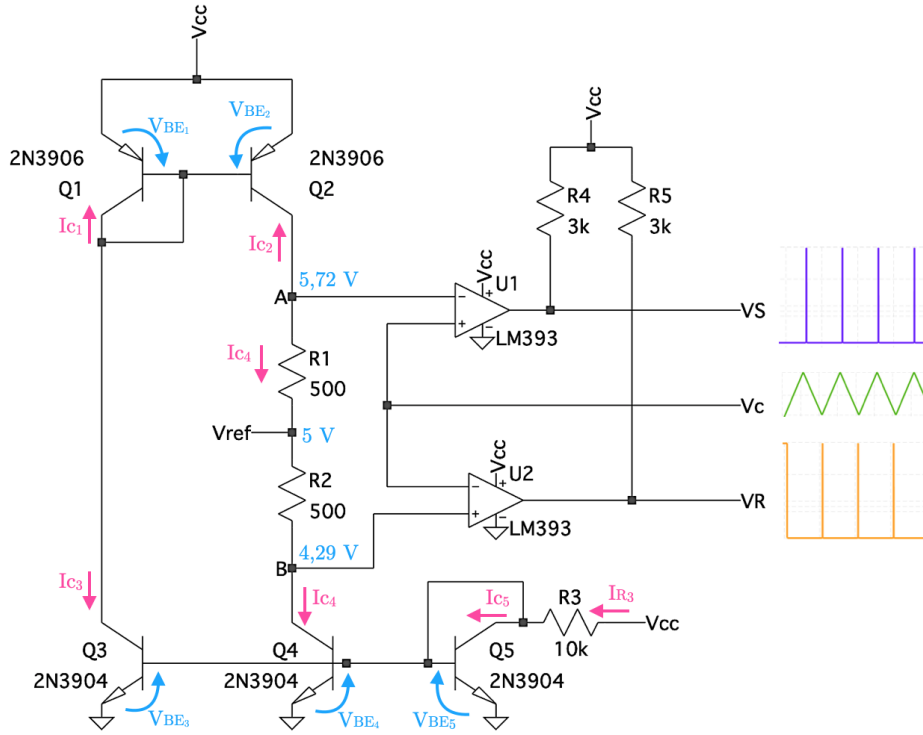


Figura 3: Esquemático de la primera etapa del circuito generador de onda cuadrada y triangular con los sentidos de referencia tomados.

$$V_A = V_{ref} + I_{C_4} \cdot R1 \simeq 5,72V$$

$$V_B = V_{ref} - I_{C_4} \cdot R2 \simeq 4,29V$$

Luego se observan a la derecha 2 comparadores LM393. Las resistencias R4 y R5 no son mas que resistencias de pull-up indicadas por el fabricante para el correcto funcionamiento de este comparador.

Para analizar la primer etapa independientemente de la segunda, es importante tener en cuenta que el nodo V_C que une a ambos comparadores está conectado al capacitor C1 del circuito que se muestra en la segunda etapa. Todo el circuito de la segunda etapa que esta conectado al capacitor puede modelizarse para esta explicación como una fuente de corriente que carga linealmente al capacitor en cierto intervalo de tiempo, y en otro lo descarga (ver ecuación 1).

Suponer que el capacitor comienza con una tensión $V_{C_{inicial}} = 0V$. Teniendo en cuenta que un comparador satura a su nivel máximo o mínimo de alimentación según la diferencia a la entrada sea positiva o negativa, en este instante se tendrá que:

$$\begin{cases} V_S = 0V & \text{porque } V(+) < V(-) \\ V_R = 15V & \text{porque } V(+) > V(-) \end{cases}$$

Si se le esta inyectando corriente linealmente al capacitor, este comenzará a cargarse en forma de rampa. Cuando la tensión en el capacitor supere los 4,29V que hay en el nodo B, la tensión de la pata positiva del comparador U2 pasará a ser menor que la de la pata negativa y se tendrá entonces que:

$$\begin{cases} V_S = 0V & \text{porque } V(+) < V(-) \\ V_R = 0V & \text{porque } V(+) < V(-) \end{cases}$$

Luego, el capacitor sigue cargandose hasta superar los 5,72 V que hay en el nodo A. En este instante, la tensión de la pata positiva del comparador U1 pasará a ser menor que la negativa y se tendrá que:

$$\begin{cases} V_S = 15V & \text{porque } V(+) > V(-) \\ V_R = 0V & \text{porque } V(+) < V(-) \end{cases}$$

Sin embargo, esta tensión $V_S = 15V$ durará un pequeño instante ya que es la misma tensión que acciona al flip-flop y hace que se invierta el sentido de la corriente sobre el capacitor. El capacitor comienza entonces a descargarse hasta que llega a ser mas chico que la tensión en el nodo B por un instante. Aquí se tendrá que:

$$\begin{cases} V_S = 0V & \text{porque } V(+) < V(-) \\ V_R = 15V & \text{porque } V(+) > V(-) \end{cases}$$

Y ahora será V_R la que accione al flip-flop volviendo a invertir el sentido de la corriente en el capacitor para que vuelva a cargarse. De esta forma tenemos una señal triangular que oscila entre las tensiones de los nodos A y B y cuya frecuencia dependerá también de la pendiente I/C .

En la Figura 4 se puede observar gráficamente lo recién explicado. Nótese que los valores de tensión en los nodos A y B no son exactamente los mismos que los calculados analíticamente. Esto se debe a que en verdad las corrientes por todos los TBJ no son las mismas como se aproximó en el cálculo.

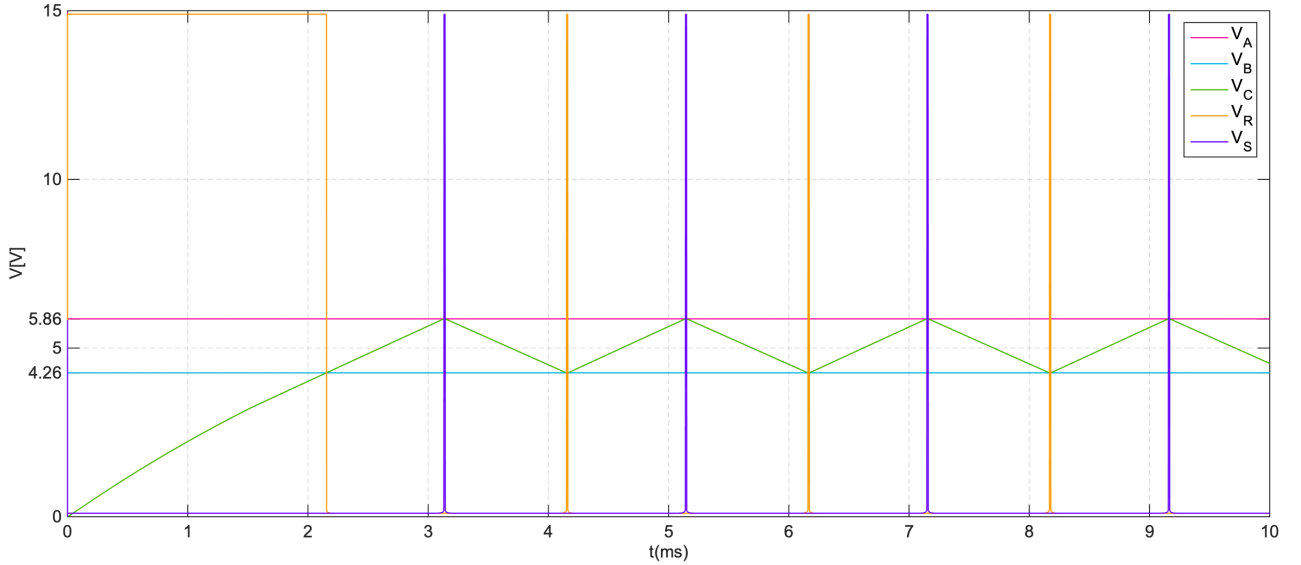


Figura 4: Simulación en LTSpice de las señales en los nodos A, B, V_C , V_S y V_R

4.2. Segunda Etapa

Las tensiones V_S y V_R provenientes de la primer etapa ingresan a un flip-flop SR. Por la tabla de verdad de un flip-flop, cuando V_S esta a nivel de fuente (1), se tiene un 1 a la salida Q. La tensión en Q se mantendrá en el nivel de fuente (5V) hasta que se accione la entrada R del flip flop, generando 0V en Q. Y esta tensión se mantendrá hasta que se vuelva a accionar la entrada S. Se tendrá entonces a la salida Q del flip flop una señal cuadrada que oscila entre 0 y 5 V.

Se inyecta entonces una tensión $not.V_Q$ a la entrada del MOSFET M2 y V_Q a la entrada del M1. Estas señales serán las mismas pero con acciones opuestas. Considerando que los MOS se comportan como llaves tendremos entonces una llave que se abre cuando la otra se cierra. A continuación se analizan los dos casos posibles:

Llave M1 abierta, llave M2 cerrada

Cuando el MOS M1 se comporta como una llave abierta y M2 como una llave cerrada, el circuito se reduce al que se muestra en la Figura 5

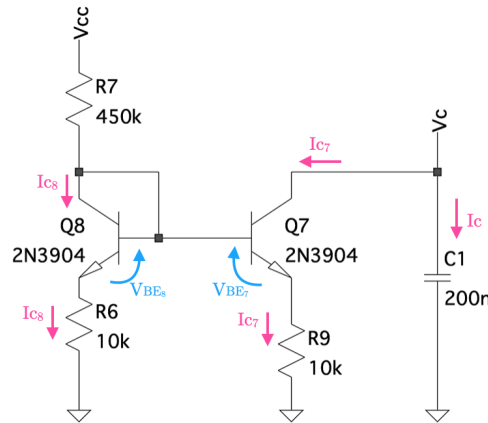


Figura 5: Esquemático del circuito de la segunda etapa del generador cuando la llave M1 se encuentra abierta y M2 se encuentra cerrada

Es importante notar que la rama del nodo V_C que lo une con la primera etapa del generador no toma corriente ya que está conectado a las entradas de los operacionales. Por lo tanto, se tiene que circula a través del capacitor C1 una corriente igual a $-I_{C7}$. Como esta corriente es constante y de signo negativo, el capacitor se estará descargando en forma de rampa.

Llave M1 cerrada, llave M2 abierta

Cuando el MOS M1 se comporta como una llave cerrada y M2 como una llave abierta, el circuito se reduce al que se muestra en la Figura 6

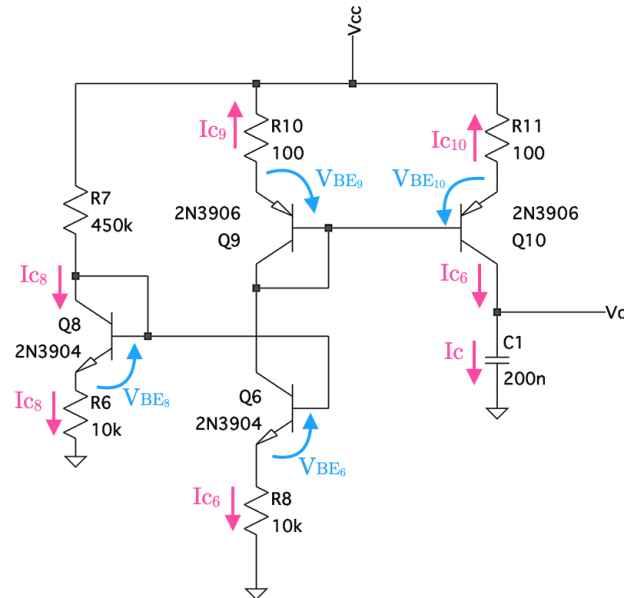


Figura 6: Esquemático del circuito de la segunda etapa del generador cuando la llave M1 se encuentra cerrada y M2 se encuentra abierta

Al igual que antes, la rama del nodo V_C proveniente de la primera etapa no toma corriente. Se tiene por lo tanto una corriente constante $I_C = I_{C6}$ que hace que el capacitor se cargue en forma de rampa.

4.3. Variación de la frecuencia y del *duty cycle*

De la ecuación de tensión en un capacitor se tiene que:

$$v_C(t) = \frac{1}{C} \int_0^t i \, ds + v_o$$

Y como la corriente es constante en cierto período, se puede establecer que:

$$v_C(t) = \frac{I}{C} \cdot t + v_o \quad (1)$$

Llámesese Δ_{t1} al tiempo de carga del capacitor y Δ_{t2} al tiempo de descarga. Se tendrá entonces más específicamente que:

$$\begin{cases} v_C(t) = \frac{I_{C6}}{C} \cdot t + V_B & \text{para la carga} \\ v_C(t) = \frac{-I_{C7}}{C} \cdot t + V_A & \text{para la descarga} \end{cases} \quad (2)$$

Nótese que si las corrientes de colector de Q6 y Q7 son iguales, se tendrá el caso de 50 % Duty (triangular perfecta). Por lo tanto, el duty podrá variarse si se varían las corrientes de estos colectores. Esto puede lograrse variando los valores de las resistencias R8 y R9. Escrito en ecuación se tiene que el *duty cycle* estará dado por:

$$duty \, cycle = \frac{\Delta_{t1}}{\Delta_{t1} + \Delta_{t2}}$$

De la ecuación de carga de (2) se sabe que si $t = \Delta_{t1}$ se tiene una tensión igual a V_A , que es cuando el capacitor termina de cargarse. Análogamente para la ecuación de descarga se sabe que si $t = \Delta_{t2}$ se tiene una tensión igual a V_B , que es cuando el capacitor termina de descargarse. Se llegan entonces a las relaciones:

$$\begin{cases} V_A = \frac{I_{C6}}{C} \cdot \Delta_{t1} + V_B & \text{para la carga} \\ V_B = \frac{-I_{C7}}{C} \cdot \Delta_{t2} + V_A & \text{para la descarga} \end{cases}$$

Despejando e igualando las ecuaciones se llega finalmente a la relación:

$$duty \, cycle = \frac{I_{C7}}{I_{C6} + I_{C7}} \quad (3)$$

Para conocer el valor de I_{C7} pueden recorrerse las malla del circuito de la figura 5. Análogamente con I_{C6} con el circuito de la Figura 6. Se llega finalmente a que:

$$\begin{cases} I_{C7} = \frac{V_{B8} - V_{BE7}}{R_9} \\ I_{C6} = \frac{V_{B8} - V_{BE6}}{R_8} \end{cases} \quad (4)$$

Despreciando las diferencias entre V_{BE7} y V_{BE6} se puede establecer que:

$$I_{C6} \cdot R_8 = I_{C7} \cdot R_9$$

Finalmente reemplazando en (3) se obtiene la ecuación del *duty cycle* dependiente de R_8 y R_9 :

$$duty \, cycle = \frac{R_8}{R_8 + R_9} \quad (5)$$

Para analizar la dependencia de la frecuencia frente a los parámetros del circuito se supondrá un Duty de 50 %, es decir $\Delta_{t1} = \Delta_{t2}$. Por simplicidad se analizará para condiciones iniciales nulas y únicamente el ciclo de carga ya que el de descarga posee la misma pendiente pero en sentido opuesto. Se tiene entonces una tensión en el capacitor dada por la expresión:

$$v_C(t) = \frac{I_{C6}}{C} \cdot t$$

de donde se sabe que cuando $t = \frac{T}{2}$, $v_C = V_{pp} \simeq 1,6V$. Entonces:

$$V_{pp} = \frac{I_{C6}}{C} \cdot \frac{T}{2} \quad (6)$$

De las mallas del circuito de la Figura 6 se puede ver que por simetría las corrientes que circulan por Q8 y Q6 van a ser aproximadamente las mismas. Esto permitirá un mejor control de la frecuencia. Recorriendo la malla de R7 y Q6 se llega finalmente a que la corriente en el colector de Q6 está dada por:

$$I_{C6} = \frac{V_{CC} - V_{BE}}{R_7 + 10k\Omega}$$

Si se observa la Ecuación (6) puede verse que ya se conocen todos los valores excepto R_7 . Se decidió regular el valor de esta resistencia mediante un potenciómetro para variar el valor de la frecuencia. Esta ecuación puede escribirse entonces en función de R_7 y se obtiene que una frecuencia dependiente del valor de esta resistencia:

$$f = \frac{V_{CC} - V_{BE}}{V_{pp} \cdot 2C(R_7 + 10k\Omega)} \quad (7)$$

Tomando nuevamente un $V_{BE} \simeq 0,75V$ y reemplazando en (7) por los valores establecidos, se observa entonces que para la mínima frecuencia requerida de 50 Hz se deberá ajustar R_7 a aproximadamente $435 k\Omega$. Para la máxima frecuencia requerida de 500 Hz R_7 deberá ser aproximadamente $34,5 k\Omega$

5. Señal DC

Para generar la señal continua se utilizó un regulador Low-Dropout, el cual es un dispositivo lineal de tensión directa DC.

El circuito LDO que se observa en la Figura 7, está compuesto por un transistor MOSFET canal P como dispositivo de paso. Para regular la tensión de salida, el amplificador controla la tensión del gate del transistor y definiendo la tensión de entrada V_{cc} se puede definir V_{GS} y así obtener la corriente que circula por el MOSFET. Cuando el transistor trabaja en modo saturación, V_{DC} se mantiene constante.

$$V_{DC} = \frac{(V_{ref} - V_{ss})(R_{18} + R_{19} + R_{17})}{R_{18} + R_{19}} + V_{ss} \quad (8)$$

Donde $R_{19} = 100 k\Omega$ de valor fijo, R_{18} y R_{17} dado por un potenciómetro de $100 k\Omega$ para poder controlada manualmente la tensión DC.

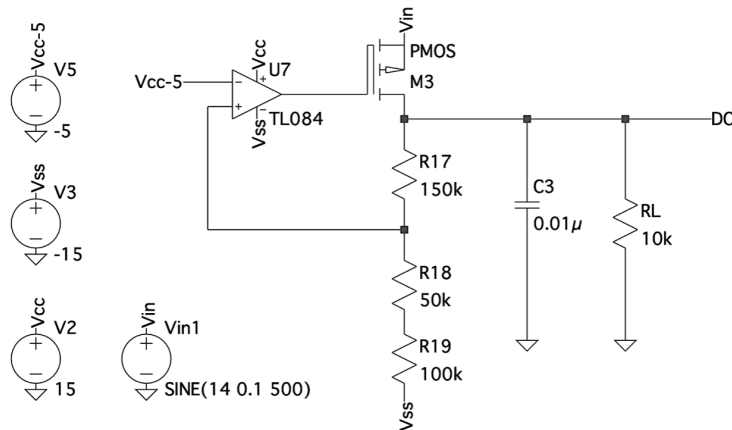


Figura 7: Esquemático Señal continua

6. Regulador de tensión

En la Figura 2 de esta etapa de control se observan las tensiones con las cuales se alimentará al generador de funciones. Se trabajó en particular con valores de tensiones de 15V y 5V, tanto positivos como negativos. Los valores negativos se generarán a partir del integrado LTM8020 que es un regulador step down.

Para las tensiones positivas se van a utilizar tres reguladores de tensión diferentes. Antes de explicar los reguladores utilizados para esta etapa del proyecto se debe analizar por qué es necesario colocar estos reguladores de tensión. Uno de los requerimientos de la segunda etapa del proyecto es la de tener lograr una tensión de salida de 1 a 50 V con una tensión de dropout menor o igual a 5 V. Como el circuito se va a alimentar con una tensión de entrada de 60 V, necesitamos regularla para lograrg los niveles de tensión deseados (5 V y 15 V).

Para poder llegar a obtener estos niveles de tensión, se va a tener que bajar primero la tensión de entrada a unos 30V. Esto va a permitir poder utilizar reguladores de tensión comerciales ya implementados de modo de reducir la circuitería del nuestro proyecto. Para ello se propuso el circuito de la Figura 8 en el cual se simula la tensión de entrada de 60V y a través de la tensión de referencia y con la ayuda del realimentador serie paralelo, se logra obtener la tensión de salida deseada para poder alimentar a los diferentes reguladores ya mencionados. La tensión de salida de este circuito es:

$$V_o = (1 + \frac{R_2}{R_1})V_{REF}$$

Donde la tensión V_{REF} se logra obtener a partir de un diodo zener de 6.2V, sumada la tensión V_{BE} del transistor Q_6 . Como nuestra tensión de salida deseada es de 25V y la tensión de referencia por lo explicado anteriormente es de 7V aproximadamente, se fija a R_2 en 10 k y se elige el valor de la resistencia R_1 para obtener lo deseado. Con estos valores se llega a que $R_1 = 27k\Omega$ aproximadamente. Este ultimo valor fue elegido para tener una resistencia comercial.

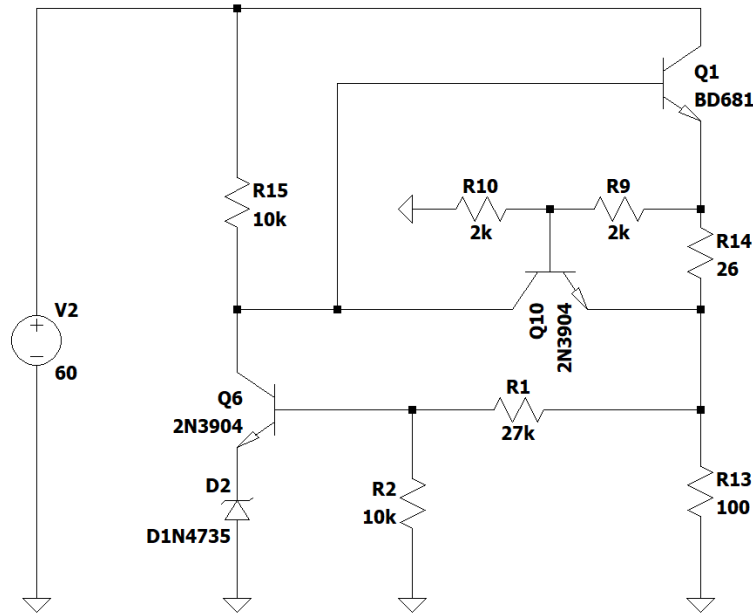


Figura 8: Esquemático del regulador de tensión

Sumando todas las corrientes que tenemos en nuestro circuito llegamos a una corriente máxima de 250mA, que multiplicado por los 35V que caen en el transistor BD681 nos da una potencia de 8.75w aproximadamente. El transistor BD681 se trata de un Darlington que soporta hasta 40W de potencia.

Una vez que se tienen logrados los 25V a la salida de nuestro regulador, ya se pueden conectar los dos reguladores comerciales LM7815 y LM7805 al circuito. Estos reguladores tienen una tensión máxima a la entrada de 35 V y una salida de 15V y 5V respectivamente. Por lo tanto, se tendrá una potencia a la salida de 2.5W para el caso del LM7815 que se obtiene a partir de la diferencia entre la entrada (25 V) y la salida (15 V), ponderada

por la corriente máxima obtenida de 250mA.

Para el segundo caso ocurre la misma situación, pero con una diferencia de tensión mayor. Se tienen ahora 5V a la salida, lo que provoca una diferencia de 20V y ponderado por la corriente da una potencia de 5W. Por lo tanto, los niveles de potencia son admisibles para los valores que se trabajó.

En la Figura 8 se puede observar que de carga le colocamos una R_{13} de 100Ω que simula una corriente a la salida de 250mA como la obtenida en nuestro circuito.

Se conectó adicionalmente en el regulador un limitador por corriente con el propósito de proteger la carga que simula ser nuestro circuito. Este limitador esta formado por Q10 y R14 y provoca que cuando por R14 circule una corriente máxima, el transistor Q10 se prenda y haga que la corriente excedente que circule por Q6 se vaya por Q10. De esta forma volverá a circular por la carga una corriente de cortocircuito generada por R1 y R2.

Por último, se observa que R9 y R10 cumplen la función de protección sobre el regulador.

7. Sumador y amplificador de tensiones

Para poder obtener en una única salida, señales triangulares, cuadradas, senoidales y las mismas con una tensión de offset, se implementó un sumador de tensiones con amplificadores operacionales. En la Figura 9 se puede dividir el sub circuito en dos partes, la primera que representa un sumador de tensiones, y la segunda un amplificador inversor el cual va a permitir variar la tensión de salida.

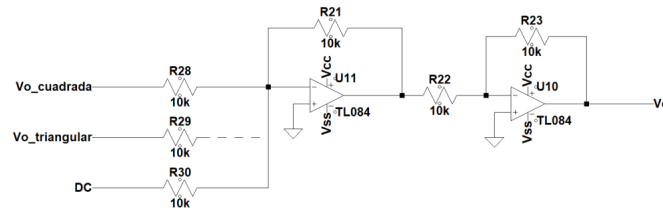


Figura 9: Esquemático del sumador y amplificador de tensión

En la primer parte, en el sumador se utilizaron resistores de igual valor para la entrada de cada señal al igual que para el resistor de realimentación. Además se pensó el circuito para que cada señal sumada mediante un pulsador de forma manual. Cuando se quiera una señal cuadrada, senoidal o triangular manualmente se deberá presionar el pulsador para que se pueda ver la respuesta deseada. Así como también se permite obtener una señal con un offset, sumando estas con la señal DC obtenida del LDO. Para la señal a la salida del sumador se obtiene

$$V_{sum} = -\left(\frac{R_{21}}{R_{27}}V_{tri} + \frac{R_{21}}{R_{28}}V_{sq} + \frac{R_{21}}{R_{29}}V_{DC}\right) \quad (9)$$

Como la salida del sumador se encuentra invertida, se utilizó un circuito amplificador inversor en cascada. Además, los resistores R_{23} y R_{22} fueron implementados con otro potenciómetro con el fin de poder controlar la amplificación de salida de las señales

$$V_o = -\frac{R_{23}}{R_{22}}V_{sum} \quad (10)$$

8. Simulaciones

8.1. Generador de onda cuadrada y triangular

Para controlar el valor la frecuencia, se varía la corriente de la resistencia del colector del transistor Q8 cambiando el valor de la resistencia R_7 , la cual en el esquemático de la segunda etapa (figura 2) representa un potenciómetro de $500k\Omega$. A mayor valor de resistencia, menor corriente de colector, y menor corriente es la que copia cada una de las ramas que se encargan, en última instancia, de inyectar corriente al capacitor de forma

lineal. De esa forma, disminuyendo en igual proporción ambas corrientes (la que carga al capacitor y la que lo descarga) se disminuye la frecuencia de forma consistente. El *duty cycle* es variado mediante un potenciómetro doble representado en el esquemático por las resistencias R_8 y R_9 . Se ven en la figura 10 las mediciones de ambas magnitudes de interés para diversos valores de R_C . Para conseguir una cuadrada de $500Hz$ se ajusta su valor a aproximadamente $35k\Omega$ ¹. La mínima frecuencia que se simuló fue de $50Hz$ con una resistencia de aproximadamente $450k\Omega$.

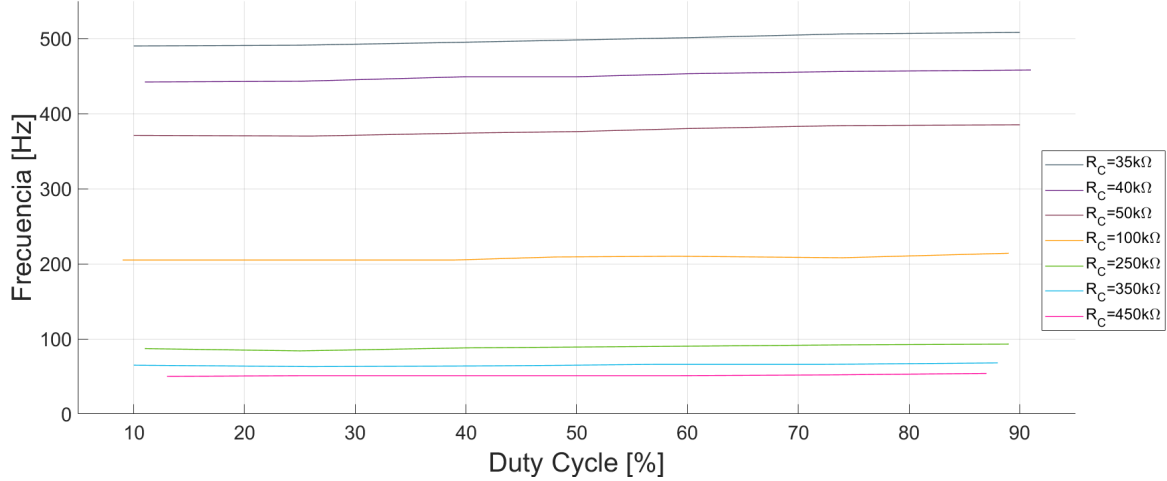


Figura 10: Frecuencia en función del *duty cycle*. Se denominó R_C al valor de resistencia de la encargada de controlar la frecuencia. A mayor R_C , menor corriente de carga y descarga, y menor frecuencia. Nótese que se consiguen las curvas de frecuencia aproximadamente constantes con sólo variar el valor del potenciómetro doble, encargado del control del *duty cycle* (no se explicitan los valores de las resistencias R_8 y R_9).

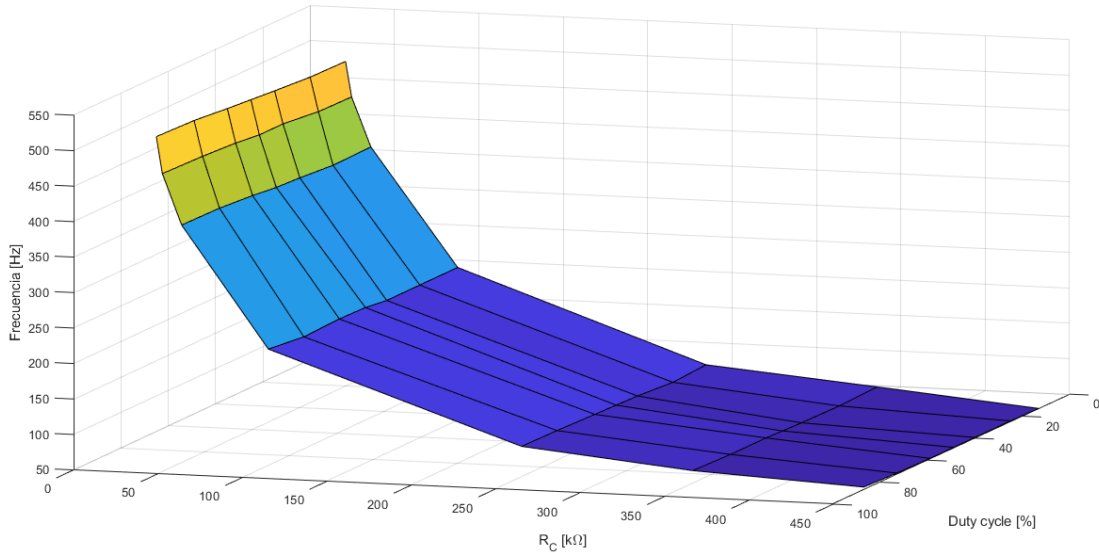


Figura 11: Superficie formada con las simulaciones de frecuencia y *duty cycle*. Se marcan los valores de resistencia R_C para cada conjunto de simulaciones.

En las figuras 12, 13 y 14 se ven distintas simulaciones a distintas frecuencias, mostrando *duty cycles* de aproximadamente 25 %, 50 % y 75 %. Las señales son la cuadrada y triangular generadas con el oscilador, luego

¹se ve que se podría conseguir una mayor frecuencia, pero como las especificaciones no lo requieren, no se realizaron simulaciones para valores correspondientes a frecuencias mayores.

de haber sido centradas alrededor del cero con una etapa sumadora de continua de valor negativo (conseguida con un circuito integrado).

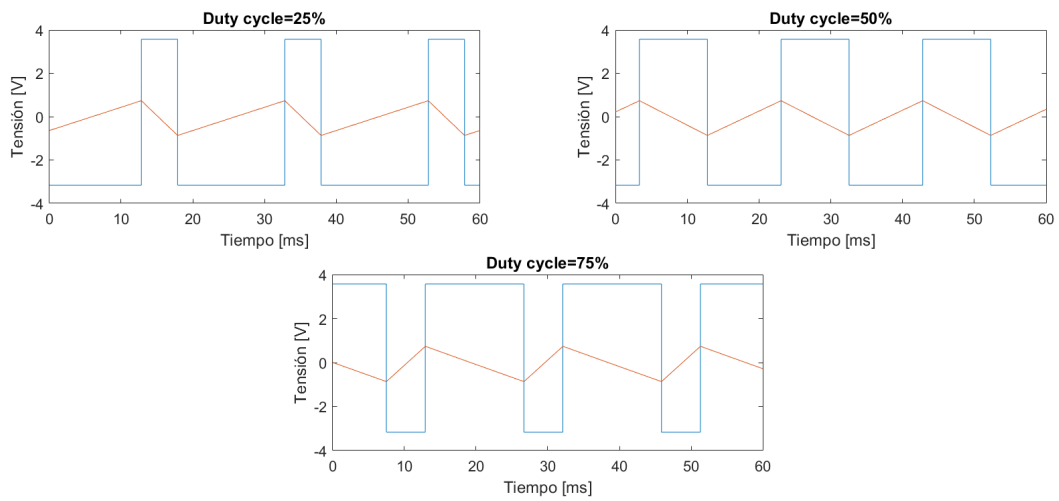


Figura 12: Señales triangular y cuadrada de $50Hz \pm 1,4Hz$ para distintos *duty cycles* ($R_C = 450k\Omega$).

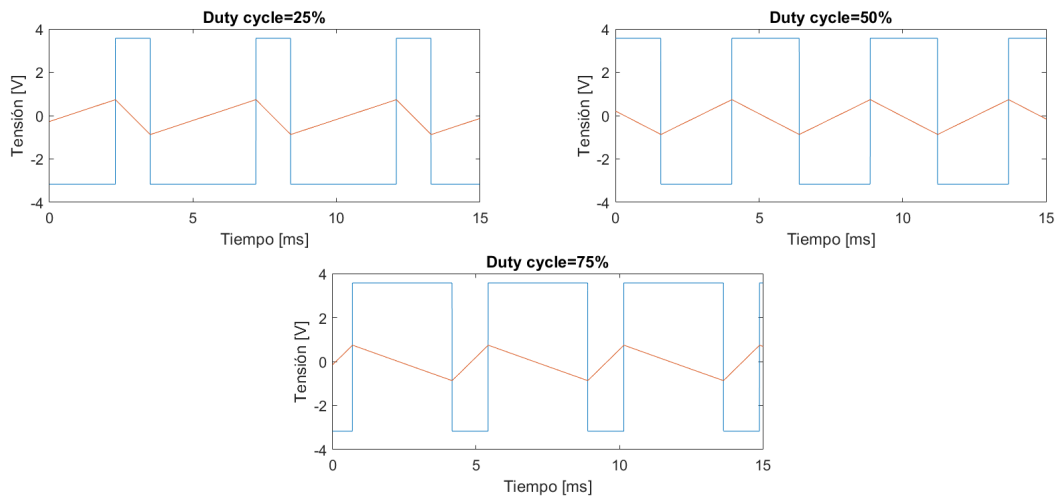


Figura 13: Señales triangular y cuadrada de $210Hz \pm 3,2Hz$ para distintos *duty cycles* ($R_C = 100k\Omega$).

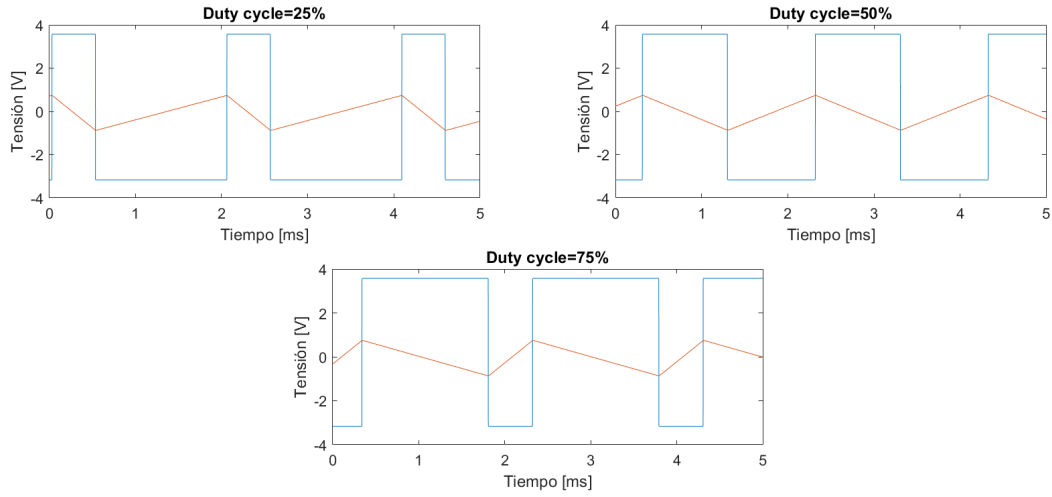


Figura 14: Señales triangular y cuadrada de $500\text{Hz} \pm 6,4\text{Hz}$ para distintos *duty cycles* ($R_C = 35\text{k}\Omega$).

8.2. Reguladores

8.3. Señal Cuadrada

Se realizó la FFT a la señal cuadrada para verificar que la misma tenga por lo menos 10 armónicos, para corroborar que la señal no este deformada. Esto se midió a la salida del circuito, después del sumador, teniendo en cuenta el ancho de banda de todos los amplificadores operacionales utilizados en nuestro circuito. Para verificar dicho ancho de banda se busco el datasheet de los amplificadores que utilizamos y se busco cuanto era nuestro ancho de banda para la amplificación que teníamos. En la siguiente figura se puede observar las respectivas FFT para la señal a 45Hz y a 500Hz.

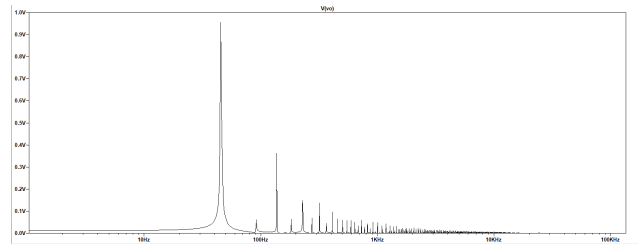


Figura 15: FFT para una señal de 50Hz

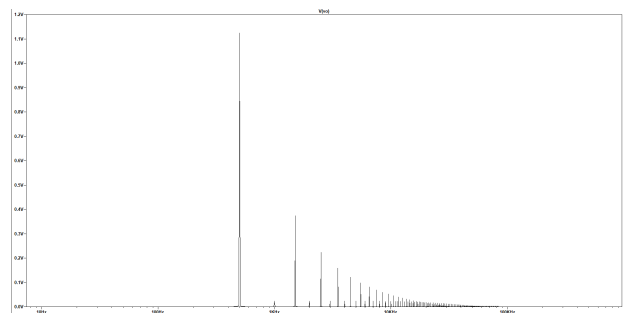


Figura 16: FFT para una señal de 500Hz

9. Elección de componentes

9.1. Comparadores

Para los comparadores del circuito generador se decidió utilizar un integrado LM393 aprovechando que viene con dos comparadores y que tiene un tiempo de respuesta rápido de $1\mu s$.

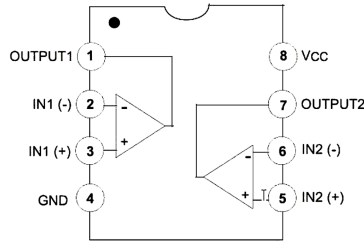


Figura 17: Pines del integrado LM393

9.2. Flip-flop

El flip-flop RS utilizado en el circuito generador no es sencillo de conseguir en un integrado y la mayoría de los que se consiguen están implementados internamente por compuertas lógicas. Se decidió entonces utilizar compuertas NOR dispuestas como se muestra en la Figura 18.

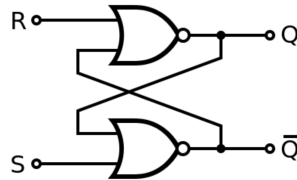


Figura 18: Flip-flop RS implementado con compuertas NOR

Para las compuertas se decidió utilizar un integrado 74HC02 que tiene una respuesta rápida.

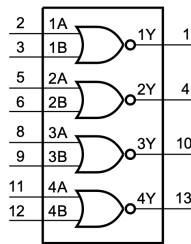


Figura 19: Pines del integrado 74HC02

9.3. Operacionales

Para la elección de los operacionales utilizados se tuvo en cuenta la necesidad de un alto valor de slew-rate. Se eligió el integrado TL084 que presenta un slew-rate típico de $13 V/\mu s$. Se necesitarán dos de estos integrados dado que se tienen 7 operacionales en todo el circuito.

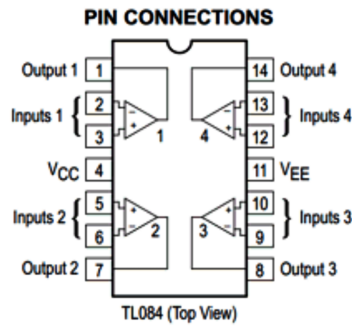


Figura 20: Pines del integrado TL084

9.4. MOSFET

Para los MOS de canal N utilizados como llaves se eligieron unos que se comporten como tal para un $V_{GS} > 5V$, de modo de no consumir tanta potencia alimentando a las compuertas con una mayor tensión. Se eligió el modelo 2N7000.

9.5. TBJ

Para los transistores bipolares de canal N del circuito generador se utilizó el modelo 2N3904 y para los de canal P el modelo 2N3906.

Para el regulador se utilizó un transistor Darlington BD681 el cual soporta una potencia de 40W

9.6. Diodo

Para el regulador se utilizó el diodo 1N4735, cuya tensión en inversa es de 6.2V.

10. Especificaciones finales

10.1. Tiempo de crecimiento

A la máxima frecuencia requerida (500 Hz), la onda cuadrada presenta un tiempo de crecimiento de $8,36\mu s$. A la mínima frecuencia requerida (50 Hz) este tiempo es de $9,18\mu s$. Esto puede observarse claramente en las Figuras 21 y 22. Se cumple por lo tanto con la especificación planteada de un tiempo de crecimiento menor a 8 ns.

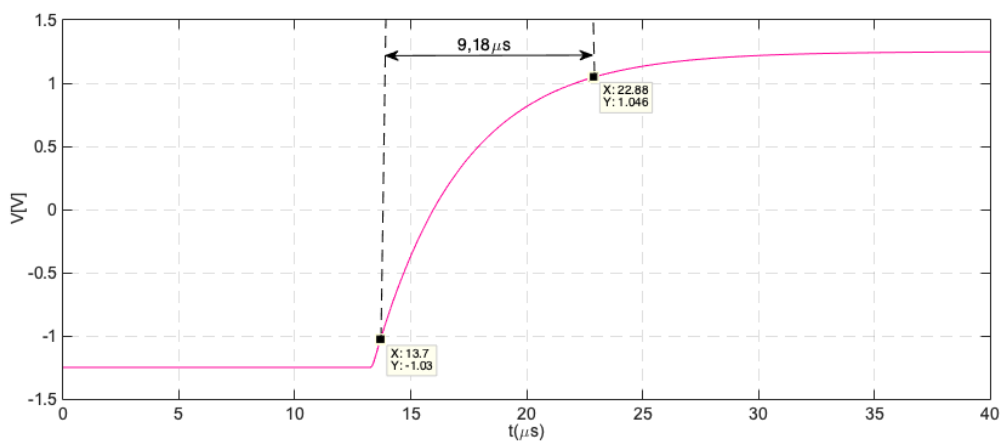


Figura 21: Medición del tiempo de crecimiento para la señal cuadrada a $f = 500$ Hz

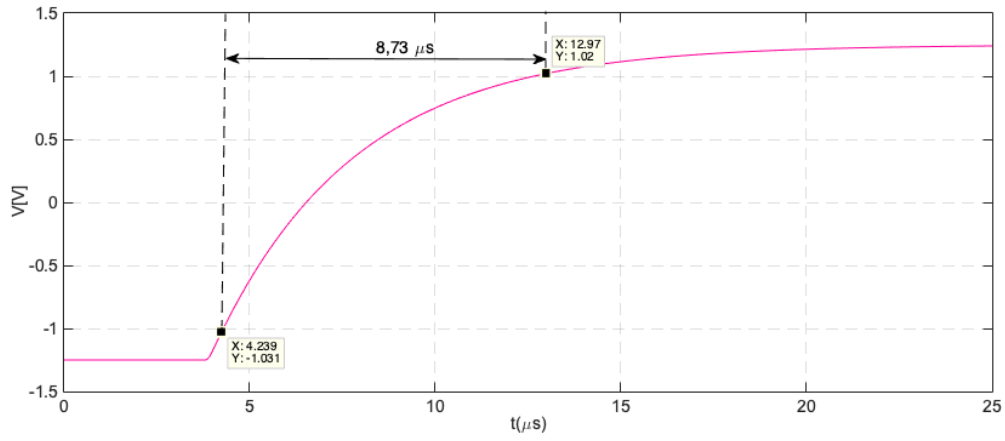


Figura 22: Medición del tiempo de crecimiento para la señal cuadrada a $f = 50$ Hz

10.2. Linealidad

Se halló la linealidad de la triangular a partir de la ecuación:

$$Linealidad = \frac{\delta}{\hat{V}} 100 \%$$

donde δ es la distancia máxima entre la señal generada y una línea recta que va desde el valor mínimo al valor máximo de la triangular. Como se muestra en la Figura 24, se obtuvo para $f = 500$ Hz que $\delta = 4,4$ mV. Se sabe que $\hat{V} = 0,8$ V y con ello un valor de linealidad de 0.55 %.

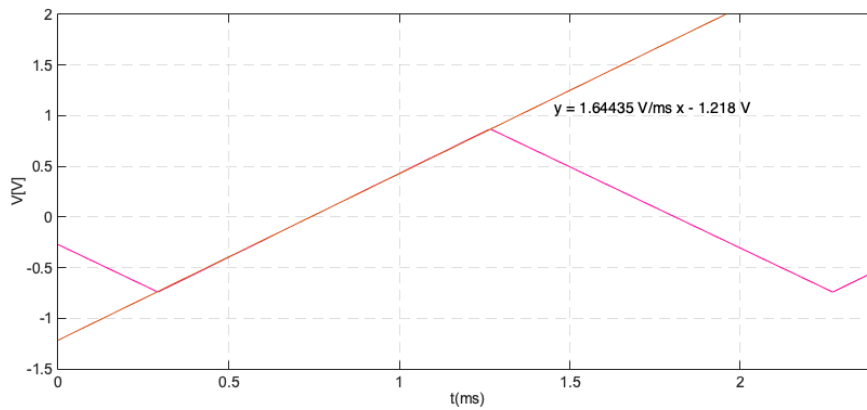


Figura 23: Recta que aproxima a la señal triangular generada para $f = 500$ Hz

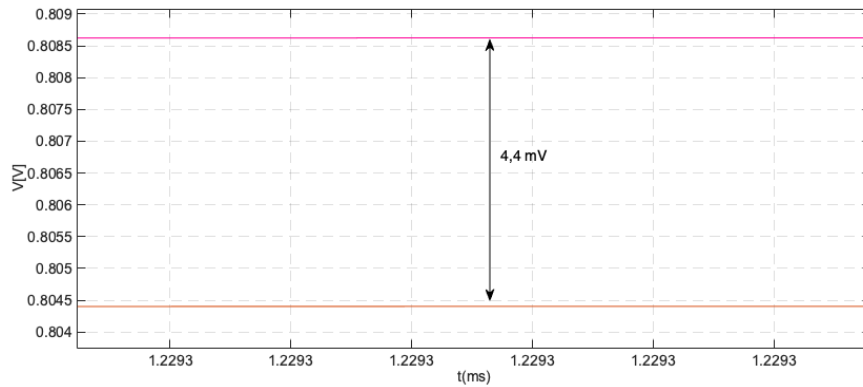


Figura 24: Distancia máxima entre la señal generada y la recta que aproxima a la señal para $f = 500$ Hz

Luego, de la Figura 26, se obtuvo para $f = 50Hz$ que $\delta = 3,83mV$. Con ello se tiene un valor de linealidad de 0.48 %.

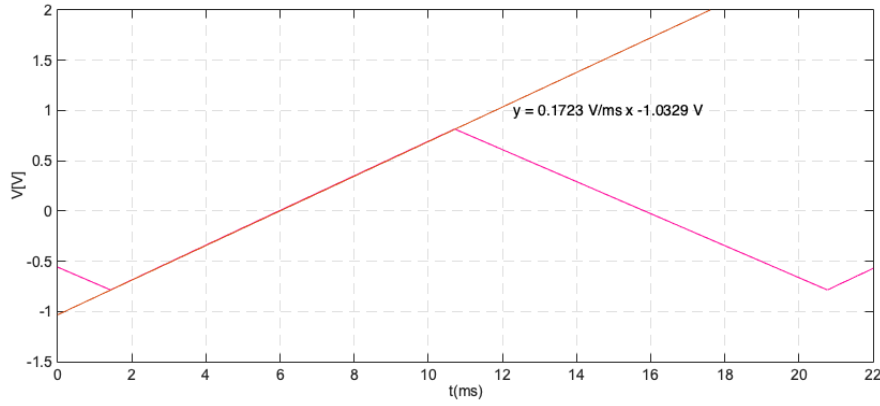


Figura 25: Recta que aproxima a la señal triangular generada para $f = 50$ Hz

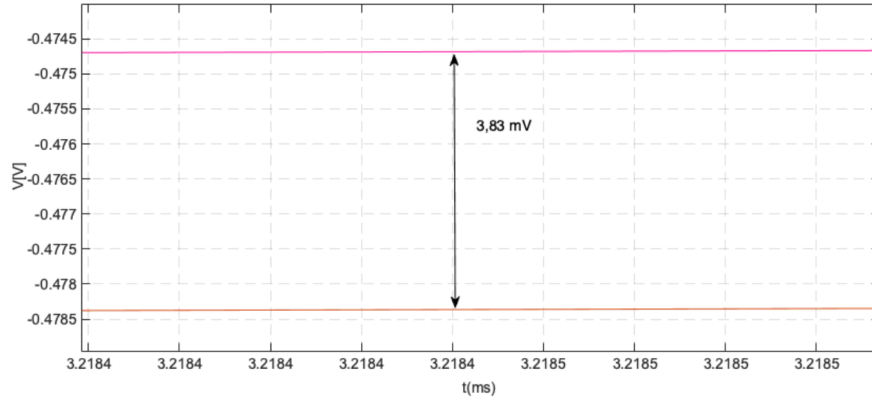


Figura 26: Distancia máxima entre la señal generada y la recta que aproxima a la señal para $f = 50$ Hz

Se cumple aproximadamente con la especificación de linealidad $< 0,5\%$ de la salida pico. Debe tenerse en cuenta que la medición realizada fue poco precisa porque la aproximación de la recta se realizó tomando dos puntos de la señal triangular, por lo que probablemente se tenga mejor linealidad que la que se logró medir.

10.2.1. Rechazo al ripple

Para la señal continua, se midió el ripple dado por el regulador LDO. Para poder calcularlo mediante simulaciones, se colocó a la entrada del mismo, una señal de amplitud $1V_{pp}$ y se midió la tensión pico a pico de la salida. Se pudo observar que pese al cambio repentino de la entrada, el regulador actúa de forma correcta y el ripple a la salida es muy bajo. Este rechazo al ripple se expresó en dB como vimos expresado en varios datasheet.

$$V_{ripple} = 20 \log_{10}\left(\frac{v_{in}}{v_{DC}}\right) = 20 \log_{10}\left(\frac{2V}{594,45uV}\right) V_{ripple} = 70,53dB \quad (11)$$

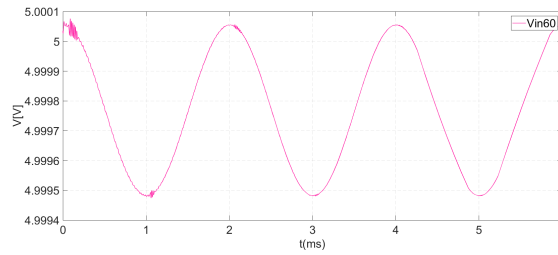


Figura 27: Ripple a la salida

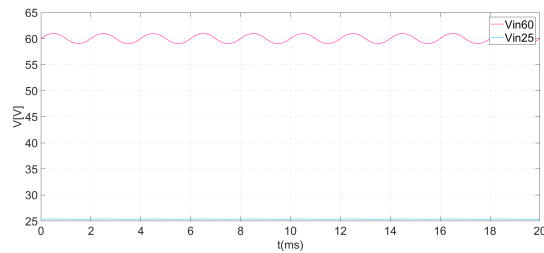


Figura 28: Ripple a la salida

11. Bibliografía

Datasheets utilizadas:

- LM393: <http://www.sycelectronica.com.ar/semiconductores/LM393.pdf>
- 74HC02: <http://www.sycelectronica.com.ar/semiconductores/74HC-HCT02.pdf>
- TL084: <http://www.sycelectronica.com.ar/semiconductores/TL084.pdf>
- MOSFET 2N700: <http://www.sycelectronica.com.ar/semiconductores/2N7000.pdf>
- TBJ canal N 2N3904: <http://www.sycelectronica.com.ar/semiconductores/2N3904.pdf>
- TBJ canal P 2N3906: <http://www.sycelectronica.com.ar/semiconductores/2N3906.pdf>
- Darlington BD681: <https://pdf1.alldatasheet.com/datasheet-pdf/view/50792/FAIRCHILD/BD681.html>
- Diodo 1N4735: <https://www.futurlec.com/Diodes/1N4735.shtml>
- LTM8020: <https://www.analog.com/media/en/reference-design-documentation/design-notes/dn1021fa.pdf>
- <https://pdf1.alldatasheet.com/datasheet-pdf/download/85509/ETC/LM7815.html>