

实验一：门电路的应用

实验成员：

实验目的：

1. 熟悉数字逻辑电路实验箱的结构和用法
2. 掌握数字逻辑电路测试方法与测试原理
3. 测试与门、或门、非门、与非门和异或门的逻辑功能
4. 学习使用基本逻辑门电路设计组合逻辑电路

实验原理：

1. 集成逻辑门电路是小规模集成电路，是最基本的数字集成单元，能够实现基本和常用的逻辑运算，应用最广泛的是 TTL 和 CMOS 这两类集成门电路。

主要包括三种基本逻辑运算和两种符合逻辑运算：

与运算

$$Y=A \text{ AND } B=A B$$

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1



或运算

$$Y=A \text{ OR } B=A+B$$

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1



非运算

$$Y=NOT \ A=A'$$

A	Y
0	1
1	0



与非运算

$$Y = (A \cdot B)'$$

<i>A</i>	<i>B</i>	<i>Y</i>
0	0	1
0	1	1
1	0	1
1	1	0

异或运算

$$Y = A \oplus B$$

<i>A</i>	<i>B</i>	<i>Y</i>
0	0	0
0	1	1
1	0	1
1	1	0



2. TTL 集成电路使用规则：

1. 电源电压：电源极性绝对不允许接错
2. 闲置输入端的处理方法：悬空，相当于接高电平，但易受外界的干扰，对于接有长线的输入端，使用 集成电路较多的复杂电路，必须按逻辑要求接入电路，不允许悬空
3. 输出端不允许直接接+5V 或接地。输出不允许并联使用。但是集电极开路门和三态输出门除外
4. 在装接电路，改变电路连接或插、拔电路时，均应切断电源，严禁带电操作

3. CMOS 集成电路使用规则：

1. 电源电压：电源电压不能接反
2. 闲置输入端的处理方法：所有多余的输入端不能悬空，应按照逻辑要求直接接 VDD 或 VSS（地）
3. 输出端不允许直接接 VDD 或地。除漏极开路输出门及三态门外，不允许两个器件的输出端连接使用，否则将导致器件损坏

4. 在装接电路, 改变电路连接或插、拔电路时, 均应切断电源, 严禁带电操作

4. 逻辑门电路功能与性能的测试:

1. 静态测试法: 给门电路输入端加固定的高 (H)、低 (L) 电平, 用示波器、万用表或发光二极管 (LED) 测出门电路的输出响应
2. 动态测试法: 给门电路输入端加一串脉冲信号, 用示波器观测输入波形与输出波形的同步关系

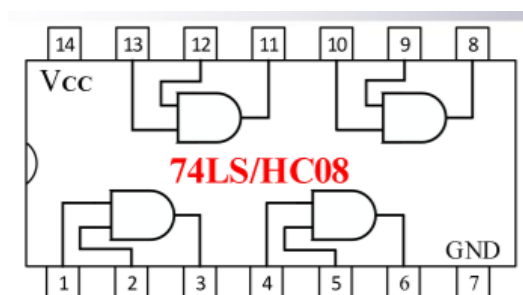
实验内容:

1. 静态测试法验证各逻辑门的功能, 列出其真值表:

输入端接高低电平, 输出端接逻辑笔, 改变输入端的电平, 观察逻辑笔的显示, 列出真值表

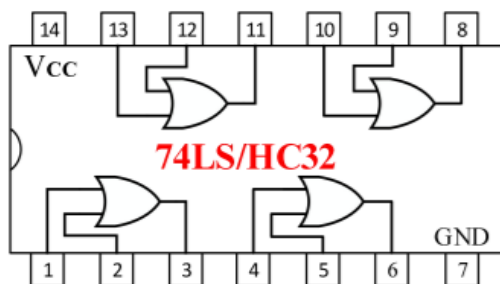
测试门电路的时候, V_{CC} 和 GND 分别接 5V (逻辑高电平) 和 0V (逻辑低电平), 后续不再赘述, 当时测得的数据附在打印版之后, 此处为仿真软件验证测得的结果, 与原数据保持一致

1. 74LS/HC08 与门的电路图与真值表:



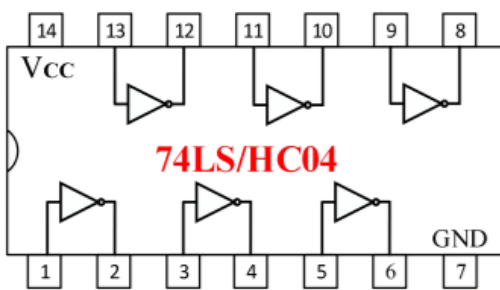
In1	In2	Out3	In4	In5	Out6	In10	In9	Out8	In13	In12	Out11
0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	1	0	0	1	0	0	1	0
1	0	0	1	0	0	1	0	0	1	0	0
1	1	1	1	1	1	1	1	1	1	1	1

2. 74LS/HC32 或门的电路图与真值表:



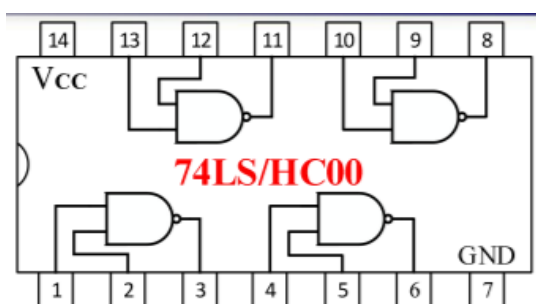
In1	In2	Out3	In4	In5	Out6	In10	In9	Out8	In13	In12	Out11
0	0	0	0	0	0	0	0	0	0	0	0
0	1	1	0	1	1	0	1	1	0	1	1
1	0	1	1	0	1	1	0	1	1	0	1
1	1	1	1	1	1	1	1	1	1	1	1

3. 74LS/HC04 非门的电路图与真值表:



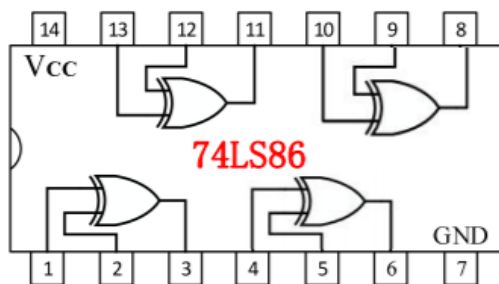
In1	Out2	In3	Out4	In5	Out6	In9	Out8	In11	Out10	In13	Out12
0	1	0	1	0	1	0	1	0	1	0	1
1	0	1	0	1	0	1	0	1	0	1	0

4. 74LS/HC00 与非门的电路图与真值表:



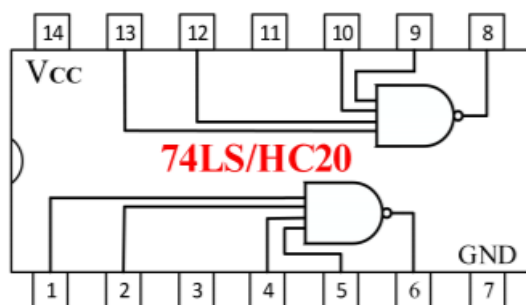
In1	In2	Out3	In4	In5	Out6	In10	In9	Out8	In13	In12	Out11
0	0	1	0	0	1	0	0	1	0	0	1
0	1	1	0	1	1	0	1	1	0	1	1
1	0	1	1	0	1	1	0	1	1	0	1
1	1	0	1	1	0	1	1	0	1	1	0

5. 74LS/HC86 异或门的电路图与真值表:



In1	In2	Out3	In4	In5	Out6	In10	In9	Out8	In13	In12	Out11
0	0	0	0	0	0	0	0	0	0	0	0
0	1	1	0	1	1	0	1	1	0	1	1
1	0	1	1	0	1	1	0	1	1	0	1
1	1	0	1	1	0	1	1	0	1	1	0

6. 74LS/HC20 与非门的电路图与真值表:



In1	In2	In4	In5	Out6	In13	In12	In10	In9	Out8
0	0	0	0	1	0	0	0	0	1
0	0	0	1	1	0	0	0	1	1
0	0	1	0	1	0	0	1	0	1
0	0	1	1	1	0	0	1	1	1
0	1	0	0	1	0	1	0	0	1
0	1	0	1	1	0	1	0	1	1
0	1	1	0	1	0	1	1	0	1
0	1	1	1	1	0	1	1	1	1
1	0	0	0	1	1	0	0	0	1
1	0	0	1	1	1	0	0	1	1
1	0	1	0	1	1	0	1	0	1
1	0	1	1	1	1	0	1	1	1
1	1	0	0	1	1	1	0	0	1
1	1	0	1	1	1	1	0	1	1
1	1	1	0	1	1	1	1	0	1
1	1	1	1	0	1	1	1	1	0

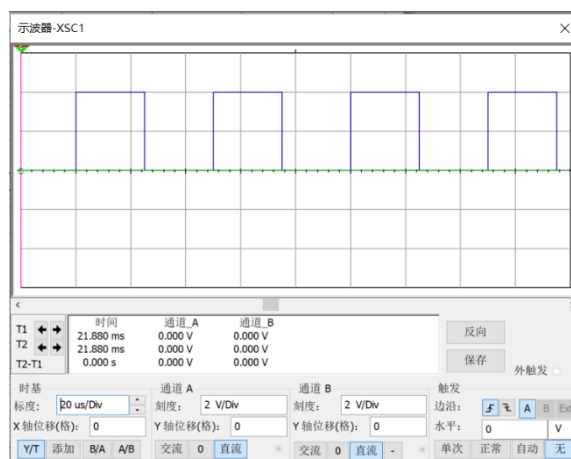
2. 动态测试法验证各逻辑门的功能，列出其真值表:

输入端一端接高低电平，另一端接 20kHz 连续脉冲源，输出端接示波器，
改变输入端的电平，观察示波器的显示，画出波形。波形中，蓝色为输入信号，绿色为输出信号

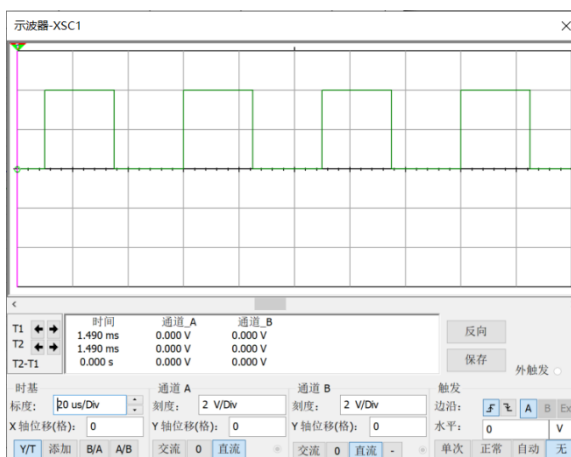
测试门电路的时候， V_{CC} 和 GND 分别接 5V（逻辑高电平）和 0V（逻辑低电平），后续不再赘述，当时测得的数据附在打印版之后，此处为仿真软件验证测得的结果，与原数据保持一致

1. 74LS/HC08 与门的波形图

$S=0$:

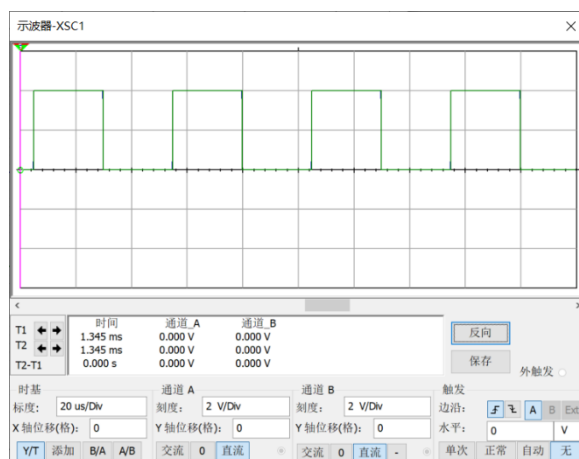


$S=1$:

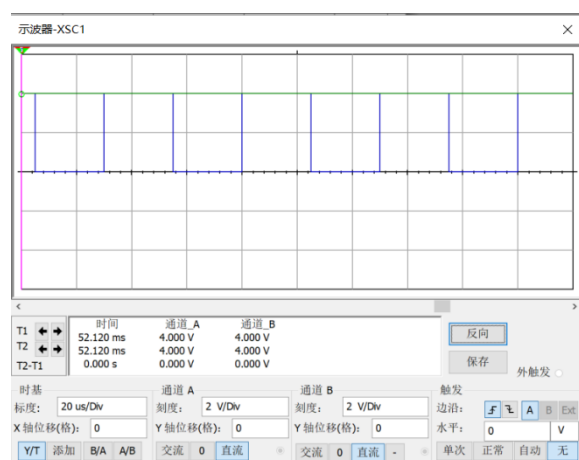


2. 74LS/HC32 或门的波形图

$S=0$:

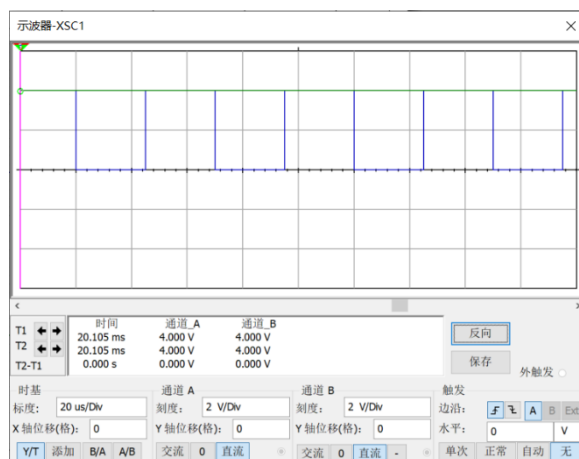


S=1:

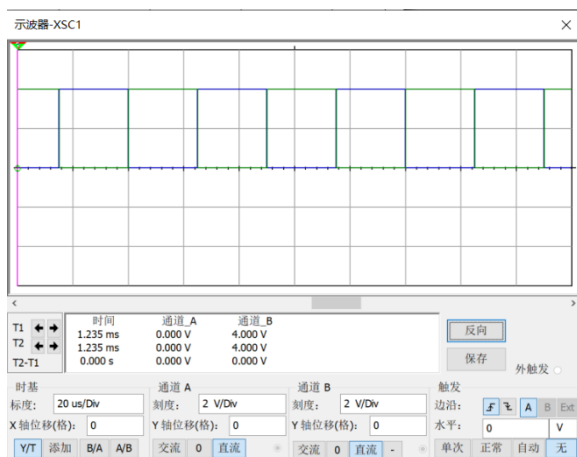


3. 74LS/HC00 与非门的波形图

S=0:



S=1:

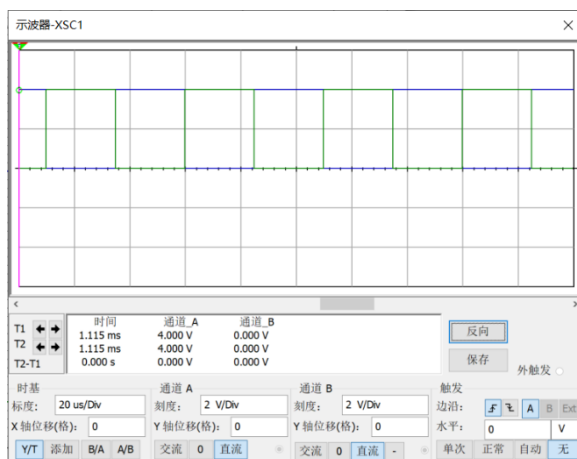


4. 74LS/HC86 异或门的波形图

S=0:



S=1:



3. 设计一个用 A、B、C、D 四个开关控制一盏灯 L 的电路，要求改变任何一个开关状态都能使 L 的状态发生改变：

首先列出此逻辑函数的卡诺图，输入逻辑变量为 A、B、C、D，输出为 Y。

不难看出此关系为四个输入的异或

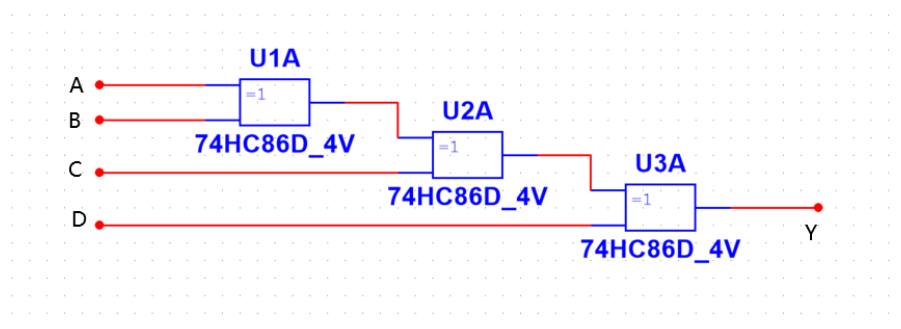
真值表如图所示：

InA	InB	InC	InD	OutY
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

逻辑表达式为：

$$Y = A \oplus B \oplus C \oplus D$$

电路图为：



4. 设计一个保险箱用的 4 位代码数字锁，4 位代码 A、B、C、D 四个输入端和一个开锁用的钥匙孔输入端 E，当开锁时（E=1），如果输入的代码（例如 1011）与设定的密码相同，则保险箱打开（输出 Y=1），否则电路发出报警信号（输出端 Z=1）

首先认定密码为 1011，所以只有 A、B、C、D 输入 1011 且 E=1 时，输出 Y=1,其余情况全部为 Y=0。而对于输出变量 Z，当 E=0 时，Z=0；当 E=1 且 A、B、C、D 为 1011 时，Z=0；当 E=1 且 A、B、C、D 不为 1011 时，Z=1。

真值表如图所示：

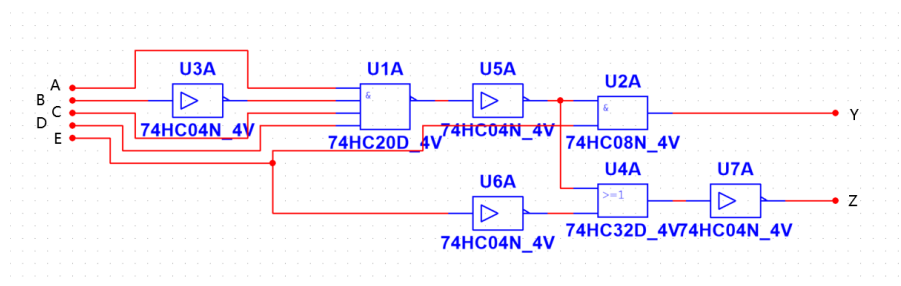
InA	InB	InC	InD	InE	OutY	OutZ
x	x	x	x	0	0	0
0	0	0	0	1	0	1
0	0	0	1	1	0	1
0	0	1	0	1	0	1
0	0	1	1	1	0	1
0	1	0	0	1	0	1
0	1	0	1	1	0	1
0	1	1	0	1	0	1
0	1	1	1	1	0	1
1	0	0	0	1	0	1
1	0	0	1	1	0	1
1	0	1	0	1	0	1
1	0	1	1	1	1	0
1	1	0	0	1	0	1
1	1	0	1	1	0	1
1	1	1	0	1	0	1
1	1	1	1	1	0	1

逻辑表达式为：

$$Y = AB'CDE$$

$$Z = (AB'CD + E)'$$

电路图为：



5. 设计一个全加器，要求用异或门和与非门实现

设置三个输入变量：A、B 是两个相加数同一位的数，Ci 是前一位的进位。

输出变量为这一位的和 Y 以及下一位的进位 Co

真值表如图所示：

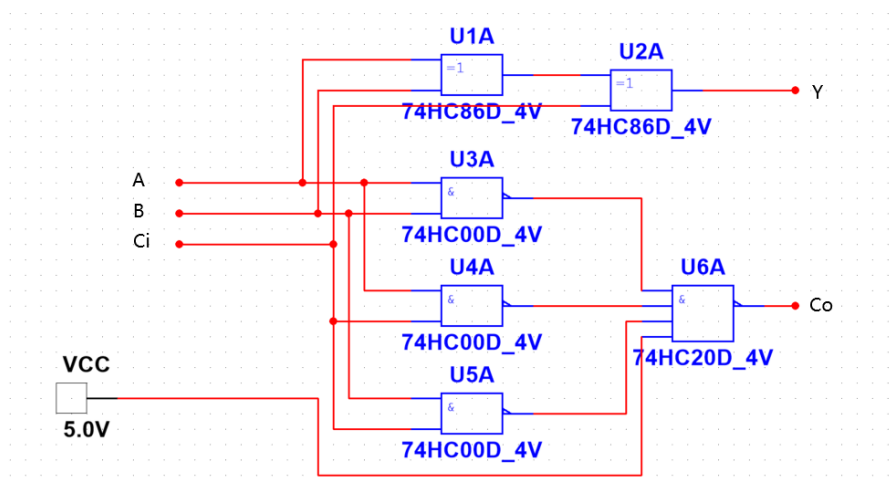
InA	InB	InCi	OutY	OutCo
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

逻辑表达式为：

$$Y = A \oplus B \oplus Ci$$

$$CO = ((AB)'(ACi)'(BCi)')'$$

电路图为：



6. 用 X、Y 两台水泵给水箱供水，水箱内从高到低设有 A、B、C 三个水位检测元件。要求水位在 C 点以下，X、Y 同时工作；水位在 B、C 之间，X 工作；在 A、B 之间 Y 工作；高于 A 点，两台水泵停止工作

设置三个输入变量：A、B、C，规定检测元件没有接触到水输入 1，接触到水输入 0。输出变量：X、Y，规定开始工作为 1，停止工作为 0

真值表如图所示：

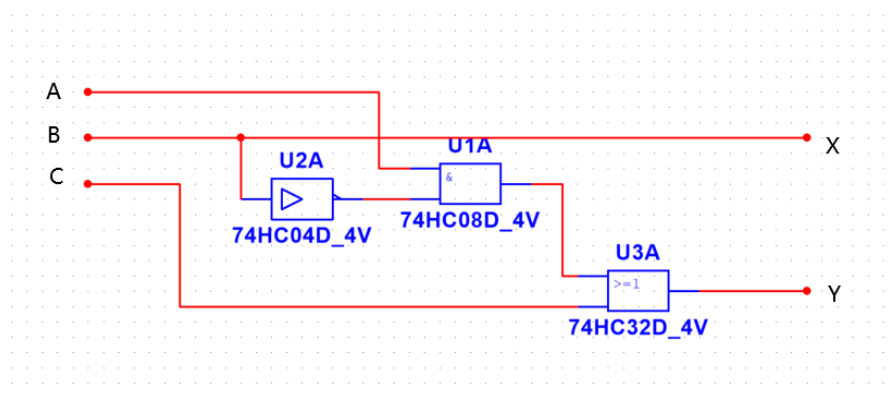
InA	InB	InC	OutX	OutY
0	0	0	0	0
0	0	1	x	x
0	1	0	x	x
0	1	1	x	x
1	0	0	0	1
1	0	1	x	x
1	1	0	1	1
1	1	1	1	1

逻辑表达式为：

$$X = B$$

$$Y = AB' + C$$

电路图为：



思考题：

1. 为了判断 74LS20 逻辑功能是否正常，至少要测量几组输入

74LS20 是由两个四输入与非门构成，对于单个逻辑门，为判断其功能是否正常，即判断其引脚有没有断路，则输入 1110, 1101, 1011, 0111, 1111 五组，观察其输出，可判断是否正常。

2. 用与非门和异或门设计一个可逆的 4 位码制变换器。设计要求：

1) 在控制信号 $C=1$ 时，它将 8421 码转换为格雷码； $C=0$ 时，它将格雷码转换为 8421 码

2) 写出设计步骤，列出码变换真值表并画出逻辑图

借助网络找到了二进制码和格雷码的对照图

Dualcode					Graycode				
d3	d2	d1	d0		g3	g2	g1	g0	
0	0	0	0		0	0	0	0	0000
0	0	0	1		0	0	0	1	0001
0	0	0	1		0	0	1	1	0011
0	0	1	0		0	0	1	0	0010
0	1	0	0		0	1	1	0	0110
0	1	0	1		0	1	1	1	0111
0	1	1	0		0	1	0	1	0101
0	1	1	1		0	1	0	0	0100
1	0	0	0		1	1	1	0	1100
1	0	0	1		1	1	1	1	1101
1	0	1	0		1	1	0	1	1111
1	0	1	1		1	1	0	0	1110
1	1	0	0		1	0	1	0	1010
1	1	0	1		1	0	1	1	1011
1	1	1	0		1	0	0	1	1001
1	1	1	1		1	0	0	0	1000

根据此图，得到真值表如图所示：

InC	In3	In2	In1	In0	Out3	Out2	Out1	Out0
0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	1
0	0	0	1	0	0	0	1	1
0	0	0	1	1	0	0	1	0
0	0	1	0	0	0	1	1	1
0	0	1	0	1	0	1	1	0
0	0	1	1	0	0	1	0	1
0	0	1	1	1	0	1	0	0
0	1	0	0	0	1	1	1	1
0	1	0	0	1	1	1	1	0
0	1	0	1	0	1	1	0	1
0	1	0	1	1	1	1	0	0
0	1	1	0	0	1	0	0	1
0	1	1	0	1	1	0	0	0
0	1	1	1	0	1	0	1	1
0	1	1	1	1	1	0	1	0
1	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
1	0	0	1	0	0	0	1	1
1	0	0	1	1	0	0	1	0
1	0	1	0	0	0	1	1	0
1	0	1	0	1	0	1	1	1
1	0	1	1	0	0	1	0	1
1	0	1	1	1	0	1	0	0
1	1	0	0	0	1	1	0	0
1	1	0	0	1	1	1	0	1
1	1	0	1	0	1	1	1	1
1	1	0	1	1	1	1	1	0
1	1	1	0	0	1	0	1	0
1	1	1	0	1	1	0	1	1
1	1	1	1	0	1	0	0	1
1	1	1	1	1	1	0	0	0

通过化简得到：

$$\begin{aligned}
 Out0 &= ((In0 \oplus In1 \oplus In2 \oplus In3 \oplus C)' \cdot ((In0 \oplus In1) \cdot (In2 \oplus In3)'))' \\
 Out1 &= ((In3' \cdot (In2 \oplus In1))' \cdot (In3 \cdot In2 \cdot (In1 \oplus C))' \cdot (In3 \cdot (In2 \oplus In1) \cdot C'))' \\
 Out2 &= In2 \oplus In3 \\
 Out3 &= In3
 \end{aligned}$$

得到逻辑电路图如下：

