

实验七：数字钟

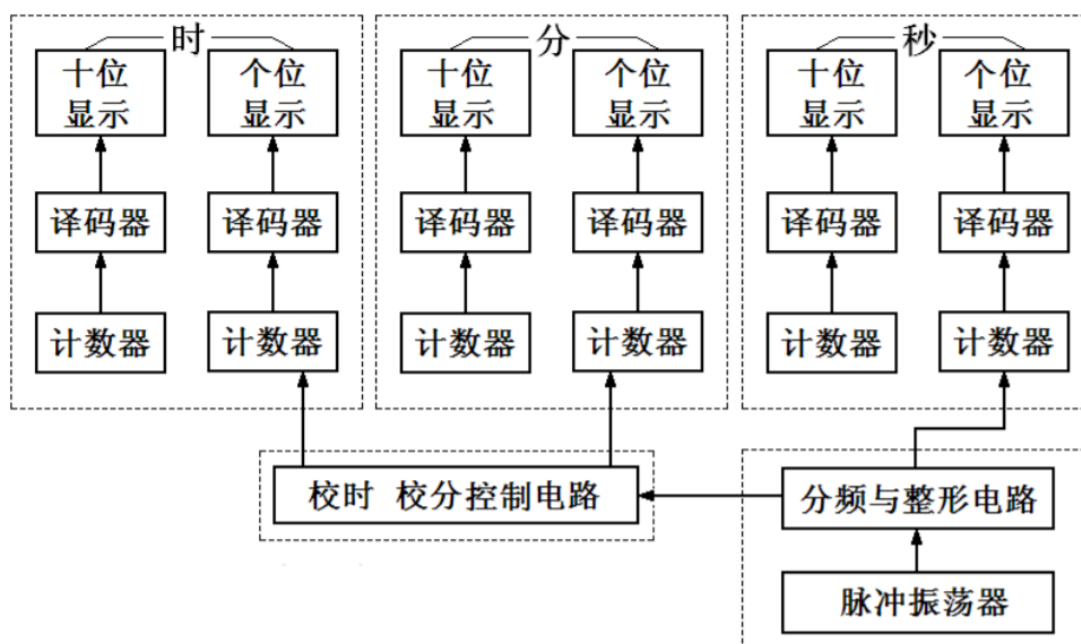
实验成员：

实验目的：

1. 掌握用数字集成电路设计数字钟的基本原理和方法
2. 熟悉典型集成电路的逻辑功能，掌握 N 进制计数器的设计与实现
3. 了解数字钟电路的调试及故障排除方法

实验原理：

数字钟由振荡器、分频器、计数器、译码显示电路和校时校分控制电路组成



数字钟逻辑框图

1. 振荡器、分频器电路

振荡器是整个数字钟的核心，它的稳定度和频率的精确度决定了数字钟计时的准确性，是影响数字钟质量的决定性因素之一。在实际电路中采用晶体振荡器作为振荡源。振荡器产生的时钟信号经过分频器形成秒信号，输入到计数器进行计数

2. 计数电路

数字钟的计数电路可用两个 60 进制和一个 24 进制（或 12 进制）实现。

60 进制计数器由一个 10 进制计数器与一个 6 进制计数器组成，分别对应“秒”（或“分”）的个位和十位进行计数。实验用 24 进制计数器作为“时位”计数器。计数电路由六片 74LS90 构成，可用反馈归零法设计

二-五-十进制计数器74LS90

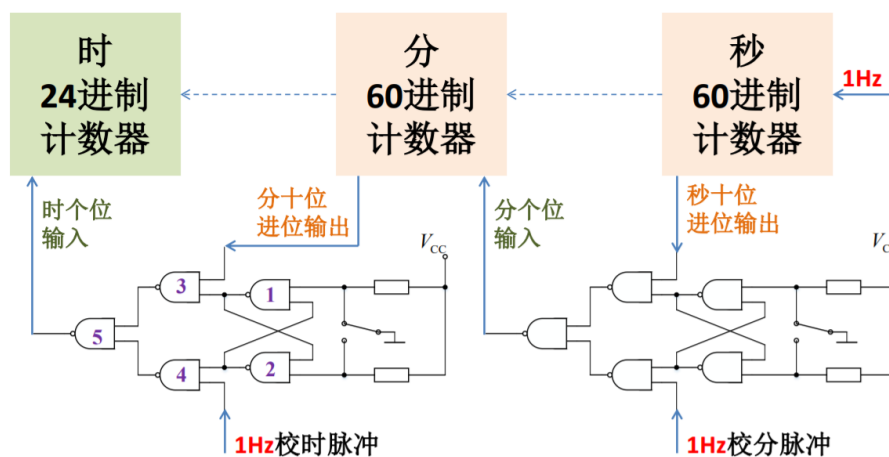
输 入			输 出		功 能
清 0	置 9	时 钟	$Q_3Q_2Q_1Q_0$		
R_1R_2	S_1S_2	CLK_0CLK_1			
11	0× ×0	××	0000		异步清0
××	11	××	1001		异步置9
0× ×0	0× ×0	↓1	— — — 0~1		二进制计数
		1↓	000~100 —		五进制计数
		↓ Q_0	0000 ~ 1001 8421BCD码		十进制计数
		Q_3 ↓	$Q_0Q_3Q_2Q_1$ 输出 5421BCD码		十进制计数
		11	不 变		保 持

3. 译码器和显示电路

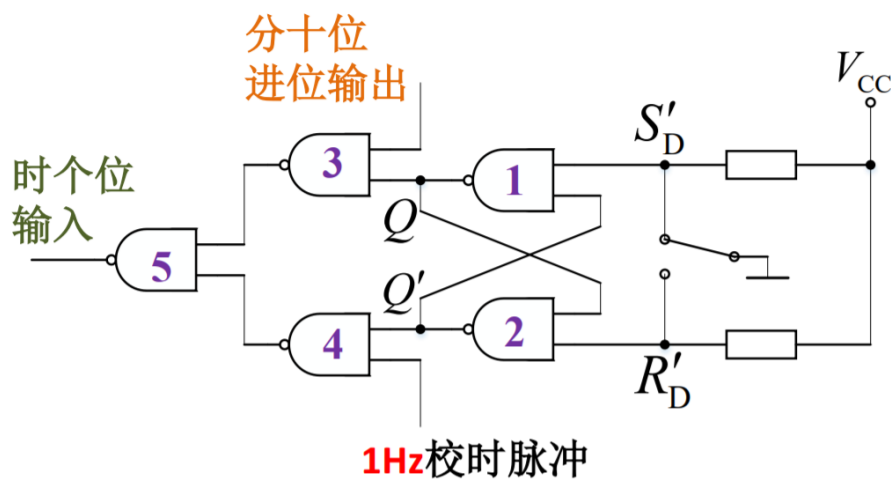
在数字钟电路中，译码器的输入信号就是计数器的输出信号，译码器的输出端接至 LED 数码管。实验中采用 BCD 码—七段码译码器 CD4511 和共阴极数码管

4. 校时、校分电路

本实验中可设有两个快速校准电路，由 SR 锁存器和与非门组成。正常工作时，两个开关合到 S'_D 端，SR 锁存器置 1，分、时脉冲信号通过。当开关合到 R'_D 端时，SR 锁存器置 0，正常计数不能通过，而秒脉冲通过，使分、时计数器变成了秒计数器可以快速校准



由于实验室条件限制，舍去了“秒”的电路，改造成如下电路：



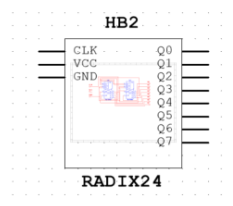
实验内容：

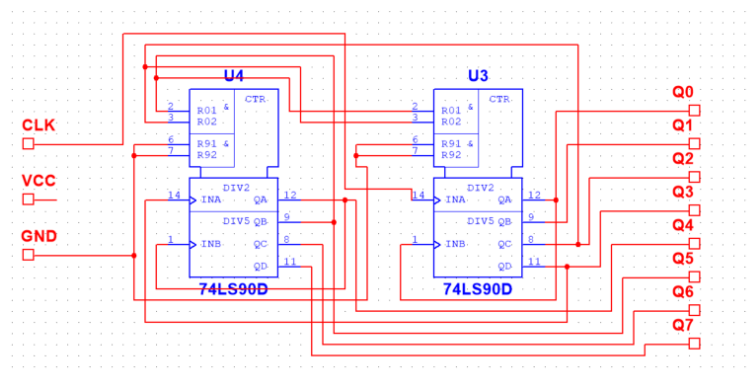
1. 试用 74LS90 设计数字钟用 24 进制和 60 进制计数器

利用四片 74LS90 分别设计出 24 进制和 60 进制计数器，时钟信号接信号源或

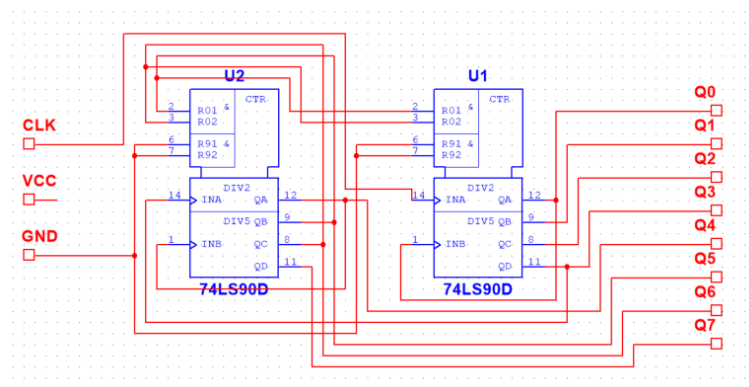
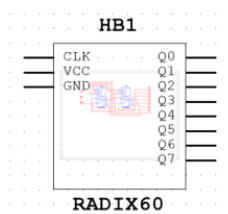
实验箱上的连续脉冲源，取频率为 1Hz，如图所示：

24 进制：



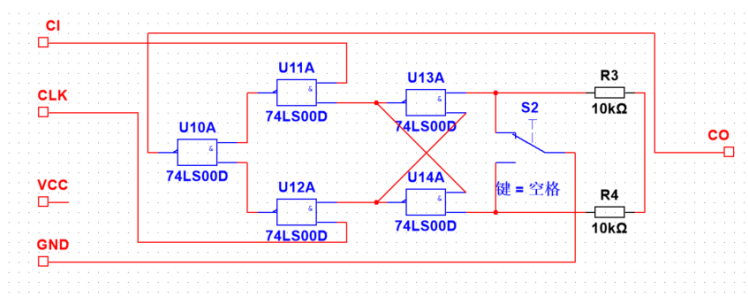
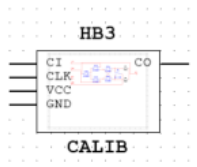


60 进制:

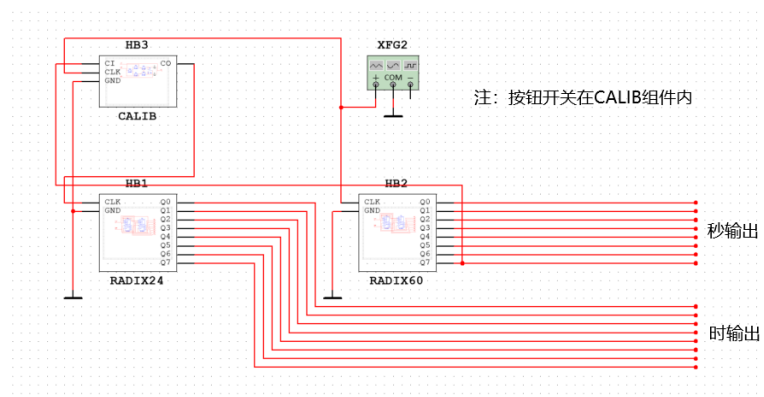


2. 在实验内容 1 的基础上增加校时电路

根据原理图，利用与非门等逻辑元件连接校时电路如图所示：

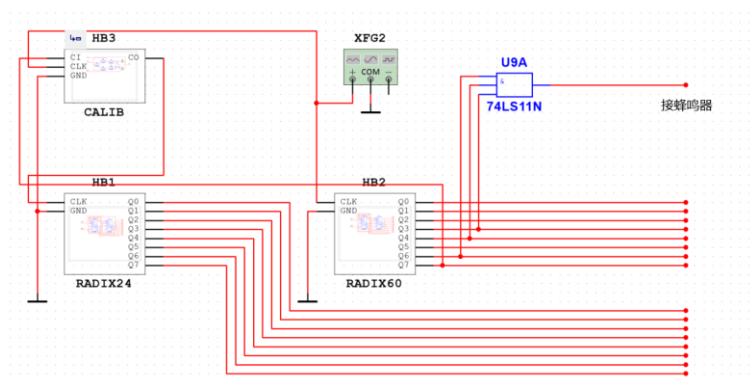


整体电路如下：



3. 试在实验内容2的基础上实现报时功能

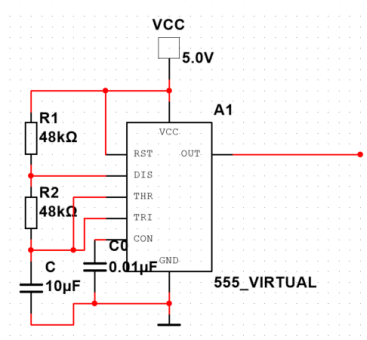
打开实验箱上 15V 直流电源开关，驱动蜂鸣器，设置每到第 58，59 秒的时候，蜂鸣器工作发出声音，设计电路如图所示：



思考题:

1. 试用 555 设计秒脉冲电路

即利用 555 设计出一个周期 $T=1s$ 的多谐振荡器。多谐振荡电路图如下:



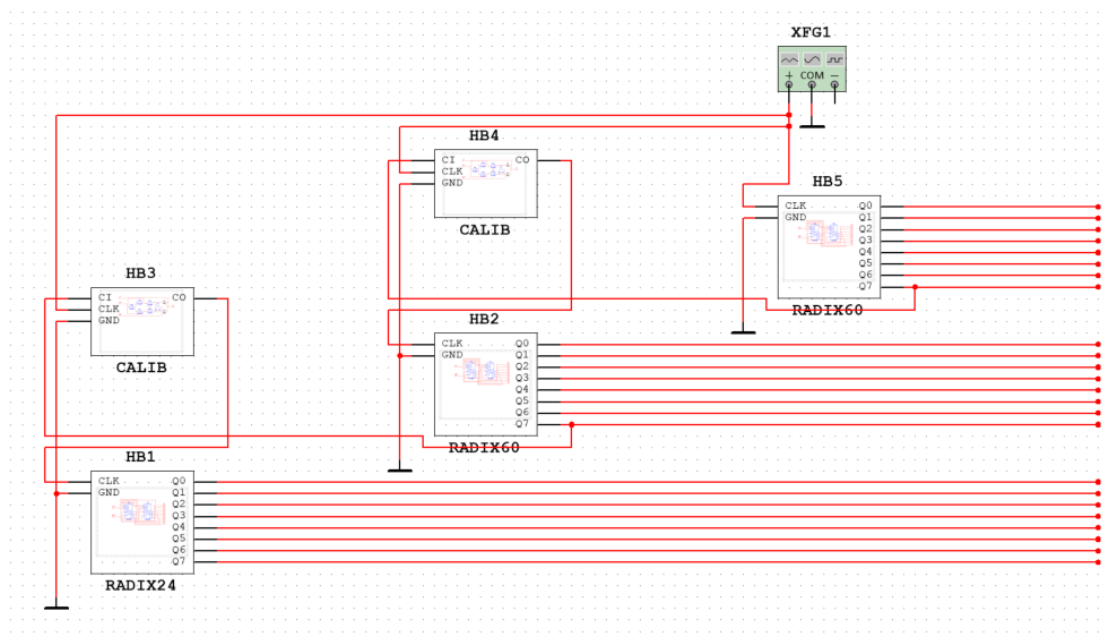
要求周期 $T=1s$ ，即

$$T = (R_1 + 2R_2)C \ln 2 = 1s$$

可以取 $R_1 = R_2 = 48k\Omega$ ， $C = 10\mu F$ ，即可满足 $T = 1s$

- 画出完整的数字钟逻辑电路图，并说明各部分的原理与功能

如图所示：



其中，HB1 对应小时，HB2 对应分钟，HB5 对应秒数。而 HB3 和 HB4 为调试部分，分别内置一个按钮开关。其层次结构在之前实验内容的 1 和 2 部分有详细的内容

- 试设计一个具有整点报时功能的电路。

将“分”电路的十位个位 8 个输出口接入或非门，达到全 0 出 1 的效果，即可在 0 分的时候驱动蜂鸣器报时，如图所示：

