

实验二：数据选择器、加法器及其应用

实验成员：

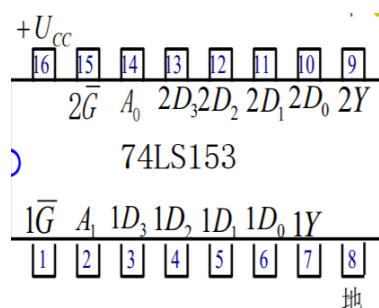
实验目的：

1. 熟悉中规模集成电路数据选择器的工作原理和逻辑功能
2. 了解数据选择器的应用
3. 掌握组合逻辑电路的设计方法，理解半加器和全加器的逻辑功能
4. 掌握中规模集成电路加法器的工作原理及其逻辑功能

实验原理：

1. 数据选择器：

数据选择器又称多路选择器，是一个数据开关。它从N路源数据中选择一路送至输入端。如图所示为典型芯片及其功能表：



74LS153功能表

输入		输出
\overline{G}	$A_1 A_0$	Y
1	× ×	0
0	0 0	D_0
0	0 1	D_1
0	1 0	D_2
0	1 1	D_3

2. 加法器：

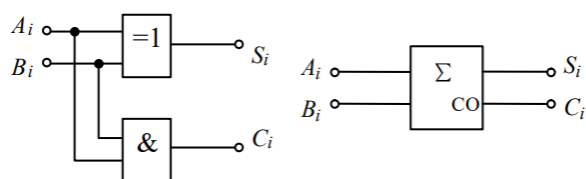
在数字系统中，经常需要进行算术运算，逻辑操作及数字大小比较等操作，

实现这些运算功能的电路是加法器。加法器是一种组合逻辑电路，主要功能

是实现二进制数的算术加法运算

1. 半加器：

半加器完成两个一位二进制数相加，若只考虑两个加数本身，而不考虑来自相邻低位的仅为，称为半加。实现半加运算功能的电路称为半加器。半加器的基本电路和逻辑表达式如下：



半加器真值表

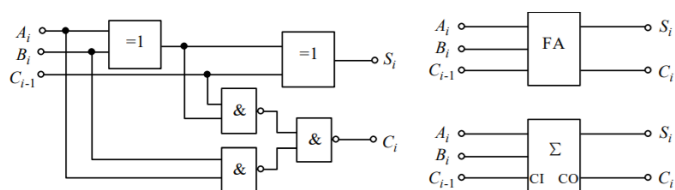
A_i	B_i	S_i	C_i
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S_i = A_i \oplus B_i$$

$$C_i = A_i B_i$$

2. 全加器：

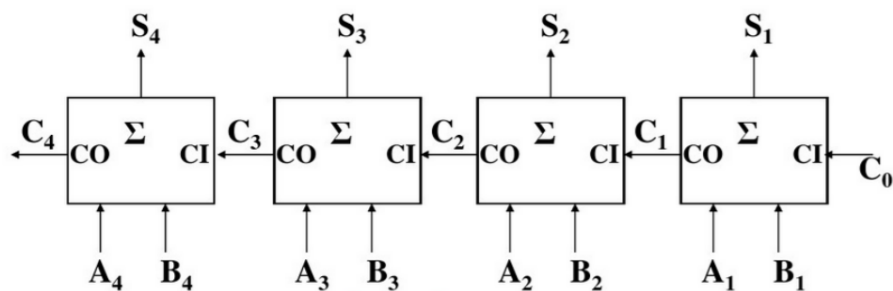
两个多位数相加是每一位都是带进位相加，所以必须用全加器。这时只要依次将低位的进位输出接到高位的输入，就可构成多位加法器了。全加器是一种由被加数、加数和来自低位的进位数三者相加的运算器。基本功能是实现二进制加法。全加器的基本电路和逻辑表达式如下：



$$S_i = A_i \oplus B_i \oplus C_{i-1}$$

$$C_i = (A_i \oplus B_i)C_{i-1} + A_i B_i$$

3. 串行进位加法器：



4. 并行加法器：

1. 进位链：

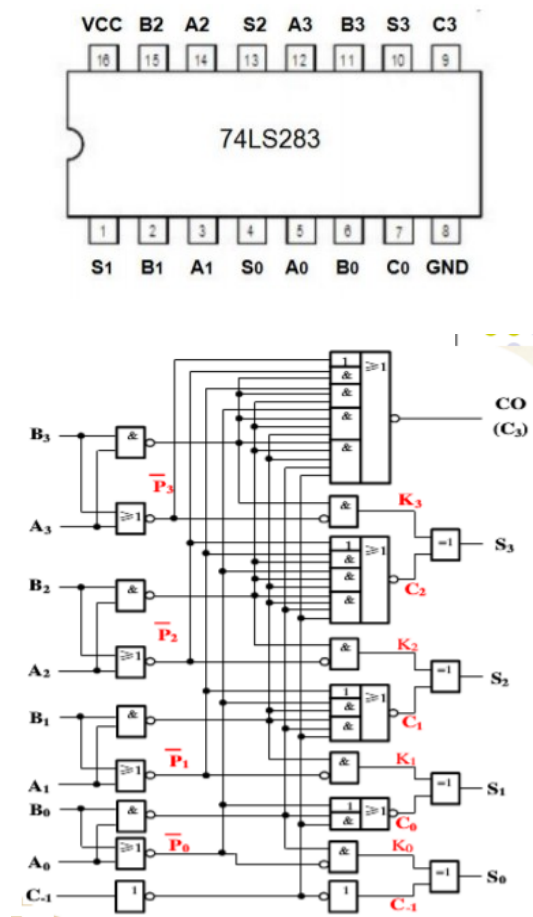
把 n 个加法器单元电路按一定方式互连起来，即构成 n 位的并行加法器。其由两部分组成：1. 并行成分，指两个操作数的所有位同时并行加入加法器运算；2. 链结构，即可以链接各个加法器。虽然操作数各位同时加入加法器进行运算，但并非所有位和数都同时产生，它存在进位的产生与传送问题，仅为的产生与传送称为进位链，它的结构是影响加法器速度的关键

2. 先行进位：

先行进位也称并行进位，指加法器各位的进位是各自独立且同时产生的，高一位的进位不依赖低位的进位产生与传送。并行加法器的任意一位进位

5. 超前进位并行加法器：

超前进位加法器构成的快速进位的四位全加器电路为 74LS283，可实现两个四位二进制的全加。加进位输入 C_0 和进位输出 C_3 主要用来扩大加法器字长，作为组间行波进位之用。由于它采用超前进位方式，所以进位传送速度快。超前进位并行加法器的基本电路如下：



实验内容：

1. 验证 4 选 1 数据选择器 74LS153 的逻辑功能并记录真值表。

C1'	A1	A0	Y
1	x	x	0
0	0	0	D0
0	0	1	D1
0	1	0	D2
0	1	1	D3

2. 验证 8 选 1 数据选择器 74LS151 的逻辑功能并记录真值表。

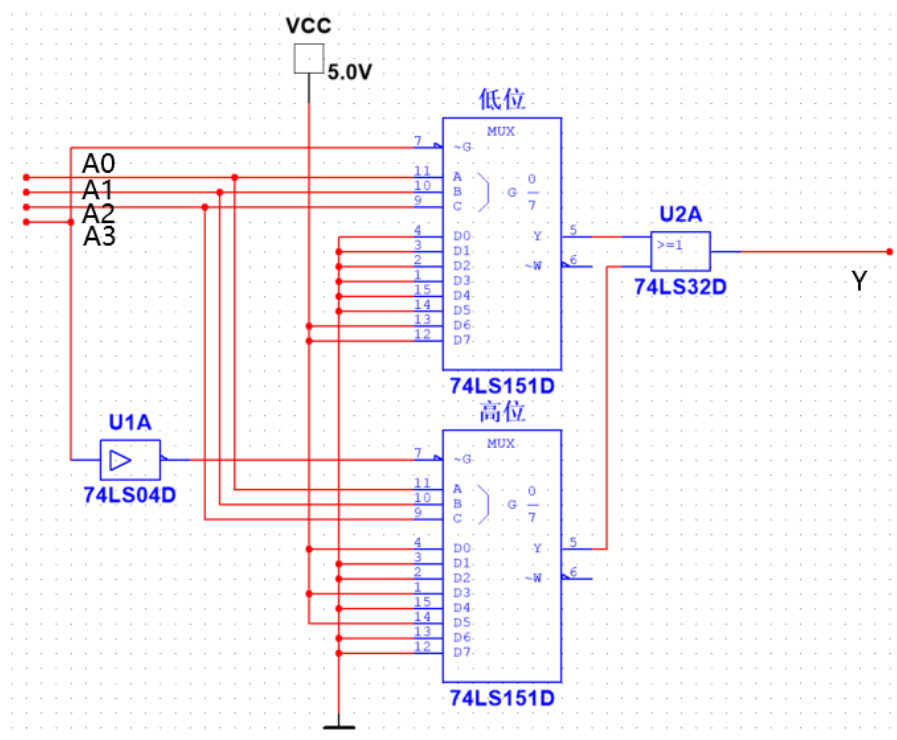
E'	A2	A1	A0	Y
1	x	x	x	0
0	0	0	0	D0
0	0	0	1	D1
0	0	1	0	D2
0	0	1	1	D3
0	1	0	0	D4
0	1	0	1	D5
0	1	1	0	D6
0	1	1	1	D7

3. 用两个 8 选 1 数据选择器 74LS151 扩展成 16 选 1 数据选择器，实现逻辑函

数 $\sum m(6,7,8,11,13)$ ，画出简图并记录真值表

用数据选择器来实现上述逻辑函数，实际上就是将 16 选 1 数据选择器的 D(6,7,8,11,13)管脚接 1，其余管脚全部接 0 即可。故可以得到逻辑图和真值表如下：

A3	A2	A1	A0	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0



4. 用一片 74LS283 实现并行四位全加，将 A 置为 1001，B 置为 0000~1001，依次计算 A+B 并记录结果表列。

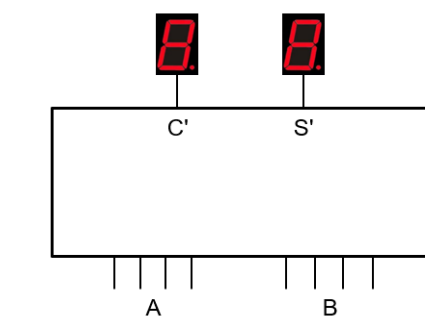
B3	B2	B1	B0	C	S3	S2	S1	S0
0	0	0	0	1	1	0	0	0
0	0	0	1	1	1	0	1	0
0	0	1	0	1	1	0	1	0
0	0	1	1	1	1	1	0	0
0	1	0	0	1	1	1	0	0
0	1	0	1	1	1	1	1	0
0	1	1	0	1	1	1	1	0
0	1	1	1	0	0	0	0	1
1	0	0	0	0	0	0	0	1
1	0	0	1	0	0	0	1	1

5. 用两片 74LS283 和必要的门电路实现两个 8421BCD 码求和运算，结果仍为 8421BCD 码，要求画出逻辑功能图。

首先要判断输入与输出，如下图所示::

输出: S' (个位: $S_3S_2S_1S_0$) C' (十位)

输出范围: 00~18 (S' : 四位 C' : 一位)



输入: $A (A_3A_2A_1A_0) + B (B_3B_2B_1B_0)$

输入范围: $A: 0 \sim 9$ $B: 0 \sim 9$

1、先用第一片283 (1) 实现A+B的全加, 得到 S

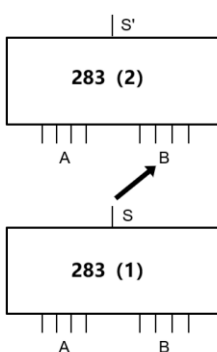
2、题目要求中的个位 S' 和S的关系

$$S' = \begin{cases} S & (S < 10) \\ S - 1010 & (S \geq 10) \end{cases}$$

$$S' = \begin{cases} S & (S < 10) \\ S + 0110 & (S \geq 10) \end{cases}$$

$$S' = \begin{cases} S + 0000 & (S < 10) \\ S + 0110 & (S \geq 10) \end{cases}$$

3、用第二片283 (2) 将S进行修正, 得到个位 S'



3、第二片283 (2) 的A: 0000或0110

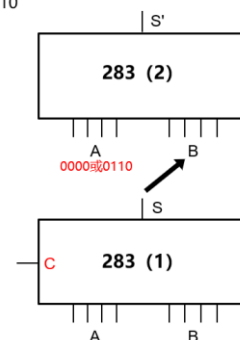
4、 A_3A_0 直接接地, 把 A_2A_1 值标为 C'

$$C' = \begin{cases} 0 & (S < 10) \\ 1 & (S \geq 10) \end{cases}$$

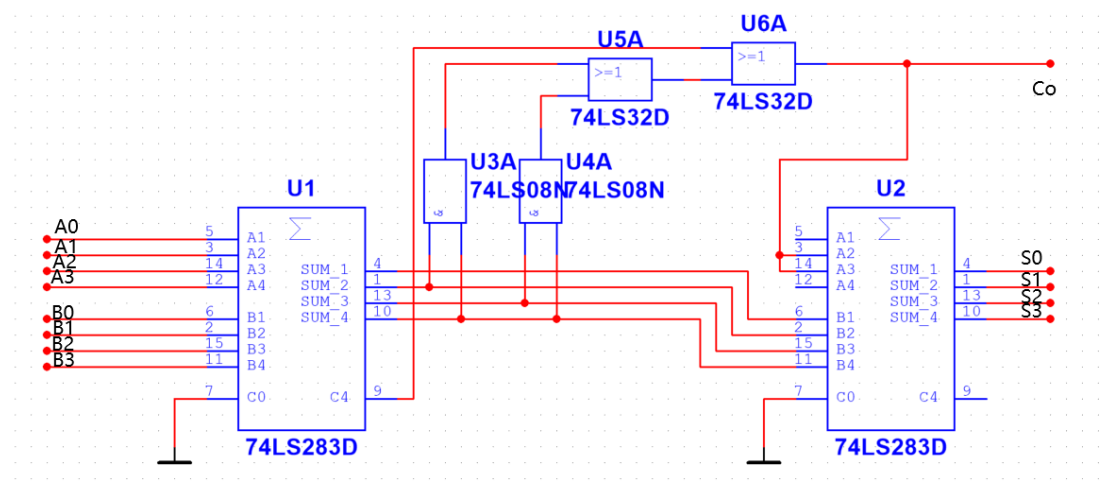
5、 C' 和S的关系式如何处理

S_3S_2	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	1	1
10	0	0	1	1

$$C' = S_3 \cdot S_2 + S_3 \cdot S_1 \quad \rightarrow \quad C' = S_3 \cdot S_2 + S_3 \cdot S_1 + C$$



电路图如图所示:



思考题：

用两片 74LS283 和必要的门电路实现一个带借位输入和借位输出的 8421BCD 码减法器，要求电路输出为原码。

首先，原码的加减法均位补码的加法，故 $A-B$ 可转化为 AB 补码的加法。如果有借位的输入，相当于 -1 ，相当于减数 $+1(B+1)$ ，也相当于 B 的补码 -1 ，而 B 在转补码的时候是反码 $+1$ ，故有借位输入可以视为补码 -1 ，即取反码后不 $+1$ 。有借位输出本质是得到减数为负数，即第五位符号位在补码加法运算后是 1 即有借位输出，但加法器本没有第五位，认为 A 的补码符号位是 0 ， B 的符号位的补码是 1 ，相加之后若有进位输出，符号位是 0 ，相当于无借位输出；若无进位输出，符号位是 1 ，相当于有借位输出，所以，最终可以设计出逻辑电路图如下：

