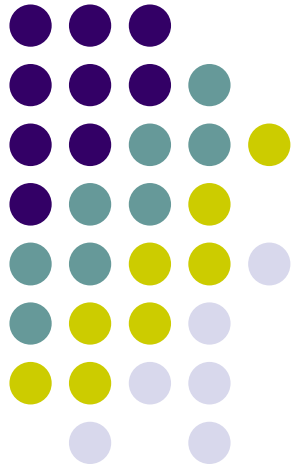
加法器及其应用



实验目的

- 掌握组合逻辑电路的设计方法，理解半加器和全加器的逻辑功能。
- 掌握中规模集成电路加法器的工作原理及其逻辑功能。

实验原理

- 在数字系统中，经常需要进行算术运算，逻辑操作及数字大小比较等操作，实现这些运算功能的电路是加法器。
- 加法器是一种组合逻辑电路，主要功能是实现二进制数的算术加法运算。

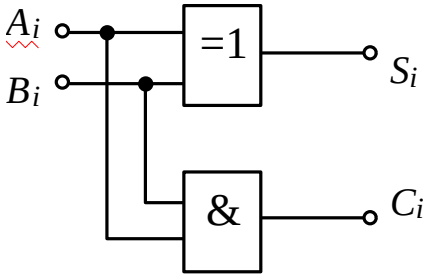
- 半加器
  - 半加器完成两个一位二进制数相加，若只考虑两个加数本身，而不考虑来自相邻低位的进位，称为半加，实现半加运算功能的电路称为半加器。
  - 由真值表可得出半加器的逻辑表达式：

半加器真值表

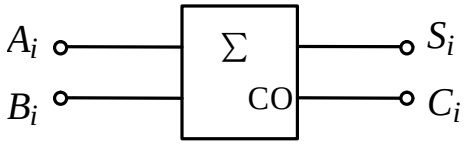
A_i	B_i	S_i	C_i
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S_i = \overline{A_i} B_i + A_i \overline{B_i} = A_i \oplus B_i$$

$$C_i = A_i B_i$$



(a) 半加器电路



(b) 半加器符号

全加器

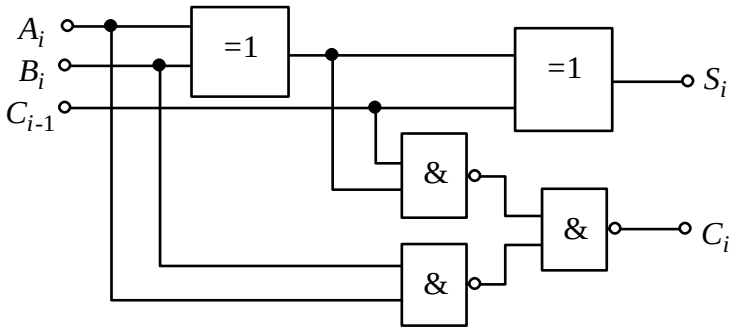
- 两个多位数相加是每一位都是带进位相加，所以必须用全加器。这时只要依次将低位的进位输出接到高位的输入，就可构成多位加法器了。
- 全加器是一种由被加数、加数和来自低位的进位数三者相加的运算器。基本功能是实现二进制加法。
- 逻辑表达式：

$$S_i = m_1 + m_2 + m_4 + m_7 = \overline{A}_i\overline{B}_iC_{i-1} + \overline{A}_iB_i\overline{C}_{i-1} + A_i\overline{B}_i\overline{C}_{i-1} + A_iB_iC_{i-1}$$
$$= \overline{A}_i(\overline{B}_iC_{i-1} + B_i\overline{C}_{i-1}) + A_i(\overline{B}_i\overline{C}_{i-1} + B_iC_{i-1}) = \overline{A}_i(B_i \oplus C_{i-1}) + A_i\overline{(B_i \oplus C_{i-1})}$$
$$= A_i \oplus B_i \oplus C_{i-1}$$

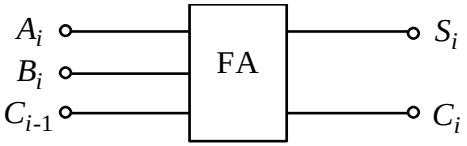
$$C_i = m_3 + m_5 + A_iB_i = \overline{A}_iB_iC_{i-1} + A_i\overline{B}_iC_{i-1} + A_iB_i = (\overline{A}_iB_i + A_i\overline{B}_i)C_{i-1} + A_iB$$
$$= (A_i \oplus B_i)C_{i-1} + A_iB_i$$

全加器真值表

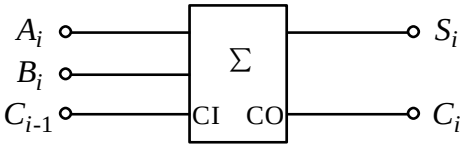
A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



(a) 逻辑图

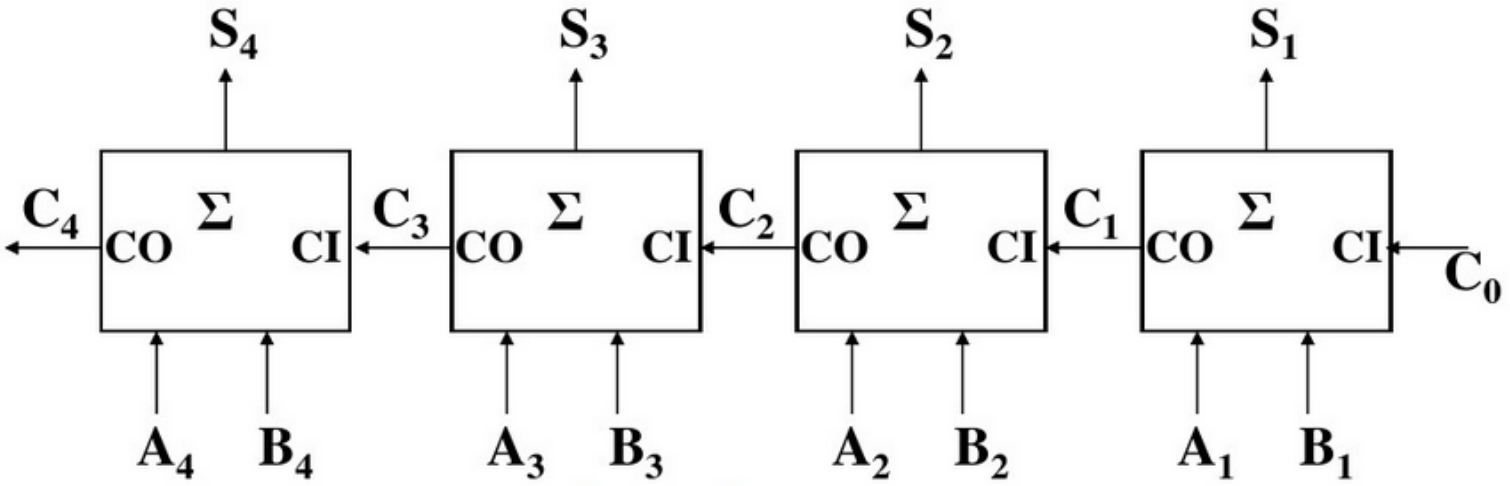


(b) 曾用符号



(c) 国标符号

- 串行进位加法器



四位串行进位加法器

特点：结构简单　运算速度慢

并行加法器

进位链

把n个加法器单元电路按一定方式互联起来，即构成n位的并行加法器。其由两部分组成：一 并行成分，指两个操作数的所有位同时并行加入加法器运算；二 链结构。

虽然操作数各位同时加入加法器进行运算，但并非所有位和数都同时产生，它存在进位的产生与传送问题，进位的产生与传送称为进位链，它的结构是影响加法器速度的关键。

- 先行进位

先行进位也称并行进位，指加法器各位的进位是各自独立且同时产生的，高一位的进位不依赖低位的进位产生与传送。

并行加法器任何一位的进位：

$$C_i = A_iB_i + (A_i \oplus B_i)\ C_{i-1} = A_iB_i + (A_i + B_i)\ C_{i-1}$$

它可以分为两个部分：A_iB_i和$(A_i \oplus B_i)\ C_{i-1}$，前者仅与这一位的两个操作数有关与低位的进位无关称它为本地进位或进位生成函数，记G_i；后者不仅与操作数有关还与低位的进位有关称它为传递进位，称$A_i \oplus B_i$或$A_i + B_i$为传递函数记P_i。因此可写成：

$$C_i = G_i + P_i C_{i-1}$$

以16位加法器为例，在行波进位器中有如下进位关系：

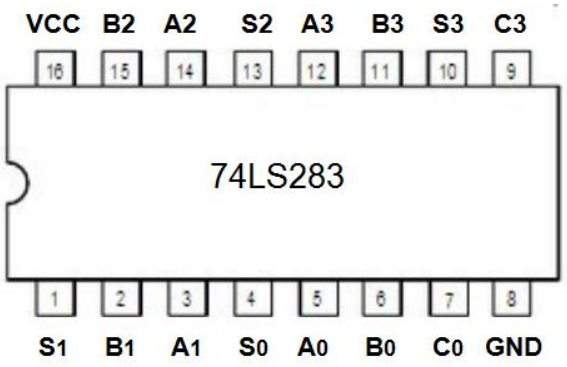
$$C_1 = G_1 + P_1 C_0$$
$$C_2 = G_2 + P_2 C_1$$
$$\vdots$$
$$C_{16} = G_{16} + P_{16} C_{15}$$

由此，可递推出各位进位直接与C_0的关系：

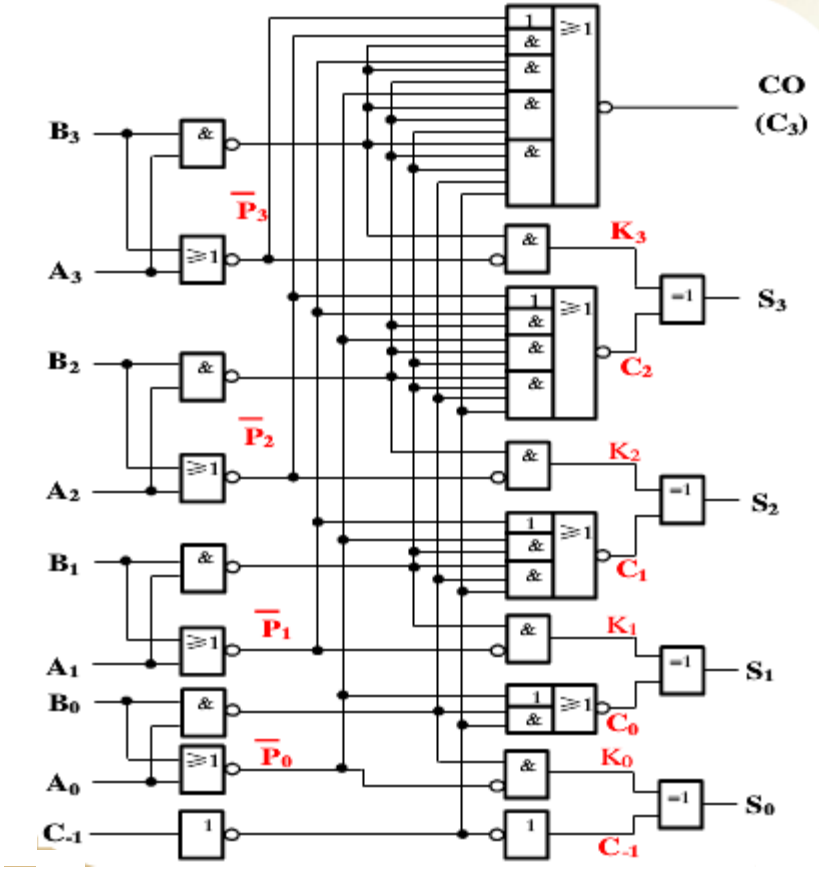
$$C_1 = G_1 + P_1 C_0$$
$$C_2 = G_2 + P_2 G_1 + P_2 P_1 C_0$$
$$C_3 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_0$$
$$\vdots$$
$$C_{16} = G_{16} + P_{16} G_{15} + P_{16} P_{15} G_{14} + \cdots + P_{16} \cdots P_2 P_1 C_0$$

超前进位并行加法器

- 超前进位电路构成的快速进位的4位全加器电路74LS283，可实现两个四位二进制的全加。
- 加进位输入C_0和进位输出C_3主要用来扩大加法器字长，作为组间行波进位之用。由于它采用超前进位方式，所以进位传送速度快。



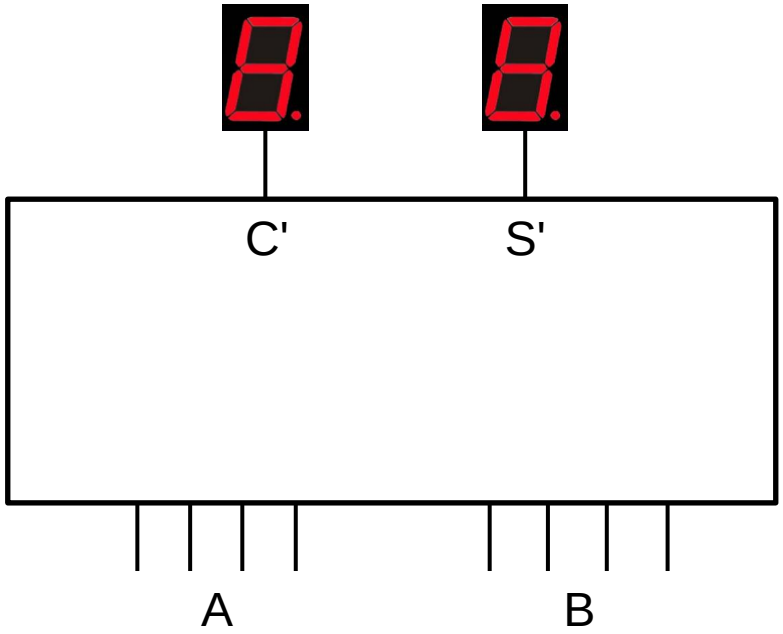
74LS283集成芯片引脚图



- 用74LS283构成一位8421BCD码加法器

输出：S'（个位：$S_3S_2S_1S_0$）　C'（十位）

输出范围：　00~18　（S'：四位　C'：一位）



输入：A（$A_3A_2A_1A_0$）+ B（$B_3B_2B_1B_0$）

输入范围：　A：0~9　B：0~9

1、先用第一片283（1）实现A+B的全加，得到 S

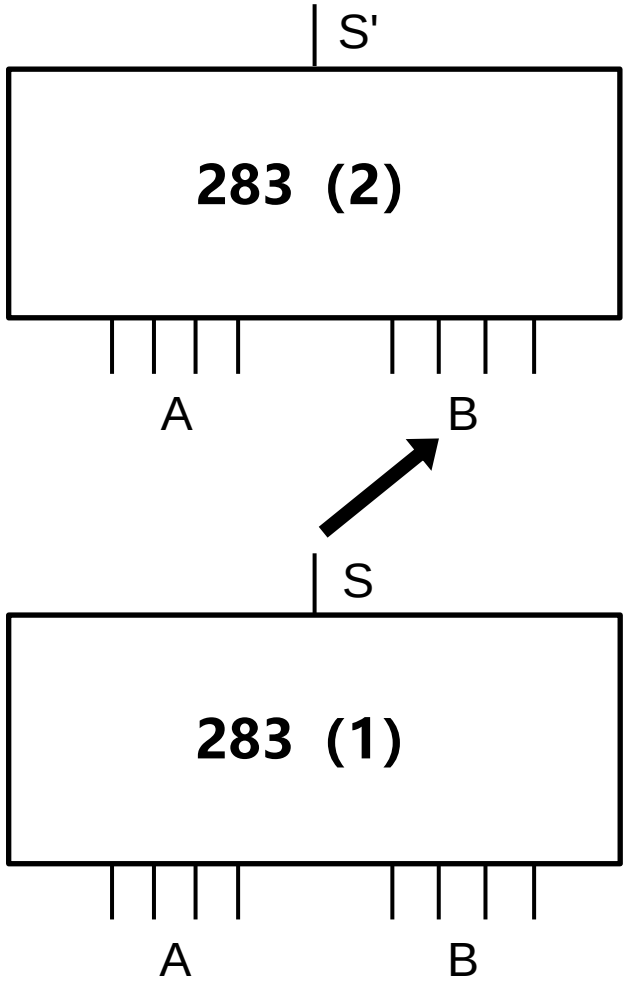
2、题目要求中的个位S'和S的关系

$$S' = \begin{cases} S & (S<10) \\ S - 1010 & (S\geq 10) \end{cases}$$

$$S' = \begin{cases} S & (S<10) \\ S + 0110 & (S\geq 10) \end{cases}$$

$$S' = \begin{cases} S + 0000 & (S<10) \\ S + 0110 & (S\geq 10) \end{cases}$$

3、用第二片283（2）将S进行修正，得到个位S'



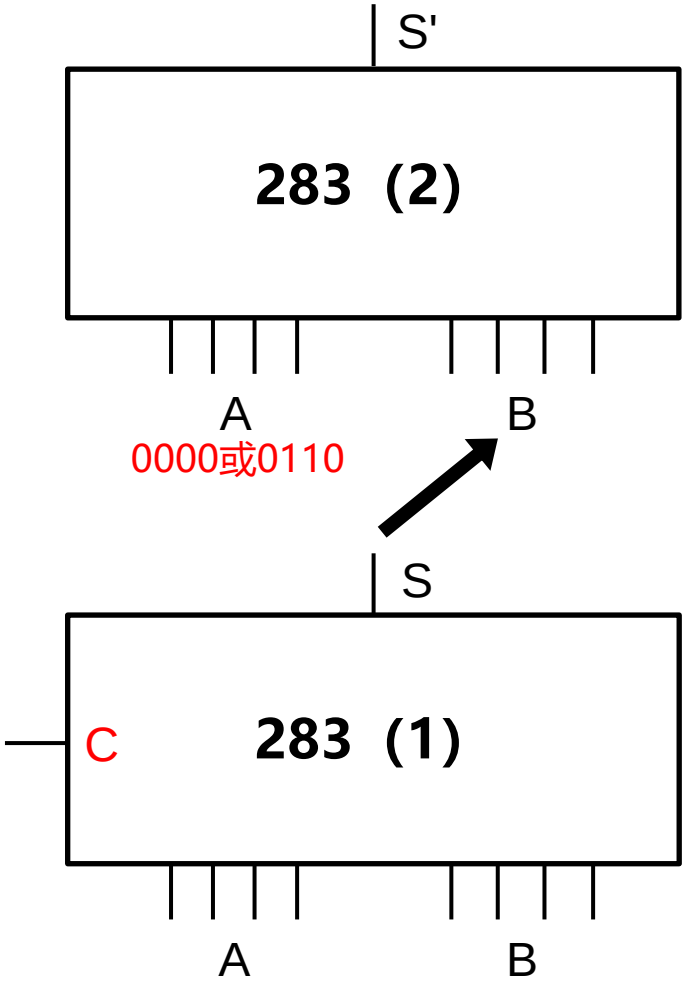
3、第二片283（2）的A：0000或0110

4、A_3A_0直接接地，把A_2A_1值标为C'

$$C'=\begin{cases}0 & (S<10)\\ 1 & (S\geq 10)\end{cases}$$

5、C'和S的关系式如何处理

S_3S_2 \ S_1S_0	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	1	1
10	0	0	1	1

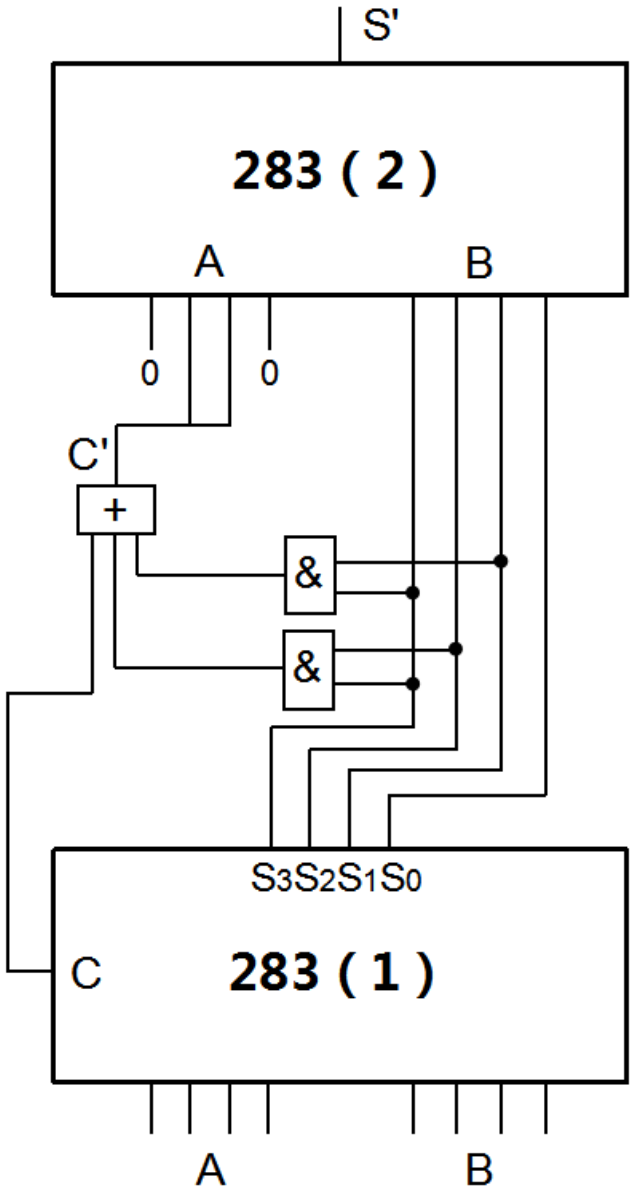


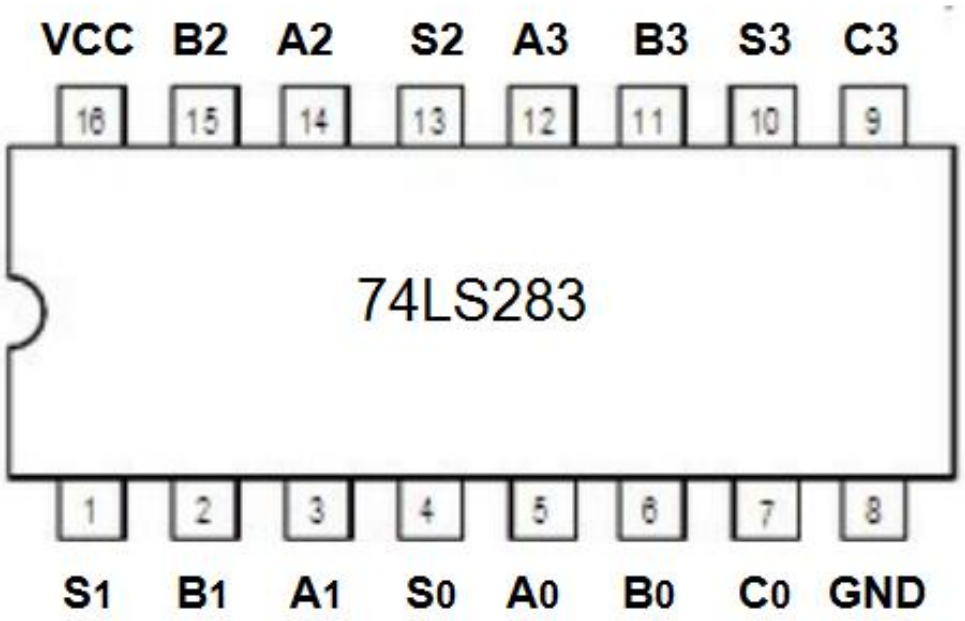
$C'=S_3\cdot S_2+S_3\cdot S_1$ → $C'=S_3\cdot S_2+S_3\cdot S_1+C$

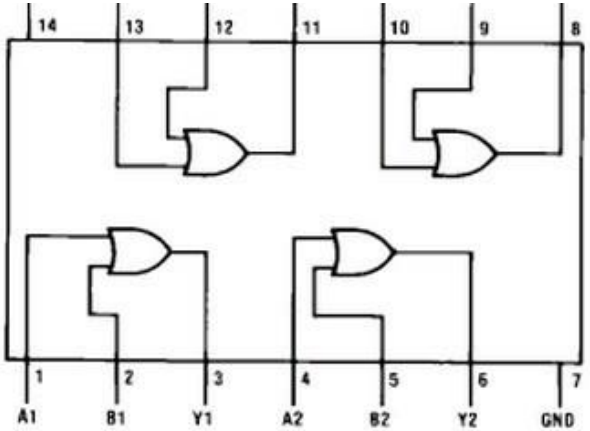
式子有没有问题?

8421BCD码加法器

最终设计的电路：







双列直插封装

74LS32（四2输入或门）

74lS08（四2输入与门）

实验内容与步骤

- 用一片74LS283实现并行四位全加，将A置为1001，B置为0000~1001，依次计算A+B并记录结果表列。
- 用一片74LS283实现数据比较功能，要求输入（四位二进制）<11时输出一位低电平，≥11时输出一位高电平，要求画出逻辑功能图并记录结果。
- 用两片74LS283和必要的门电路实现两个8421BCD码求和运算，结果仍为8421BCD码，要求画出逻辑功能图。

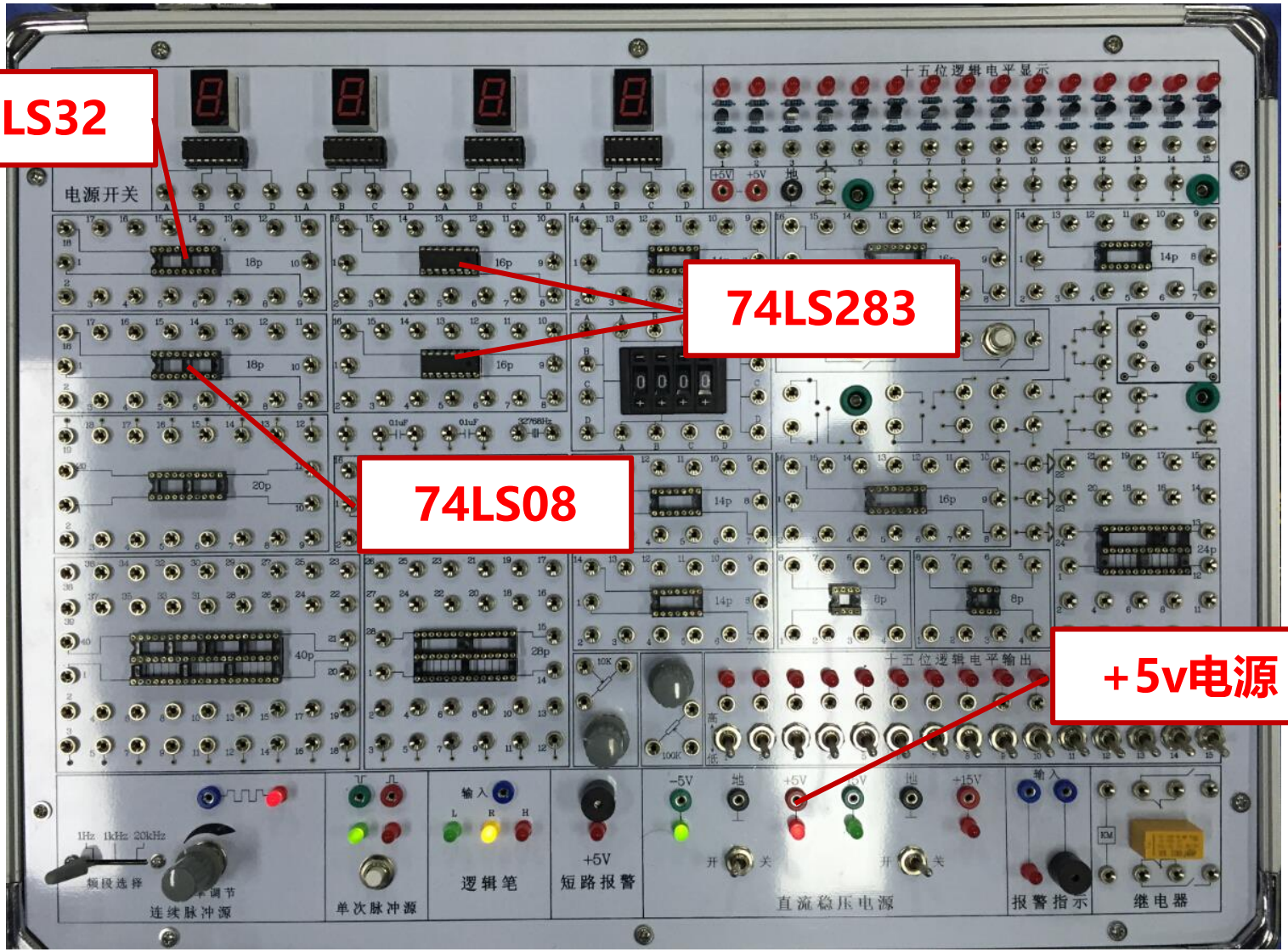
思考题

- 用两片74LS283和必要的门电路实现一个带借位输入和借位输出的8421BCD码减法器，要求电路输出为原码

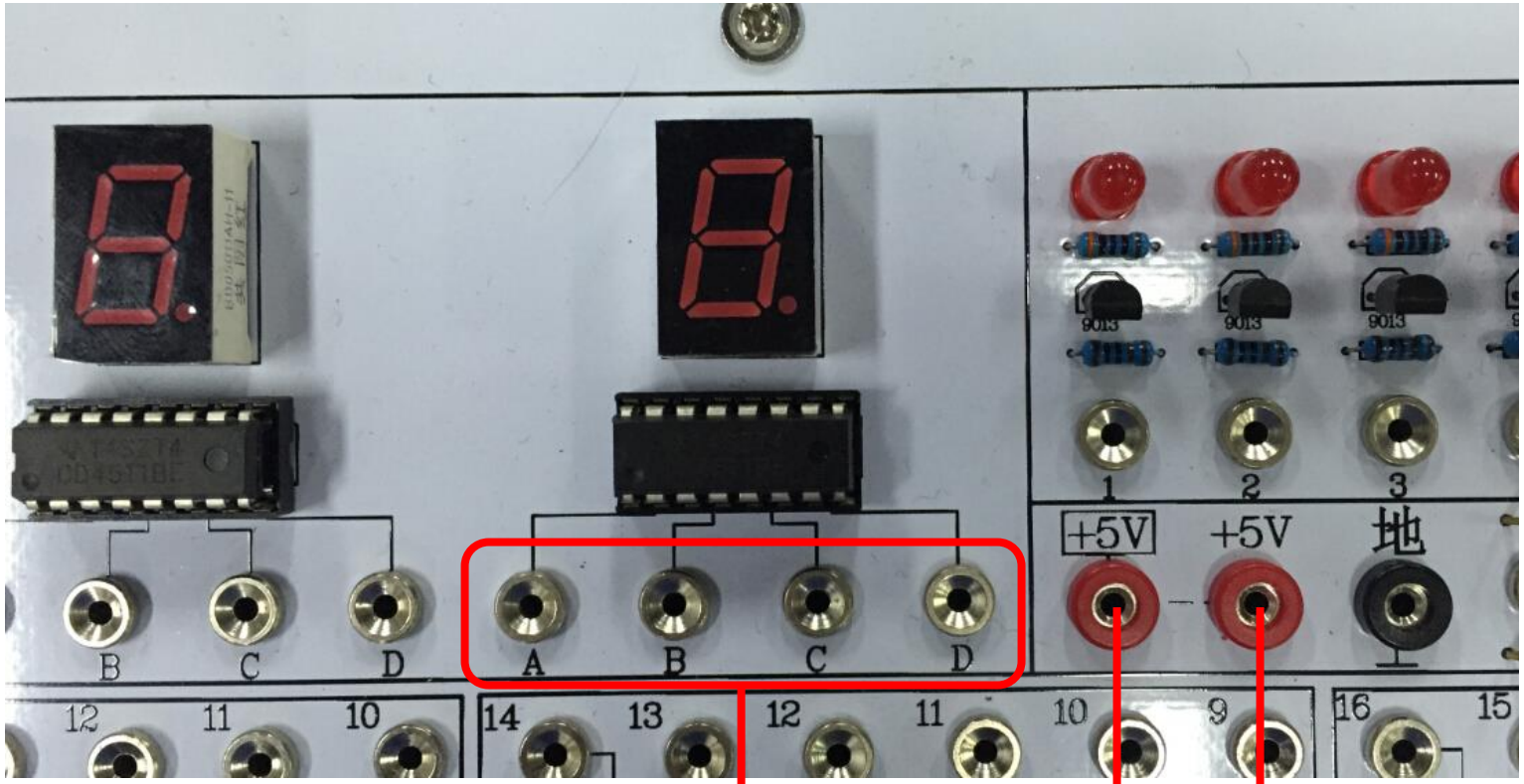
实验报告要求

- 实验原理、实验过程的描述。
- 整理实验数据，列写实验任务的设计过程，画出设计的逻辑电路图，并注明所用集成电路的引脚号。
- 拟定记录测量结果的表格。
- 总结用门电路实现半加器和全加器的方法。
- 总结用四位二进制全加器74LS283设计代码转换电路的方法。

芯片分布


74LS32
74LS283
74LS08
+5v电源
电源开关
十五位逻辑电平显示
十五位逻辑电平输出
连续脉冲源
单次脉冲源
逻辑笔
+5V
短路报警
直流稳压电源
报警指示
继电器

数码管输入及电源



输入端A、B、C、D，最低位是A，最高位是D

数码管电源+5V，用一根导线相连