

数字电子技术基础 试题 (A)

班号	
姓名	

题号	一	二	三	四	五	六	七	八	卷面	平时	总分
分数											
评卷人											

本题得分

一、(10 分) 填空和选择填空 (每空 1 分)

1. 根据反演规则, 若 $Y = \overline{\overline{AB} + C + D + C}$, 则 $\bar{Y} = \underline{(\overline{AB} + C + D) \times \bar{C}}$ 。
2. 图 1 所示门电路均为 TTL 门, 则电路输出 $P_1 = \underline{\overline{AB} \cdot \overline{BC} \text{ 或 } (\overline{AB} + \overline{BC})}$; $P_2 = \underline{\overline{AC} + \overline{C} \text{ 或 } (\overline{A} + \overline{C})}$ 。

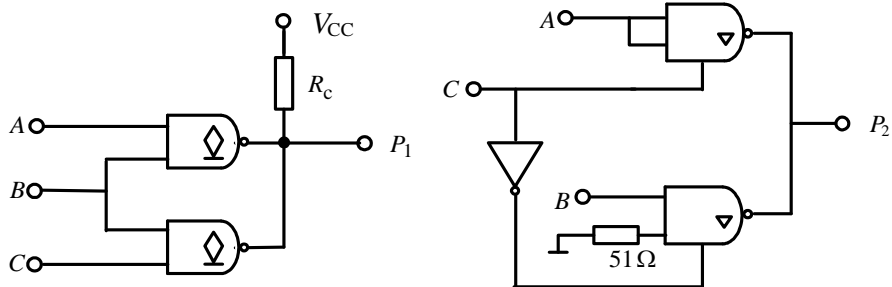


图 1

3. 由 TTL 门组成的电路如图 2 所示, 已知它们的输入短路电流为 $I_S = 1.6\text{mA}$, 高电平输入漏电流 $I_R = 40\mu\text{A}$ 。试问: 当 $A=B=1$ 时, G_1 的 灌 (拉, 灌) 电流为 3.2mA; $A=0$ 时, G_1 的 拉 (拉, 灌) 电流为 160 μA 。

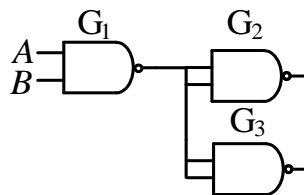


图 2

4. 3 位扭环形计数器的计数长度为 6。
5. 某 EPROM 有 8 条数据线, 13 条地址线, 则存储容量为 64 kbit。
6. 某 512 位串行输入串行输出右移寄存器, 已知时钟频率为 4MHz , 数据从输入端到达输出端被延迟 128 μs 。

注
意
行
为
规
范遵
守
考
场
纪
律主管
领导
审核
签字

本题得分

二、(6分) $F(A,B,C,D) = \sum m(0,2,3,4,5,6,7,11,12) + \sum d(8,9,10,13,15)$ ，用两片 74LS138 和最少的二输入与门实现 F 。

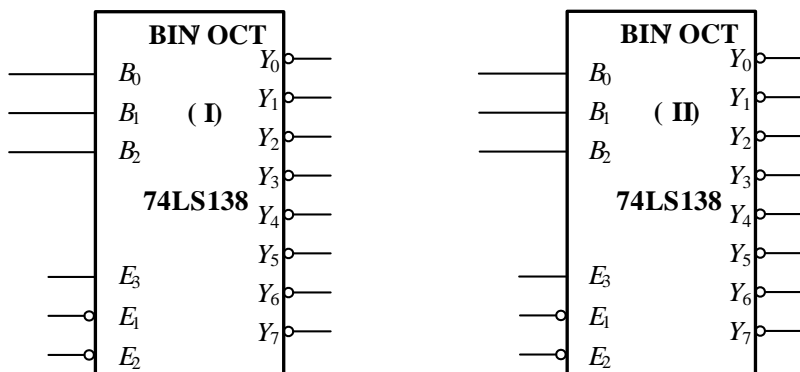
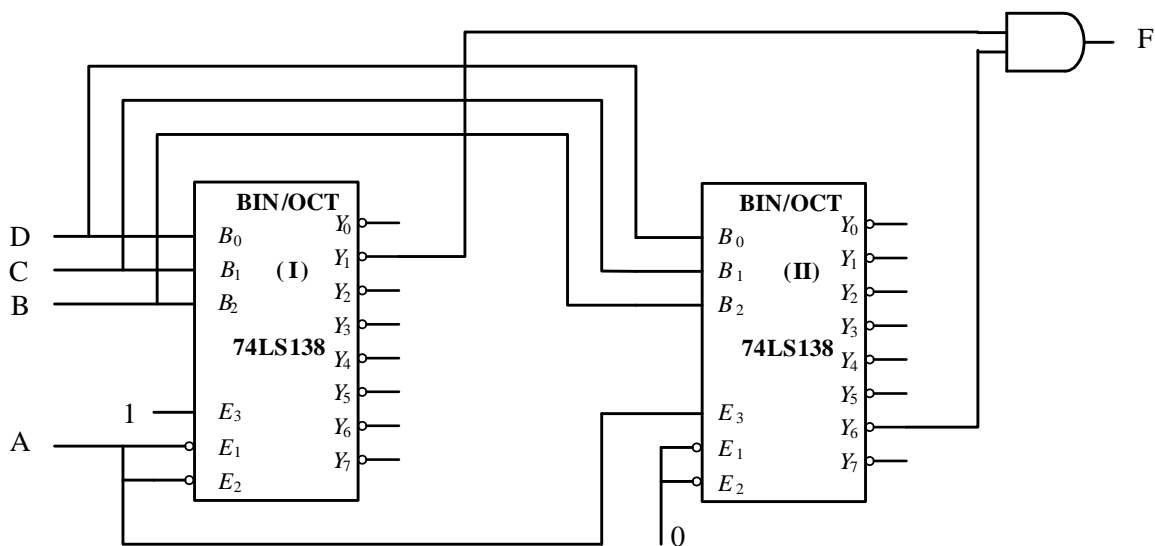


图 3

解:

F	CD				
		00	01	11	10
AB	00	1		1	1
	01	1	1	1	1
	11	1	x	x	
	10	x	x	1	x

$$F = \overline{m_1} + m_{14} = \overline{m_1} \overline{m_{14}}$$



本题得分

三、(6分) 已知图4中AD7524为8位D/A转换器,当 $D_6=1$,其它各位均为“0”时, $U_O=-1V$ 。74LS90为2/5分频异步加法计数器,时钟CP的频率为10kHz。

1. 74LS90构成几进制计数器;
2. 计算 $|U_O|$ 的最大值及其频率;

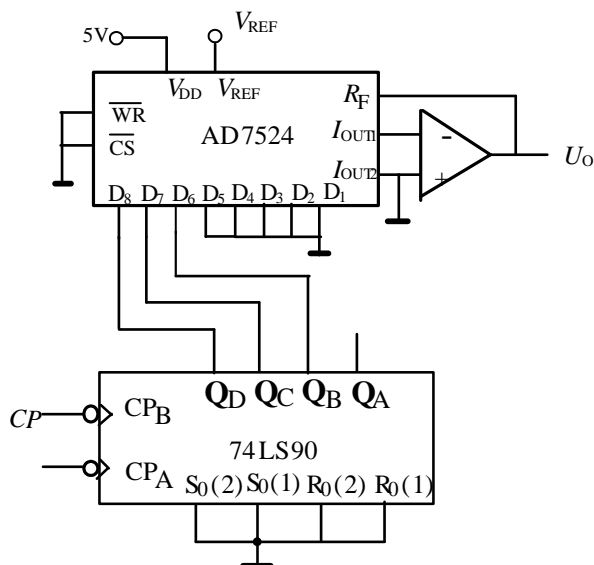


图 4

解: 1. 5 进制;

$$2. |U_O|_{\max} = -4V; f_{U_O} = \frac{1}{5} f_{CP} = 2KHz$$

本题得分

四、(6分) 根据下面二段 Verilog HDL 语言的描述,说明所描述电路的逻辑功能。

```
module test1 (a,b,s,y);
    input a,b;
    input s;
    output y;
    assign y = (s==0)? a : b;
endmodule
```

```
module test2(clk,clr,out);
    input clk,clr;
    output[3:0] out;
    reg[3:0] out;
    always @(posedge clk or negedge clr)
    begin
```

试 题:

班号:

姓名:

```

if (!clr) out <= 4'h0;
else
begin
out <= (out >> 1);
out[3] <= ~out[0];
end
end
endmodule
    
```

解: test1: 2 选 1 数据选择器;
test2: 扭环型计数器。

本题得分

五、(14 分) 电路如图 5 所示, 时钟脉冲 CP 的频率为 12kHz。

- (1) 画出 74LS161 构成电路的完整状态转换图;
- (2) 分析由触发器 FF_1 、 FF_2 构成的计数器, 画出完整的状态转换图、说明为几进制计数器;
- (3) 指出 Q_d 、 Q_2 的频率和占空比。
- (4) CP 频率不变, 使 Q_d 的频率降为现在的 $\frac{1}{2}$, 应如何改变 74LS161 的接线? (不允许增加器件。)

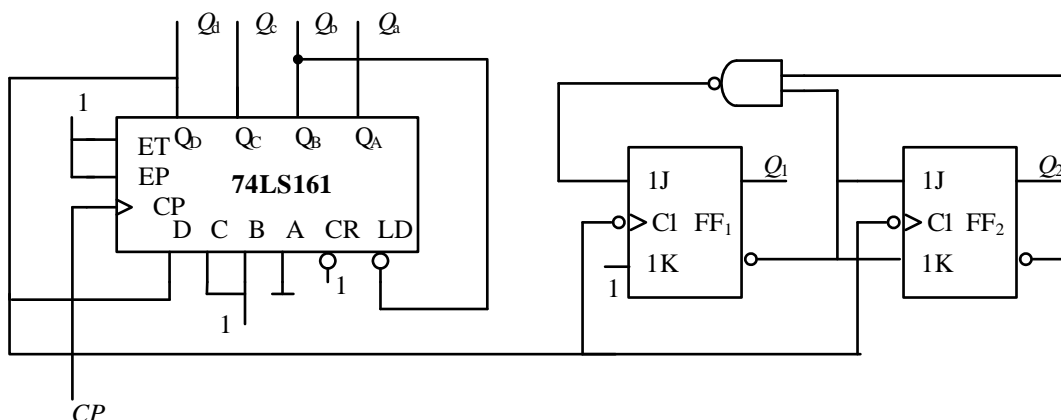
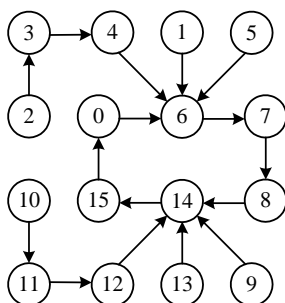


图 5

解: 1. 74LS161 构成 6 进制计数器, 电路的状态转换表为:

CP	D	C	B	A
0	0	0	0	0
1	0	1	1	0
2	0	1	1	1
3	1	0	0	0
4	1	1	1	0
5	1	1	1	1
6	0	0	0	0

完整的状态转换图如图为:



2. 驱动方程: $J_1 = Q_1^n + \overline{Q_2^n}$ $K_1 = 1$

$J_2 = K_2 = \overline{Q_1^n}$

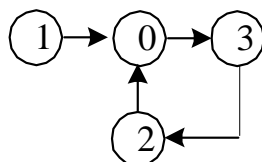
状态方程: $Q_1^{n+1} = \overline{Q_2^n} Q_1^n$

$Q_2^{n+1} = Q_1^n \oplus Q_2^n$

状态转换表:

状态转换图:

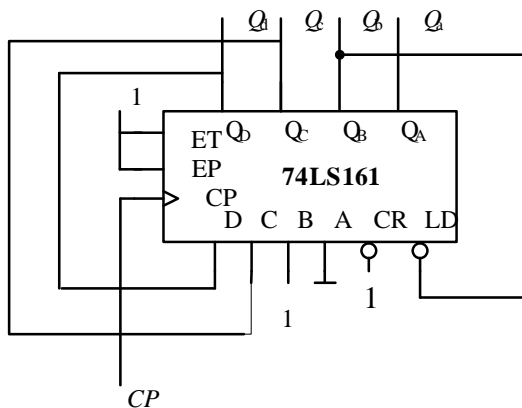
CP	Q_2	Q_1
0	0	0
1	1	1
2	1	0
3	0	0
0	0	1
1	0	0



3. $f_{Q_d} = 2\text{KHz}$ $D = 50\%$

$f_{Q_2} = \frac{2}{3}\text{KHz}$ $D = 66.7\%$

4. 欲使 Q_d 的频率降为现在的 $\frac{1}{2}$, 应使 74LS161 变为十二进制计数器。改变 74LS161 的连线, 如图所示:



十二进制计数器的状态转换表如表所示:

CP	D	C	B	A
0	0	0	0	0
1	0	0	1	0
2	0	0	1	1
3	0	1	0	0
4	0	1	1	0
5	0	1	1	1
6	1	0	0	0
7	1	0	1	0
8	1	0	1	1
9	1	1	0	0
10	1	1	1	0
11	1	1	1	1
12	0	0	0	0

本题得分

六、(10 分) 由 555 定时器构成的电路如图 6 所示, 设输出高电平为 5V, 输出低电平为 0V; VD 为理想二极管。试问:

1. 当开关 S 断开时, 两个 555 定时器各构成什么电路? 计算输出信号 u_{o1} 、 u_{o2} 的频率 f_1 和 f_2 。
2. 当开关 S 闭合时, 定性画出 u_{o1} 、 u_{o2} 的波形。
3. 电容 C_2 和 C_5 的作用分别是什么?

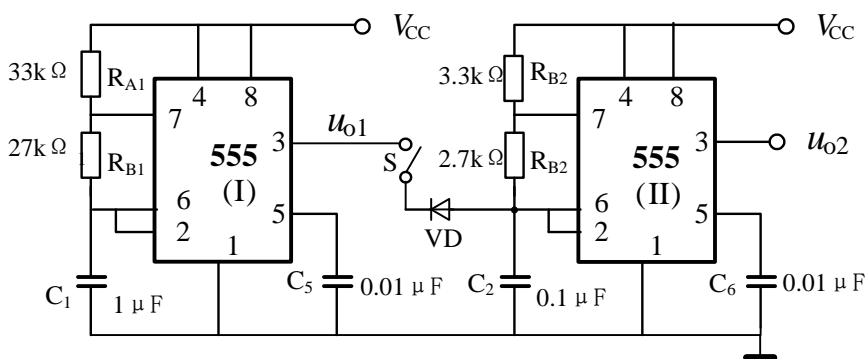


图 6

解: 1. 多谐振荡器。

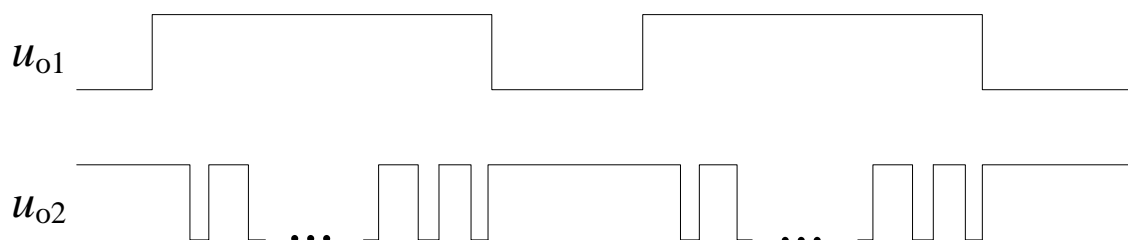
$$T_1 = 0.7(R_{A1} + 2R_{B1})C_1 = 0.7(33 + 2 \times 27) \times 10^3 \times 1 \times 10^{-6} = 60.9 \text{ms}$$

$$f_1 = \frac{1}{T_1} = 16.42 \text{Hz}$$

$$T_2 = 0.7(R_{A2} + 2R_{B2})C_2 = 0.7(3.3 + 2 \times 2.7) \times 10^3 \times 0.1 \times 10^{-6} = 0.609 \text{ms}$$

$$f_2 = \frac{1}{T_2} = 1.642 \text{KHz}$$

2. 当开关 S 闭合时, 振荡器 2 的工作状态受控于振荡器 1 的输出。 u_{o1} 为高电平, VD 截止, 振荡器 2 工作, u_{o1} 为低电平, VD 导通, 振荡器 2 停振, u_{o2} 输出高电平。



3 电容 C_2 的作用是定时, C_5 的作用是滤波, 滤除高频干扰。

本题得分

七、(10 分) 图 7 (a) 中, $P_1 = \overline{A}D + C\overline{D}$, $P_2 = \overline{A}\overline{B} + BC$,

1. 写出 P 的逻辑函数表达式。

2. 在图 7 (b) 中可外接必要的非门实现图 7 (a) 所示电路 (输入 A、B、C、D, 输出 P)。

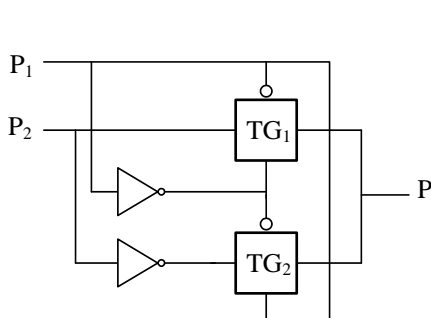


图 7 (a)

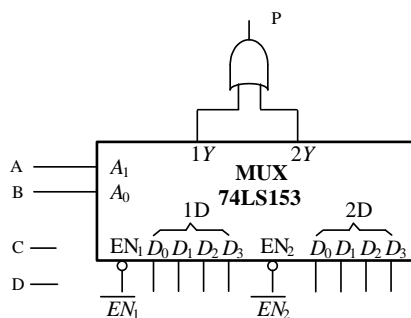


图 7 (b)

解:

$$P = P_1 \oplus P_2$$

CD \ AB	00	01	11	10
00		1	1	1
01		1	1	1
11				1
10				1

P_1

CD \ AB	00	01	11	10
00	1	1	1	1
01			1	1
11			1	1
10				

P_2

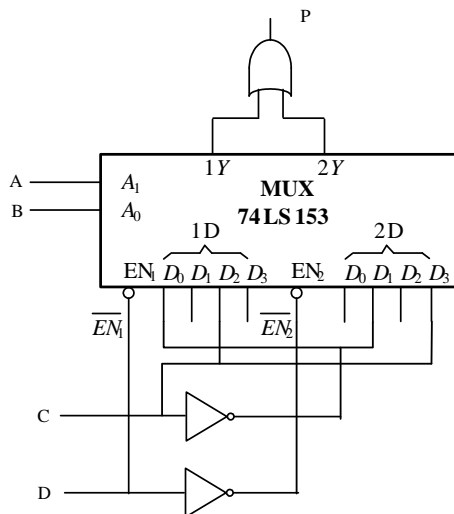
CD \ AB	00	01	11	10
00	1			
01		1		
11			1	
10				1

$P_1 \oplus P_2$

$$P_1 = \overline{A}D + C\overline{D}$$

$$P_2 = \overline{A}\overline{B} + BC$$

$$P = P_1 \oplus P_2 = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + ABCD + A\overline{B}C\overline{D}$$



本题得分

八、(8分)用 ROM 和两个 D 触发器设计能够进行加法计数和减法计数的二进制同步可逆计数器。当输入 $X=0$ 时, 进行加法计数; 当 $X=1$ 时, 进行减法计数。输出 Y 为进位/借位信号。当计数器加法计数加到 11, 进位信号输出正脉冲, 当计数器减法计数减到 00, 借位信号输出正脉冲。工作时序图如图 8(a)所示, 假设 Q_2Q_1 初始状态为 00。

- 1) 完整填写表 1 中的内容。
- 2) 求状态方程和输出方程。
- 3) 在图 8(b)中完成电路设计, 不允许使用 D 触发器的 \bar{Q} 端。(只需在图中连线, 不允许增加其它的门电路)。

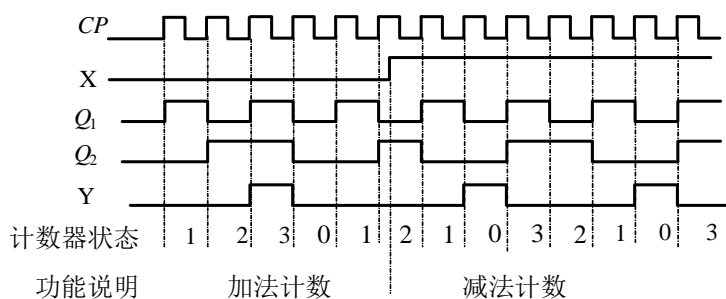


图 8(a)

表 1 可逆计数器的真值表

\mathbf{X}	\mathcal{Q}_2^n	\mathcal{Q}_1^n	\mathcal{Q}_2^{n+1}	\mathcal{Q}_1^{n+1}	\mathbf{Y}

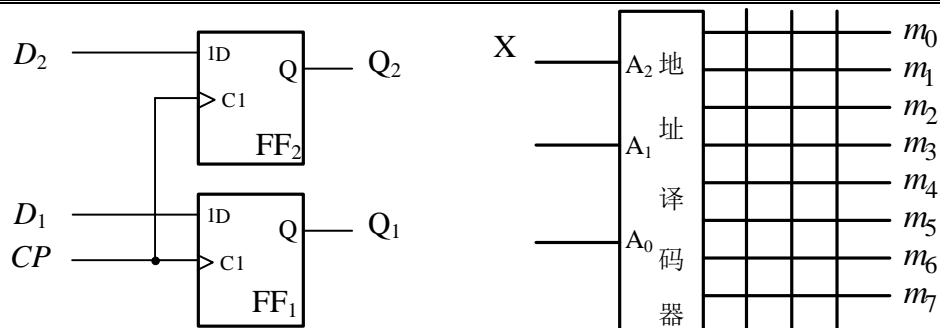


图 8(b)

解: 1

X	Q_2^n	Q_1^n	Q_2^{n+1}	Q_1^{n+1}	Y
0	0	0	0	1	0
0	0	1	1	0	0
0	1	0	1	1	0
0	1	1	0	0	1
1	0	0	1	1	1
1	0	1	0	0	0
1	1	0	0	1	0
1	1	1	1	0	0

$$2 \quad Q_1^{n+1} = \overline{Q_1^n}$$

$$Q_2^{n+1} = \overline{X} \overline{Q_2^n} Q_1^n + \overline{X} Q_2^n \overline{Q_1^n} + X \overline{Q_2^n} \overline{Q_1^n} + X Q_2^n Q_1^n$$

$$D_1 = \overline{Q_1^n}$$

$$D_2 = \overline{X} \overline{Q_2^n} Q_1^n + \overline{X} Q_2^n \overline{Q_1^n} + X \overline{Q_2^n} \overline{Q_1^n} + X Q_2^n Q_1^n$$

$$Y = \overline{X} Q_2^n Q_1^n + X \overline{Q_2^n} \overline{Q_1^n}$$

3

