

主管
领导
审核
签字

哈尔滨工业大学 2018 学年 春 季学期

数字电子技术基础 试 题

题号	一	二	三	四	五	六	七	八	总分
得分									
阅卷人									

片纸鉴心 诚信不败

得分

一、判断与填空（共 10 分）

1. 判断下述说法是否正确，正确者在其后()内打√，反之打×。

- 无关项的值可能是 0，也可能是 1。()
- 在标准 TTL 门、OC 门和三态门中，OC 门的带负载能力最强。()
- 已知 $A \oplus B = \overline{A \odot B}$ ，因而 $A \oplus B \oplus C = \overline{A \odot B \odot C}$ 。()

2. 如图 1-2 所示，P 的表达式为_____。

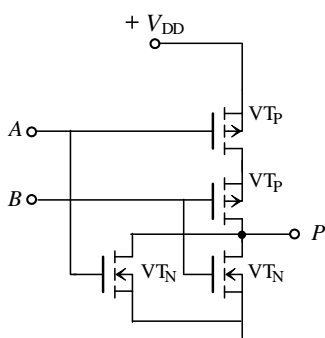


图 1-2

AB \ CD	00	01	11	10
00	1			1
01	1	1		
11	1	1		
10	1			1

图 1-4

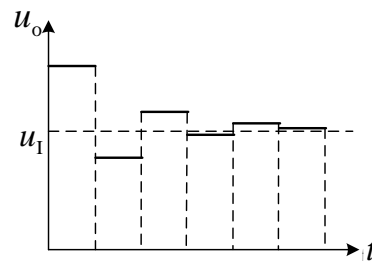


图 1-7

3. 已知函数 $Y = (\bar{A} + C)(A + \bar{B})$ ，其存在_____态冒险。

4. 图 1-4 是逻辑函数 $F(A, B, C, D)$ 的卡诺图，请写出 F 和 \bar{F} 的最简与或逻辑表达式：

$F =$ _____； $\bar{F} =$ _____。

5. 某 EEPROM 有 16 条数据线，15 条地址线，则存储容量为_____ kbit。

6. 被转换信号的上限频率为 20kHz，则 A/D 转换器采样频率应高于_____ kHz。

7. 图 1-7 为某六位逐次逼近 A/D 转换器的转换示意图，其转换结果为_____。

得分

二、简答题（共 10 分）

1. 分析图 2-1 电路，两个图都按照 $Q_DQ_CQ_BQ_A$ 的顺序分别画出有效循环部分的状态转换图，并说明是多少进制计数器？（6 分）

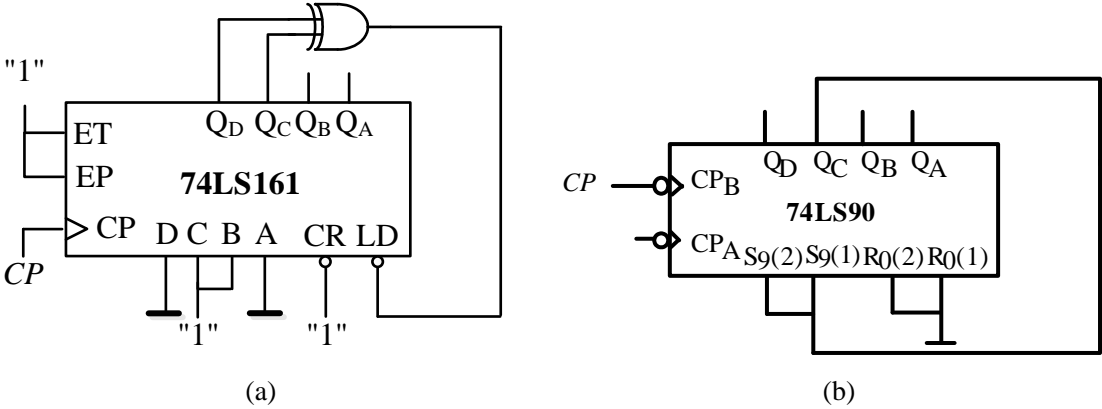


图 2-1

2. 电路如图 2-2 所示， G_1 为 TTL 三态门， G_2 为 TTL 与非门。指出下表中不同条件下电压表 V 的读数。（高电平输入输出均为 3.6V；低电平输入输出均为 0.3V）（4 分）

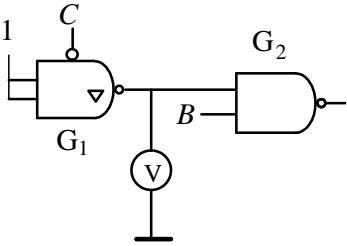


图 2-2

$B=1$	$C=1$	$V=$ _____V
$B=0$	$C=1$	$V=$ _____V
$B=1$	$C=0$	$V=$ _____V
$B=0$	$C=0$	$V=$ _____V

得分

三、(8 分)

由 4 个 JK 触发器和 74LS283 构成的电路如图 3 所示，假设初始状态 $Q_3Q_2Q_1Q_0=0000$ 。

1. 列出由 JK 触发器构成电路的状态方程；
2. 指出在有效计数循环内 $Q_3Q_2Q_1Q_0$ 的编码方式；
3. 该电路正常工作时，若要实现 74LS283 的输出 $DCBA$ 为 2421*BCD 码，请画出 $B_3B_2B_1B_0$ 的接法，完成逻辑电路图（要求：不允许使用其他元器件和逻辑门）。

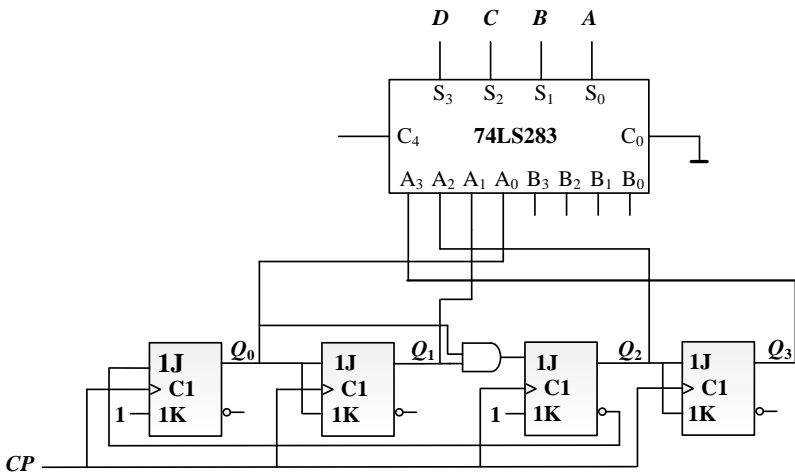


图 3

2421*BCD 码	
十进制	2421*码
0	0000
1	0001
2	0010
3	0011
4	0100
5	1011
6	1100
7	1101
8	1110
9	1111

得分

四、(8 分)

已知某电路的一次启动时序图如图 4 所示，并且该电路具有低电平有效的异步清零端，对应该逻辑功能的 Verilog HDL 描述如下框内代码所示。

1. 根据时序图，按照 $Q_2Q_1Q_0$ 的顺序写出该电路完整的状态转换图；
2. 指出该电路的名称；
3. 要完成该电路的逻辑功能，请在横线处补充程序语句，完成相应的 Verilog HDL 描述。

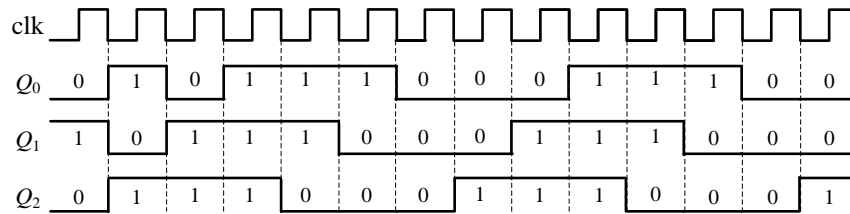


图 4

```

module test(clk,clr,Q);
input clk,clr;
output[2:0] Q;

_____

always @(_____ or negedge clr)
begin
    if (!clr)
        _____
    else
        begin
            _____
            _____
        end
end
end
endmodule

```

得分

五、(8分)

已知 $[AB]$ 和 $[CD]$ 为两个二位二进制数，设计一个电路，实现当 $[AB]=[CD]$ 时，输出 $P=1$ ；否则 $P=0$ 。

- 列出真值表，写出 P 的与或标准型表达式。
- 在图 5 中用 8 选 1 数据选择器 74LS151 和 3 线-8 线译码器完成设计，译码器输出高电平有效。在图中通过连线完成设计，不改变已连接部分，不允许外加任何器件。图中所有器件都是 TTL 器件，74LS151 的 A_2 管脚和 3 线-8 线译码器的 B_2 管脚均已折断不能使用，可看成悬空。

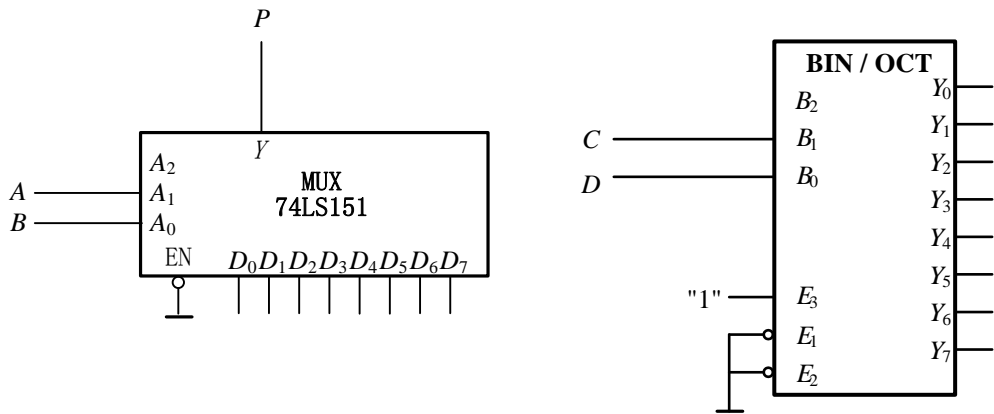


图 5

得分

六、(10 分)

由 555 定时器构成的电路如图 6(a)所示，输入信号 u_i 波形如图 6(b)所示，当输入电压峰值超过额定值时，扬声器 Y 会鸣响发出报警信号。

其中 555 定时器输出为理想 TTL 电平，即输出高电平 5V，低电平 0V，VT 导通时为饱和导通，导通压降可忽略不计， $u_s=4V$ ， $R_1=40k\Omega$ ， $R_2=10k\Omega$ ， $R_3=20k\Omega$ ， $C_1=5.1\mu F$ ， $C_2=0.047\mu F$ 。

1. 由 555 定时器 I、II、III 构成的电路名称分别是什么？
2. 简述此电路的工作原理。
3. 计算扬声器的报警信号频率。
4. 在图 6(b)中定量画出输出 u_{o1} 、 u_{o2} 和 u_{o3} 的波形。

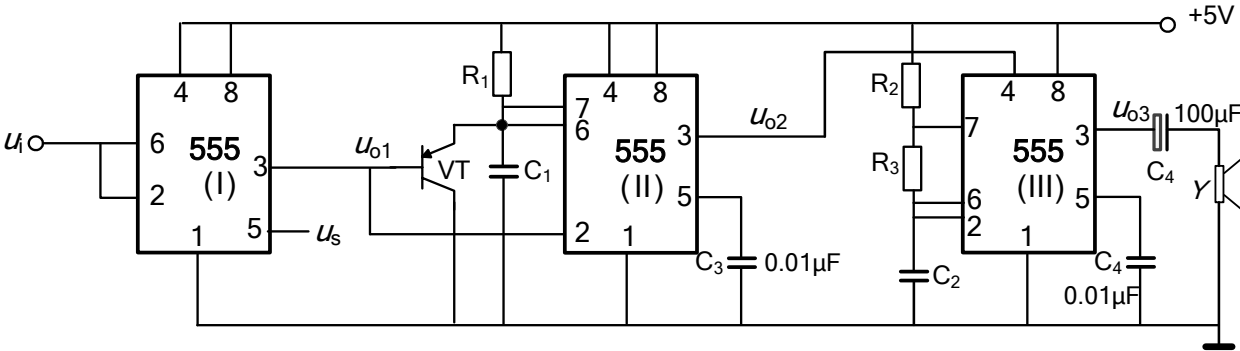


图 6(a)

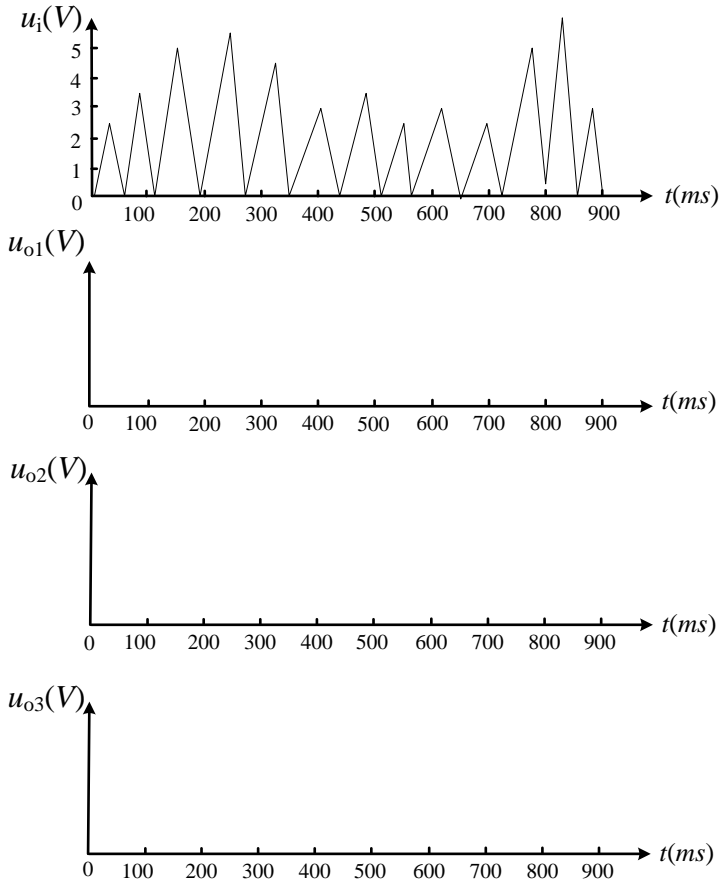


图 6(b)

授课教师

姓名

学号

院系

得分

七、(8分)

采用 D 触发器设计一个同步时序逻辑电路，其状态转换图如图 7(a) 所示。其中 Q_1 、 Q_0 为状态变量， d_{in} 为输入变量， Z 为输出变量。

1. 写出电路的状态方程和输出方程；
2. 在图 7(b) 中完成该电路的设计，图中 A_2 为地址译码器输入的最高位。(要求：不能添加其他器件)

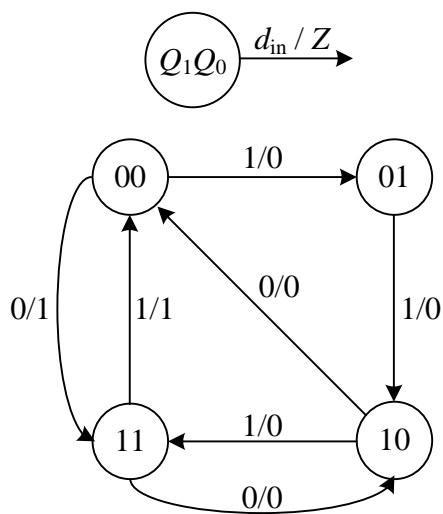


图 7 (a)

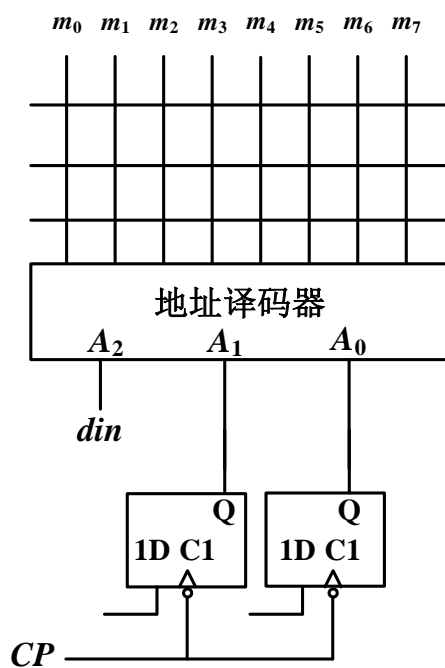


图 7 (b)

得分

八、(8分)

某4位双积分型AD转换器电路如图8所示。其中, U_I 为输入模拟量, $[D_3D_2D_1D_0]$ 为输出数字量, 参考电压 $V_{REF}=5V$, CP 为周期 20ms 的方波时钟信号, $R=20k\Omega$, $C=10\mu F$ 。电路在进行 AD 转换之前, 计数器 74LS160 的输出 $[D_3D_2D_1D_0]=[0000]$, 两个 D 触发器的输出 $A=B=0$ 。先闭合开关 S, 将开关 S 再次断开的瞬间看做 AD 转换开始的时刻, 即 $t=0$ 时刻。

1. 当 $U_I=4V$ 时, 计算 U_O 的最大幅值约为多少;
2. 当 $U_I=4V$ 时, AD 转换的结果约是多少; 分析转换结束后 A 和 B 的状态;
3. 当 $U_I=6V$ 时, AD 转换后的计数器输出约是多少; 分析转换结束后 A 和 B 的状态;
4. 指出信号 B 在电路中的作用。

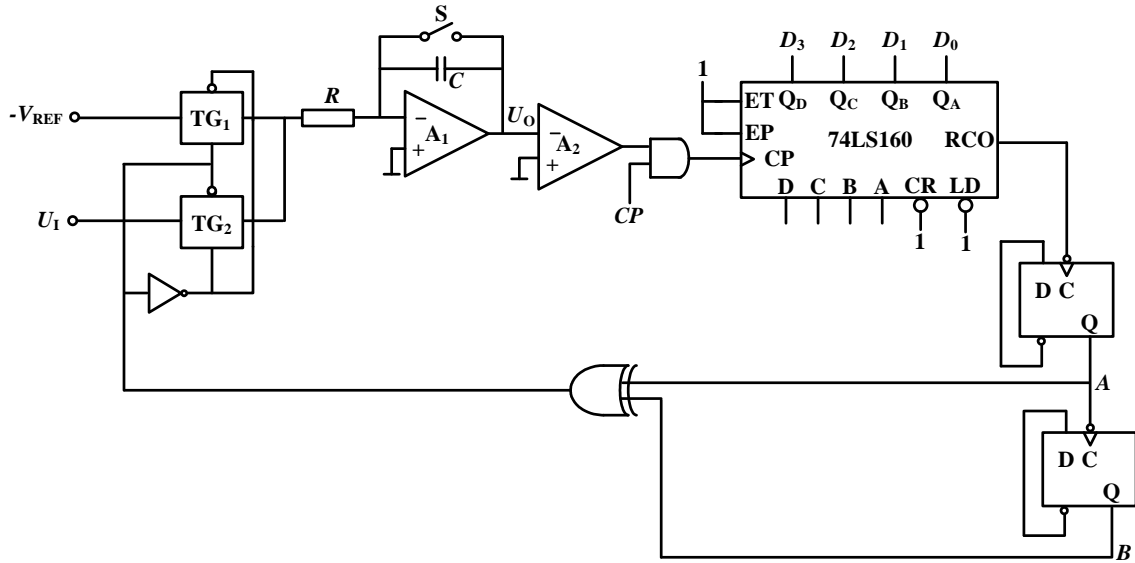


图 8