

数字电子技术基础(A)试 题

班号	
姓名	

题号	一	二	三	四	五	六	七	八	卷面	平时	总分
分数											

注
意
行
为
规
范

遵
守
考
场
纪
律

主管
领导
审核
签字

本题得分

一、(12分) 填空和选择（每空 1 分）

(1) 进制为一千的计数器至少应使用_____个触发器实现。

(2) 集电极开路门使用时应注意在输出端接_____。

(3) 32 选 1 数据选择器有_____个选择变量。

(4) 函数式 $Y = AB + \overline{BCD}$ ，写出其对偶式 $Y' =$ _____。

(5) 相同供电电源的 CMOS 门电路与 TTL 门电路相比，_____门的噪声容限更大；_____门的静态功耗更低。

(6) 模数转换时，要求能分辨 ADC 输入满量程 0.1% 的变化，则至少需要使用_____位的 ADC。若信号频率为 20kHz，则要求该 ADC 采样频率至少为_____kHz。

(7) 由与非门构成的基本 RS 触发器，其约束条件是_____。

(8) 下列器件的信号一定不能和其他输出信号接在一起的是_____。

- (a) RAM 的数据信号；
- (b) ROM 的数据信号；
- (c) 74LS138 的输出信号。

(9) 下列说法正确的是_____。

- (a) 输入悬空时，TTL 门电路的输入端相当于接低电平；
- (b) 输入悬空时，CMOS 门电路的输入端相当于接低电平；
- (c) 输入悬空时，CMOS 门电路的输入端相当于接高电平；
- (d) 实际应用中，门电路的输入端应尽量避免悬空。

(10) 用万用表测量一个标准 TTL 门电路的输出信号，发现其值为 1.5V，可能的情况有（多选）：_____。

- (a) 输出端处于高阻态；
- (b) 两输出信号短接；
- (c) 输出为脉冲信号；
- (d) 驱动门过载。

本题得分

二、(8分)简答题。

(1) 画出函数 F_1 和 F_2 的卡诺图, 并求出 F_1 和 $\overline{F_2}$ 的最简与或式。

$$F_1(A,B,C,D) = \overline{A} \overline{B} D + \overline{A} B + A \overline{B} + ABC$$

$$F_2(A,B,C,D) = \sum m(0,1,2,7,11,14,15) + \sum d(8,9,10)$$

(2) 图 2 中门电路 G_1 和 G_2 为 TTL 门电路, 并假设传输门导通电阻可忽略, 分别填写 C_1 和 C_2 不同电平下电压表 V_1 和 V_2 电压值 (TTL 门电路输出高电平 3.6V, 输出低电平 0.3V):

C_1 为高电平, C_2 为低电平时, $V_1 =$ _____ V, $V_2 =$ _____ V;

C_1 为低电平, C_2 为高电平时, $V_1 =$ _____ V, $V_2 =$ _____ V。

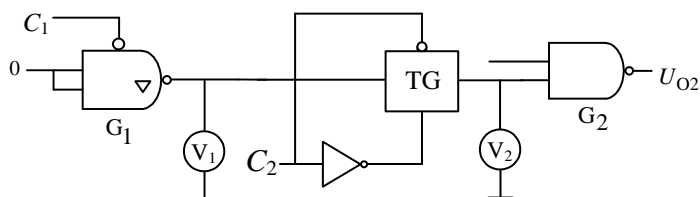


图 2

本题得分

三、(8分) 设计一个故障显示电路。要求为：

当只有电机 A 发生故障时，故障指示灯 F 以 4Hz 的频率闪烁；当只有电机 B 发生故障时，故障指示灯 F 以 2Hz 的频率闪烁；当电机 A、B 同时发生故障时，故障指示灯 F 常亮；当电机 A、B 均无故障时，故障指示灯 F 灭。

已知时钟信号为 8Hz；用变量 A、B 表示电机状态，“1”表示电机发生故障；用变量 F 表示指示灯状态，“1”表示灯亮。试求：

- (1) 在图 3 中利用 8Hz 时钟和 2 个 D 触发器得到 4Hz 和 2Hz 的时钟信号；
- (2) 继续在图 3 中将上述故障显示电路设计实现。

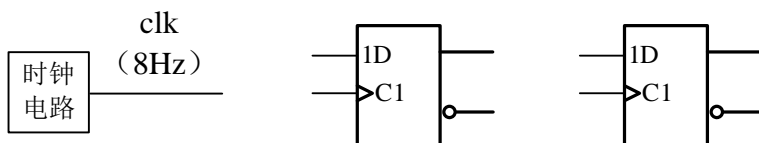
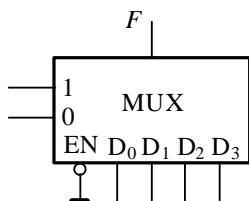


图 3

本题得分

四、(8分) 简答题

(1) 要实现异步清零的 12 进制计数器, 更正下列 verilog 程序的错误。

```
module Cnt0 ( clk, rst, Q );
input clk, rst;
output [2:0] Q;
reg [2:0] Q;

always@( posedge clk)
begin
    if ( !rst )
        Q = 0;
    else
        Q = Q + 1'b1;
    if ( Q >= 12 )
        Q = 0;
end
endmodule
```

(2) 根据下列程序画出完整的状态转换图 (要求按照 Q[2]、Q[1]、Q[0]的顺序表示输出状态)

```
module Cnt1 (clk, rst, Q);
input clk, rst;
output [2:0] Q;
reg [2:0] Q;
always@( posedge clk )
    if( !rst )
        Q <= 3'b000;
    else
        begin
            Q[0] <= ~Q[0];
            Q[1] <= Q[0]^Q[1];
            Q[2] <= Q[0]^Q[1];
        end
endmodule
```

本题得分

五、(8分) 由 16 进制同步加法计数器 74LS161 和存储器构成的电路如图 5 所示。

(1) 将 D_0 、 D_3 用 A_3 、 A_2 、 A_1 、 A_0 的最小项表示 (按 $A_3A_2A_1A_0$ 的顺序确定最小项编号)；

(2) 画出 Q_D 、 Q_C 、 Q_B 、 Q_A 完整的状态转换图；

(3) 在正常计数循环内， D_1 、 D_2 平时输出低电平，当计数器输出为最小值时， D_1 输出高电平；当计数达到最大值时， D_2 输出高电平，为实现该功能，请直接在图上画出 D_1 、 D_2 的阵列。

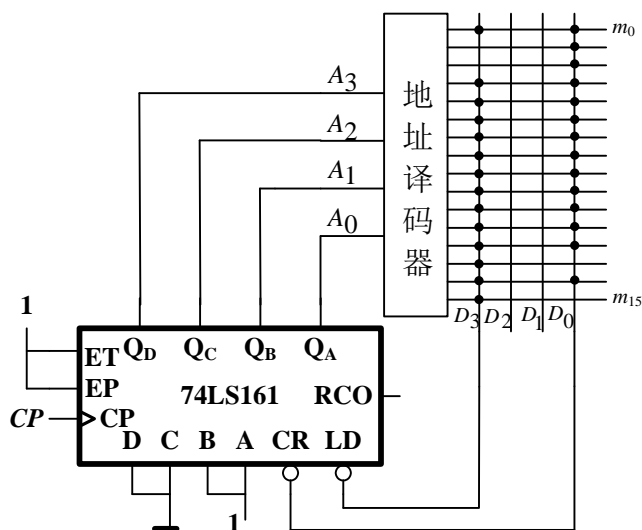


图 5

本题得分

六、(8分) 由 2-8 分频异步加法计数器 74LS93 和 555 定时器构成电路如图 6(a)所示:

(1) 写出虚线框内电路的名称;

(2) CP 时钟信号频率为 20kHz, 假设计数器初态为 0, 在图 6(b)中画出 u_I 、 u_O 的波形。

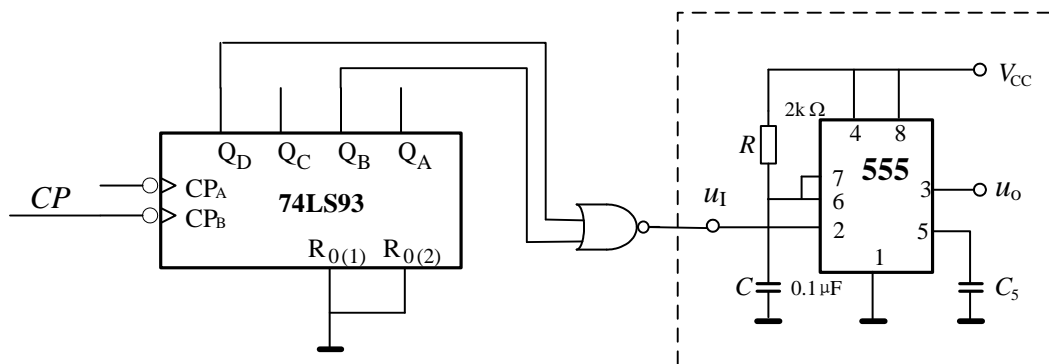


图 6(a)

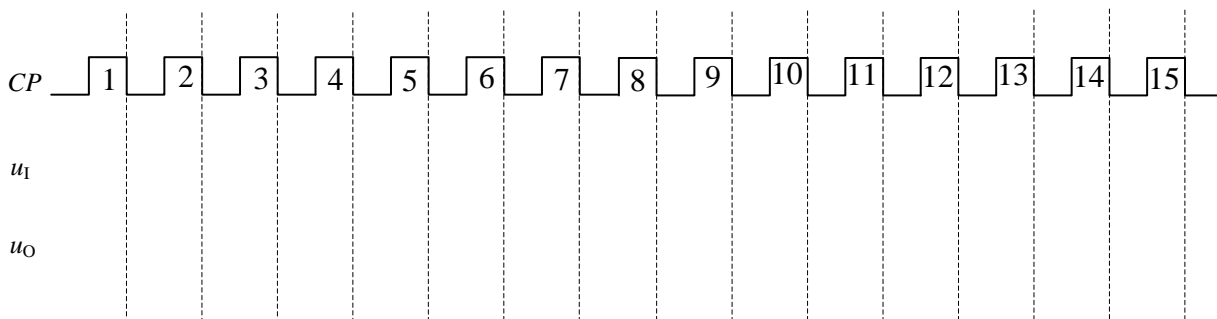


图 6(b)

本题得分

七、(10分) 由触发器、74LS138及DAC芯片构成的电路如图7所示。

(1) 写出图7(a)中各触发器的状态方程;

(2) 按 $Q_2Q_1Q_0$ 的顺序画出完整的状态转换图, 指出其计数进制和计数方向;

(3) 在图7(b)中, 已知当DAC的输入只有最低有效位为1时, 输出模拟电压为10mV, 试画出计数器一个计数循环内D/A转换器的输出电压波形, 必须标注电压值。

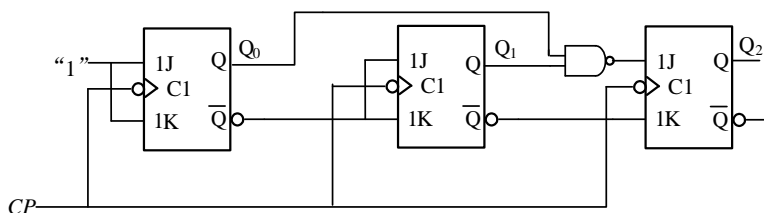


图 7(a)

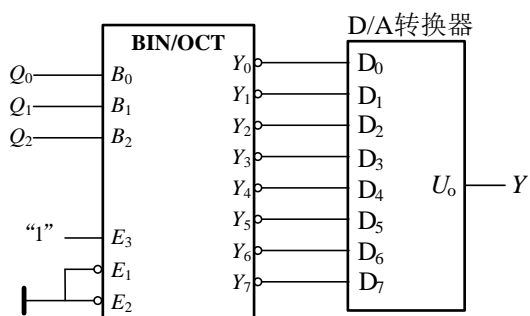
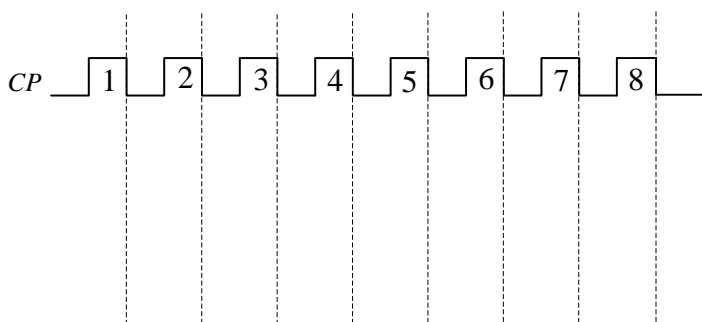


图 7(b)



本题得分

八、(8分) 某移位寄存器型计数器如图 8(a)所示。已知该计数器的计数循环中并不包含所有的 8 个输出状态, 如果上电后计数器的初始状态位于计数循环之外, 该计数器能够实现自启动。该计数器在某 3 次不同的上电启动过程(用 A、B、C 标记)

的初始阶段, 恰好观测到 Q_2 输出如下序列:

A) 000111001110011100111001110011

B) 010011100111001110011100111001

C) 101110011100111001110011100111

(1) 请指出该计数器的进制数是多少;

(2) 在表 A、B、C 中将上述三次上电启动过程最初 10 个周期的计数器状态转换表补充完整;

(3) 画出计数器输出 $Q_2Q_1Q_0$ 的完整状态转换图;

(4) 在图 8(b)所示的电路的基础上, 用必要的逻辑门实现图 8(a)中的反馈逻辑电路, 使计数器实现上述功能。(注意不能改变其移位寄存器型计数器的属性, 即不能改动图 8(b)中的已有连接)

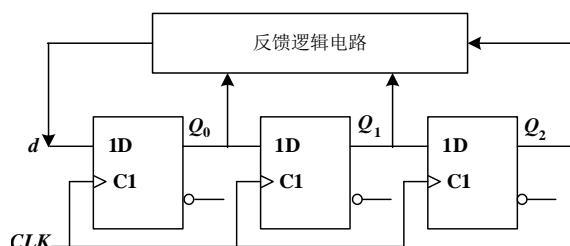


图 8(a)

表 A 过程 A 状态转换表

态序	Q_0	Q_1	Q_2
0			0
1			0
2			0
3			1
4			1
5			1
6			0
7			0
8			1
9			1

表 B 过程 B 状态转换表

态序	Q_0	Q_1	Q_2
0			0
1			1
2			0
3			0
4			1
5			1
6			1
7			0
8			0
9			1

表 C 过程 C 状态转换表

态序	Q_0	Q_1	Q_2
0			1
1			0
2			1
3			1
4			1
5			0
6			0
7			1
8			1
9			1

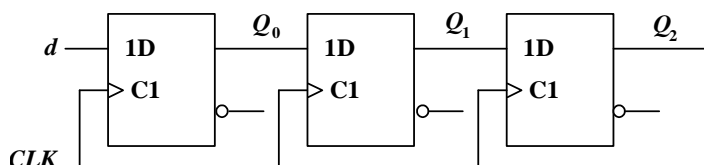


图 8(b)