

4.4.5 電磁界解析

(1) 現在行われている課題

高性能ハイエンドサーバなどのデジタル機器に使用されるプリント基板、マルチチップモジュール、システムインパッケージなどの動作周波数の高速化や LSI (Large Scale Integration) の低電圧駆動化にともない、信号伝送ノイズ、電源グラウンドバウンスノイズと同時スイッチングノイズなどのさまざまなノイズ源に起因する EMI (Electromagnetic Interference)、ESD (Electrostatic Discharge) やアンテナ受信感度劣化への対策が困難になってきている。

電磁界解析は装置設計の上流段階で、以上のようなノイズ問題を可視化することにより、必要に応じて設計改善を実施して、ノイズ問題のない装置設計を実現することを目的に利用されてきた。電磁界解析の代表的な計算手法には、有限要素法、モーメント法、FDTD

(Finite-Difference Time-Domain) 法があり、各種の派生的な手法を含めて数多くの電磁界解析システムが開発されている。有限要素法では HFSS (米国製)、モーメント法では ACCUFIELD (日本製)、FDTD 法では MW-STUDIO (ドイツ製)、Poynting (日本製) などがよく知られており、電磁界解析の分野では、日本製システムは機能、性能ともにトップレベルにある。

以前の計算機能力が非力な時代においては、電磁界解析の適用可能領域は、機器内のプリント基板上の配線パターンやコネクタ、アンテナ単体の電気的特性を調査する程度の部分的なものであったため、設計段階で装置全体でのノイズ問題を的確に把握してノイズ問題のない装置設計を実現することは困難であった。その後の計算機技術の進歩により、PC クラスタ、GPGPU や「京」に代表されるスーパーコンピュータによる大規模で高速な解析環境がクラウド技術との組み合わせなどにより、広く一般に利用可能になってきている。この状況を受けて、大規模な並列解析環境において、その並列度を増加させた場合に並列度にほぼ比例して計算速度が向上する FDTD 法を採用した電磁界解析システムが、非常に効果的であることが明確になってきた。特に、Poynting では、PC サーバで数百台規模の計算能力をクラウド上で実現することにより、ノート PC 等の装置全体をモデル化した ESD 解析において、2.3 億メッシュ規模の解析を約 9 時間で実行したとの報告が富士通から行われている。このような解析を「京」などのノード間を高速ネットワークで接続された環境で実行することにより、ハイエンドサーバやスーパーコンピュータなどの大規模な機器においても機器全体の電磁界解析が可能になった[1-3]。

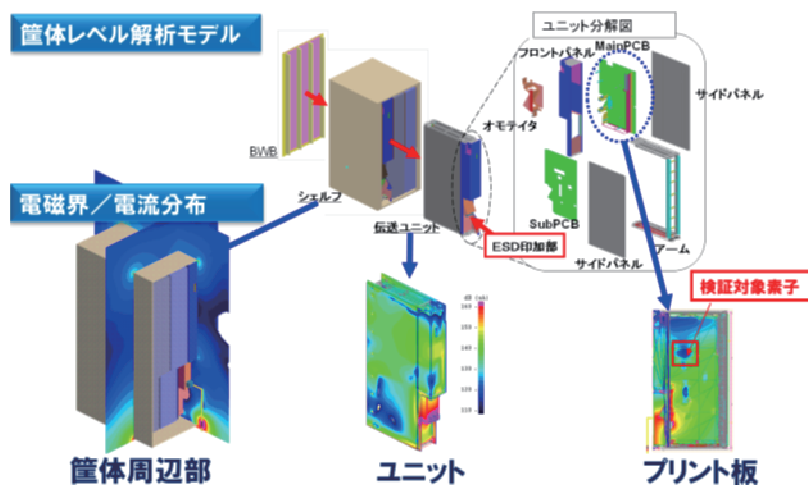


図 4.4.5-1 機器全体の電磁界解析による ESD ノイズ伝搬の可視化

図 4.4.5-1 は大規模なデジタル処理装置における、人体からの ESD ノイズの伝搬を解析して可視化した事例である。このような解析により、従来は困難であった装置の設計段階での的確な ESD ノイズ対策が可能になった。

しかし、今後、高密度な 3 次元実装技術がコンシューマ製品からハイエンドサーバ、スーパーコンピュータまで幅広く適用されると、動作周波数の高速化とあいまって、解析精度の向上のためには大幅な解析規模の拡大が必要となる。最近の約 2 億メッシュ規模から約 5000 億メッシュ規模まで約 2000 倍の解析規模の拡大が必要と考えられる一方、解析時間を 1/10 の約 1 時間に短縮することが期待されている。なお、メッシュ規模が増加することから、解析モデルと電磁界マップデータもまた大幅に増加し、ユーザインターフェースや電磁界マップの応答と表示速度についても 1000 倍以上の高速化が必要になる。また、特にエクサコンピュータ以降のスーパーコンピュータでは実装密度、消費電流の増大や高速化が飛躍的に進展することが予想される。そのような装置を対象に、LSI 電流が高速にスイッチングすることによる電源グラウンドバウンス、EMI 他の各種のノイズ問題を高精度に解析するには、LSI 内部動作を忠実に再現した解析が必要となる。

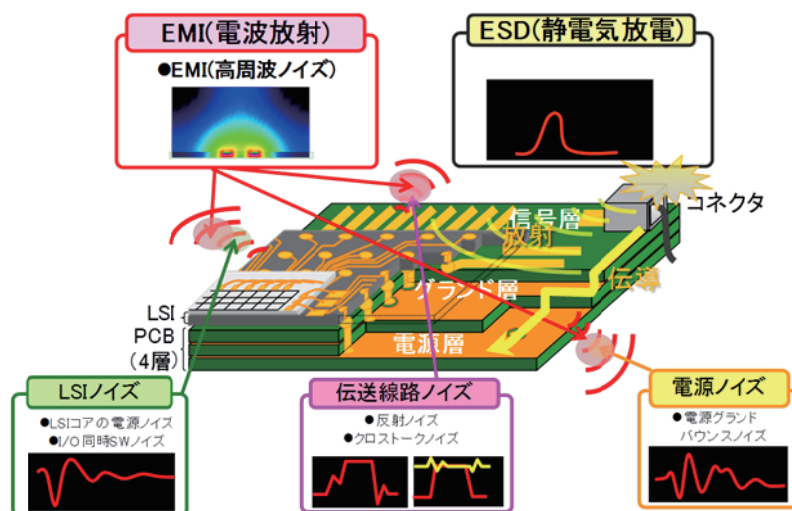


図 4.4.5-2 電磁界解析における LSI 内部モデルの必要性

図 4.4.5-2 に示すように LSI 動作状態が伝送線路ノイズ、電源ノイズ及び EMI ノイズの根本の原因となる。また外部からの ESD ノイズの LSI 動作への影響の度合いは LSI 内部回路の特性によって大きく変動する。このため、これらのノイズ問題に対する的確な対策を電磁界解析を利用して実施するにあたっては、LSI 内部動作の解析モデルへの組み込みが必要となる。

(2) 長期的目標

解析の大規模化と高精度化を今後更に推進するにあたって、最も有望な解析手法は FDTD 法またはこの派生的な手法と考えられる。したがって、今後も FDTD 法を中心とした計算手法を中核に技術開発を推進すべきである。

前項で述べたように、解析規模を 2000 倍向上させる一方で解析時間を短縮するためには、計算機能力の向上に期待するところが大きい。しかし、エクサスケールコンピュータが実現さ

れたとしても、2000 倍の大規模化に対応するのは困難と考えられるため、電磁界解析システム自体の高速化についても検討する必要がある。

FDTD 法は陽解法による差分法であることから、クーランの判定条件に律速されてしまう欠点がある。クーランの判定条件とは、最小メッシュサイズの電磁波の伝搬時間よりも解析のタイムステップを短くしないと計算が不安定になるというものである。プリント基板の配線パターンの厚みは一般的なプリント基板の場合で最薄 $17\mu\text{m}$ 程度である。このメッシュ部分の電磁波の伝搬時間は 10^{-15} 秒オーダーとなるため、タイムステップが小さくなり解析時間増大の大きな原因となる。今後、TSV (Through Silicon Via)、HMC (Hybrid Memory Cube) 他の微細で高密度な実装技術においては更にメッシュサイズが縮小し、解析速度が低下することになる。したがって、クーランの判定条件に律速されない新手法の研究開発が必要となる。

連立方程式を解く陰解法による計算手法であれば、クーランの判定条件に律速されないため、メッシュが微細な場合でもタイムステップをある程度大きくしても安定に計算できることは以前から知られているが、陰解法による計算手法は並列度に対して解析速度の向上が大きくは期待できないため、メッシュ規模の大きな解析には適さないという問題がある。

(3) 次世代に解決すべき課題

高密度で高速な 3 次元実装技術を適用した装置のノイズ解析では、電磁界解析システムの高速化に加えて、次世代には LSI 動作の忠実な解析が必要となる。LSI 動作の忠実なモデル化と解析を実現する計算手法として、LSI 部分を SPICE モデルでモデル化して回路シミュレーションで解析し、同時にプリント基板や筐体部分を電磁界解析して、回路シミュレーションと電磁界解析を時間領域で連成させるという方法により、高精度な解析を実現できることが以前から知られている。この計算方法で、時間領域で連成させるためには回路シミュレーション部分と FDTD 法部分のタイムステップを一致させる必要があるが、FDTD 法のタイムステップが回路シミュレーションで精度的に必要な最大のタイムステップの $1/100\sim 1/1000$ ときわめて小さくなってしまうため、回路シミュレーションの解析速度が全体の解析速度を律速してしまうという問題がある。

長期的な課題の解決に向けたマイルストーンは大きく以下の二つと考えられる。

1) 回路シミュレーションと電磁界解析の時間領域連成の高速化

現状よりも高速な回路シミュレーションと電磁界解析の時間領域連成技術の開発による高精度化の実現。

2) 動作周波数の高速化に対応した装置レベルの大規模解析の高速化

5000 億メッシュの解析規模を約 1 時間で解析可能とする新しい電磁界解析手法の開発。解析手法の改善により高速化を実現。

(4) 課題を解決するために必要なアプリケーション群（要求性能）

最近、FDTD 法の計算手法に部分的に陰解法を組み合わせることにより、クーランの判定条件による制約を緩和しようという試みが行われている。代表的なものに静岡大学で開発された HIE-FDTD 法[4]がある。この方法によれば、条件にもよるが従来の FDTD 法に比べて $10\sim 100$

倍程度の高速化が可能であることが示されている。今後はこのような手法を含めた、新しい解析手法の研究に注力していく必要がある。

また、回路シミュレータと電磁界解析の時間領域における連成解析において、回路シミュレータの解析速度が全体の解析速度を律速してしまう問題を解決し得る方法は現時点ではまだ見出されてないが、前述の陰解法と組み合わせる等の新手法の開発によるブレークスルーが期待される。

新解析手法の登場を待たねば基本性能を明確に述べるのは困難であるが、新解析手法の開発による性能向上が 10 倍であると仮定し、かつ現状の FDTD 法における計算手法が新解析手法の中心を占めると仮定して要求性能を見積もることとする。この場合、新解析手法が CPU 性能に要求するメモリバンド幅比は 1 程度で十分であり、メモリバンド幅が計算速度をほぼ決定すると考えてよい。長期目標の 5000 億メッシュ規模の解析を約 1 時間で実行するためには、並列計算時のメモリバンド幅 2PB/s、メモリー量 52TB 程度が必要となる。

課題	要求性能 (PFLOPS)	要求メモリ バンド幅 (PB/s)	メモリ量/ ケース (PB)	ストレージ 量/ケース (PB)	計算時間/ ケース (hour)	ケース数	総演算量 (EFLOP)	概要と計算手法	問題規模	備考
サーバの装置全体レベル解析	2	2	0.05	0.1	1	20	140	陽解法と陰解法の混合	10 ¹² 格子	

※本見積もりは未だ精査中である。より精度の高い数値は Web 版 (→「1.2. 本文書の構成」) を参照のこと。

(5) 他分野との連携

電磁界解析と熱流体および構造解析との連携は、高速かつ高密度な 3 次元実装構造を持つ機器開発では今後必須となると考えられる。これは、機器の発熱により、機器を構成するプリント基板や筐体に変形し、機器から放射される有害な電磁波の大きさが変化することや、逆に電源部のスイッチング動作により放射される電磁波が周辺の金属部分に誘導電流を発生させることによる発熱の影響等が無視できなくなるからである。よって、電磁界解析と熱流体および構造解析を同時進行的に実施して、このような現象を精度よく解くための仕組みが必要になる。メッシュレベルで電磁界解析と熱流体および構造解析を実施するために必要なすべての方程式や演算方法を連立あるいは同時進行的に解くことはきわめて困難であり、現状では現実解にはならないし、将来的にも解決は困難と考えられる。一方、各種の解析間で計算結果を相互にスムーズにやり取りさせることを繰り返すことにより、漸近的に解析を実施するアプローチは有効であると考えられる。しかしながら、このような漸近的な手法による解析では、反復的な解析が必要になるため、総計算量は大幅に増大することが予想される。よって、エクサスケールコンピュータに要求される計算能力を見極めるにあたって、各種の解析を組み合わせた漸近的な手法について検討を行うことが必要と考えられる。

(6) 公的な意見交換とそのサマリー

前述の長期的な課題の解決に向けた二つのマイルストーンのうち、回路シミュレーションと電磁界解析の時間領域における連成解析の必要性については、2008年1月17日に開催された電子情報通信学会 電子部品材料研究会（CPM）のパネルディスカッションにおいて問題提起がなされており、現在ではその重要性について一般によく認識されている。

また、機器レベルの大規模解析については、2013年3月6日開催の電子情報技術産業協会 EDA 標準技術専門委員会が主催の LPB フォーラムにおいて、LSI、パッケージとプリント基板からなる機器レベルの大規模な解析を高精度に実施することの必要性が議論されている。

(7) ロードマップ

年代 課題	2012 ～	2014 ～	2016 ～	2018 ～	2020 ～	2022 ～
時間領域連 成技術研究	← 回路シミュレーションと電磁界解析の時間領域連成の高速化 *現状よりも高速な回路シミュレーションと電磁界解析の時間領域 連成技術の開発による高精度化の実現 →					
大規模解析 高速化研究	← 動作周波数の高速化に対応した装置レベルの大規模解析の高速化 *5000億メッシュの解析規模を約1時間で解析可能とする新しい電 磁界解析手法の開発。解析手法の改善により高速化を実現 →					

図 4.4.5-3 電磁界解析ロードマップ

参考文献

- [1] 佐藤敏郎：“当社における EMC 対策設計の取り組み”，月刊 EMC， No.292， pp.21-28(2012.8)
- [2] 佐相秀幸：“マルチ・フィジクス統合設計のための高効率電磁界シミュレーション解析技術”，電子情報通信学会論文誌 C， Vol.J94-C， No.8， p.210-222， 2011
- [3] 斎藤精一：“エンジニアリングクラウド開発環境”， FUJITSU， Vol.62,No.3， p.288-296(2011).
- [4] M. Unno and H. Asai, "High-Speed Electromagnetic Field Simulation by HIE-FDTD Method with GPGPU," in Proc. IEEE EDAPS 2010, Singapore, Dec. 2010.