

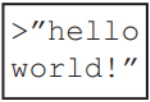


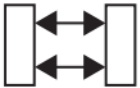
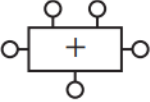

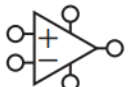


ПРИНЦИПИ ПОБУДОВИ ТА ЛОГІКА РОБОТИ ПЕРСОНАЛЬНОГО КОМП'ЮТЕРА

Лекція 01
Основи інформатики, основи програмування та
алгоритмічні мови



План лекції

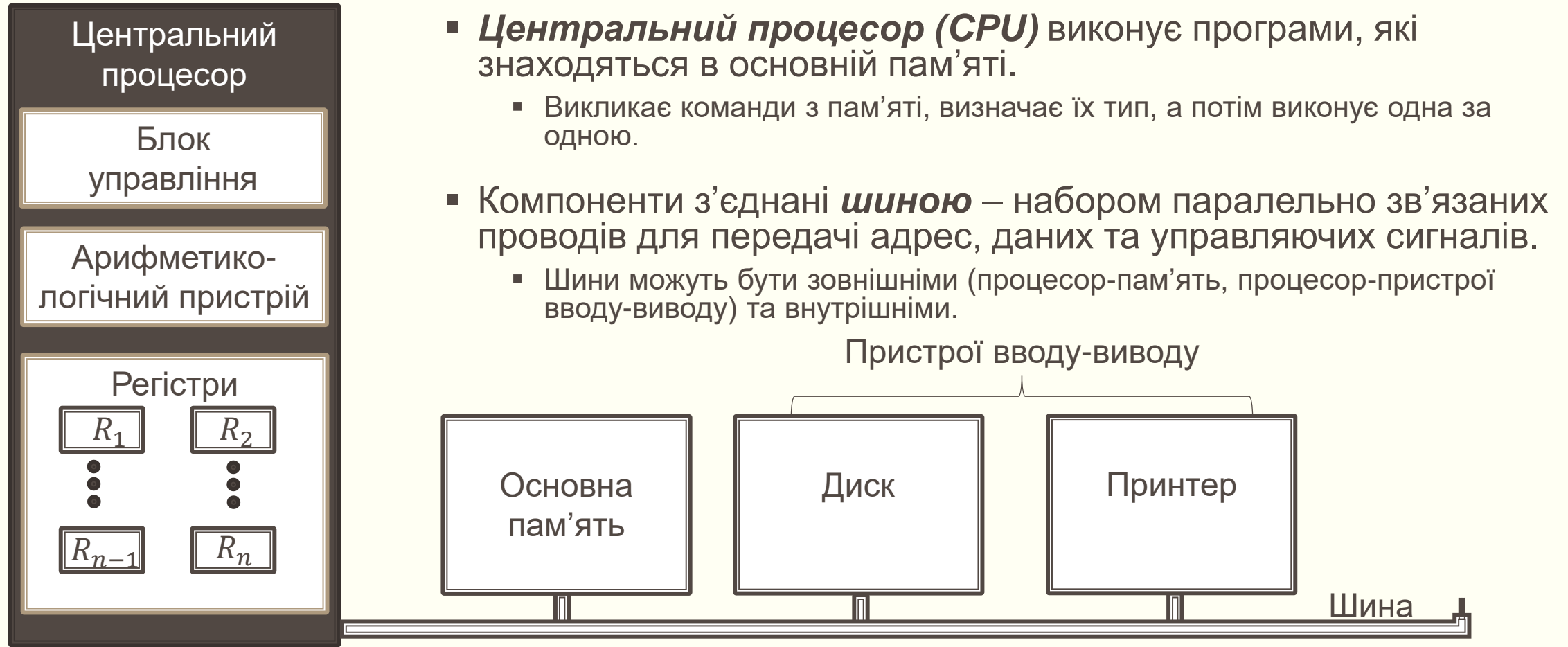
- **Організація комп'ютерних систем**
 - Цикл роботи процесора
 - Ієрархія пам'яті в комп'ютерних системах
- **Логіка роботи цифрових систем**
 - Двійкова система числення та представлення даних
 - Логічні елементи
- **Мови програмування. Трансляція програмного коду**
 - Мови програмування та галузі їх використання
 - Трансляція коду: інтерпретатори та компілятори
- **Місце алгоритмів у програмуванні**
 - Алгоритми та способи їх представлення

Application Software		Programs
Operating Systems		Device Drivers
Architecture		Instructions Registers
Micro-architecture		Datapaths Controllers
Logic		Adders Memories
Digital Circuits		AND Gates NOT Gates
Analog Circuits		Amplifiers Filters
Devices		Transistors Diodes
Physics		Electrons



ОРГАНІЗАЦІЯ КОМП'ЮТЕРНИХ СИСТЕМ

Схема комп'ютера з одним центральним процесором та двома пристроями вводу-виводу



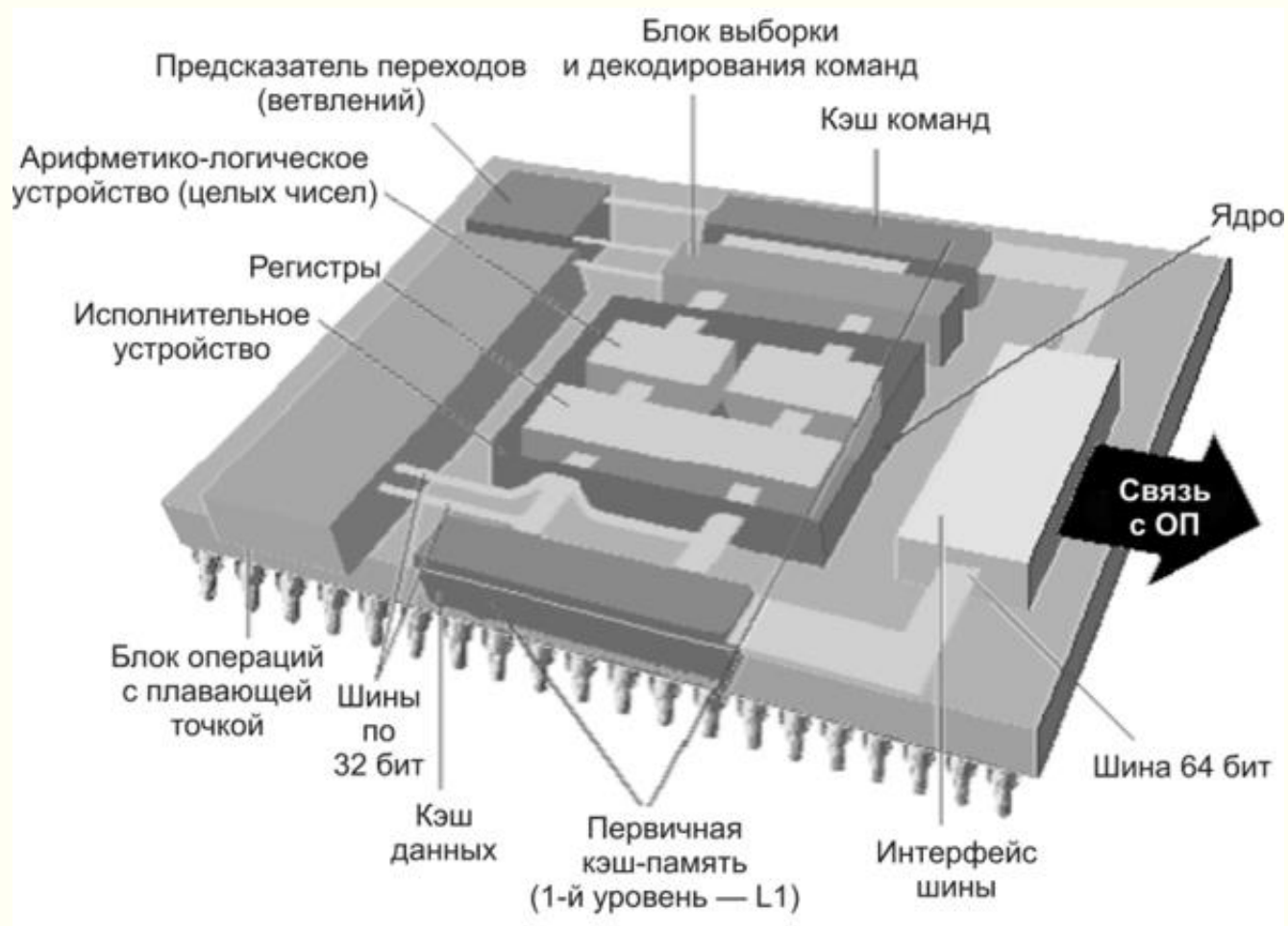
Архітектура фон Неймана (принстонська архітектура)



У 1941 р. Джон фон Нейман описав принципи роботи та обґрунтував принципову схему комп'ютера з класичною однопроцесорною архітектурою:

- **Використання двійкової системи числення в обчислювальних машинах.** Спрощує пристрої, арифметичні та логічні операції.
- **Програмне управління ЕОМ.** Робота ЕОМ контролюється програмою, що складається з набору послідовно виконуваних команд.
- **Пам'ять комп'ютера використовується для збереження не тільки даних, а й програм.** Команди програми і дані кодуються в двійковій системі числення, тому в деяких випадках над командами можна виконувати ті ж дії, що й над даними.
- **Комірки пам'яті ЕОМ мають адреси, які послідовно пронумеровані.** У будь-який момент можна звернутись до будь-якої комірки пам'яті за її адресою. Даний принцип дозволив використовувати змінні в програмуванні.
- **Можливість умовного переходу під час виконання програми.** У програмах можна реалізувати можливість переходу до будь-якої частини коду.

Основні компоненти процесора Pentium



- **control unit (CU):** виконує команди та має
 - реєстр команд (*Instruction Register*), який містить наступну інструкцію для обробки
 - *Program Counter*, що зберігає адресу наступної інструкції в пам'яті
- **Арифметико-логічний пристрій (ALU):** виконує арифметичні операції
 - Містить реєстри, в яких зберігаються дані та результат операцій
- **Блок декодування команд (instruction decoding unit):** декодує команду після її зчитування з пам'яті
- **Блок вибірки (prefetch unit):** виконує запит на зчитування команди з пам'яті
- **Інтерфейс шини (bus interface unit):** управляє взаємодією з блоком пам'яті (окремим від CPU)

Структура машинних інструкцій

- **Команда (машинна інструкція)** – це інструкція машині на виконання елементарної операції.
 - Набір операцій, які може виконувати комп'ютер, і правил їх запису утворюють **машинну мову**.

КОП	A1	A2	A3	A4
Код операції	Адреса 1-го операнда	Адреса 2-го операнда	Адреса поміщення результату	Адреса наступної команди

Приклад команди:

MOV R5,#25H

;load 25H into R5

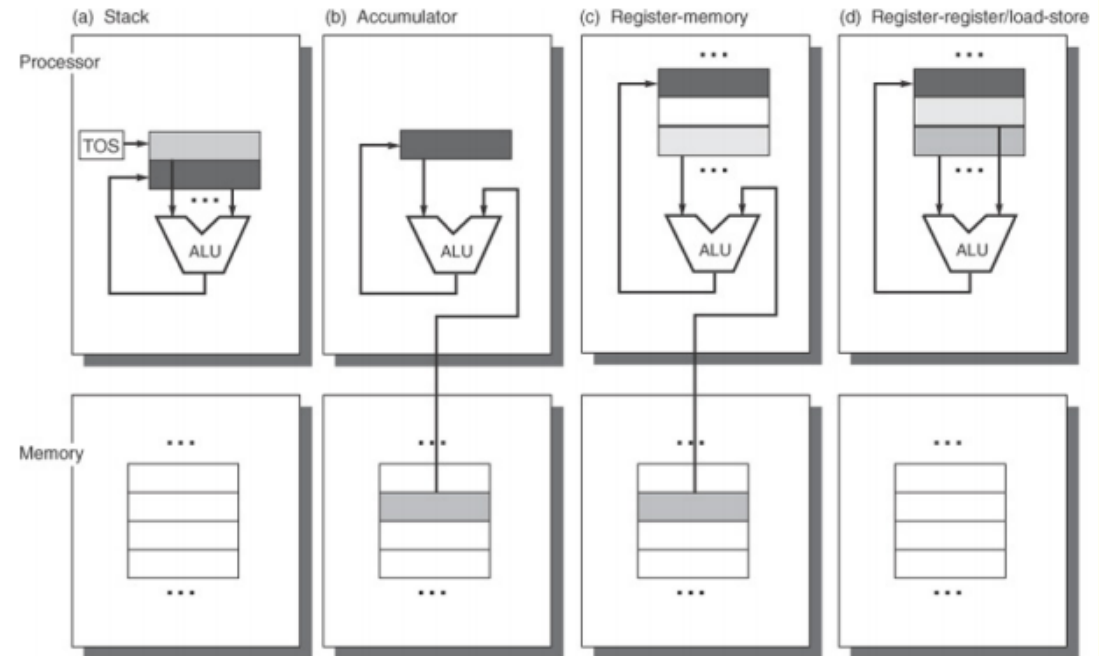
C=A+B у різних схемах зберігання (storage schemes)

1. *Accumulator*

```
load A
add B
Store C
```

2. *Stack*

```
push A
push B
add
pop C
```



© 2007 Elsevier, Inc. All rights reserved.

3. *Memory-Memory*

```
add C, A, B
```

4. *Register-Memory*

```
load R1, A
add R2, R1, B
store R2, C
```

5. *Register-Register*

```
load R1, A
load R2, B
add R3, R2, R1
store R3, C
```


КОП	нульадресная команда			
КОП	операнд	одноадресная команда		
КОП	регистр	операнд	полутораадресная команда	
КОП	регистр	регистр	операнд	полутораадресная команда
КОП	операнд	операнд	двухадресная команда	
КОП	операнд	операнд	результат	трехадресная команда
КОП	операнд	операнд	результат	

Форматы команд

Одноадресні команди

```
LOAD X
MULT Y
STORE TEMP
LOAD W
MULT U
ADD TEMP
STORE Z
```

```
MULT R1,X,Y
MULT R2,W,U
ADD Z,R1,R2
```

Двоадресні команди

```
LOAD R1,X
MULT R1,Y
LOAD R2,W
MULT R2,U
ADD R1,R2
STORE Z,R1
```

$Z = (X \times Y) + (W \times U)$



$Z = X \ Y \times \ W \ U \times \ +$



Набір інструкцій процесора Intel 4004

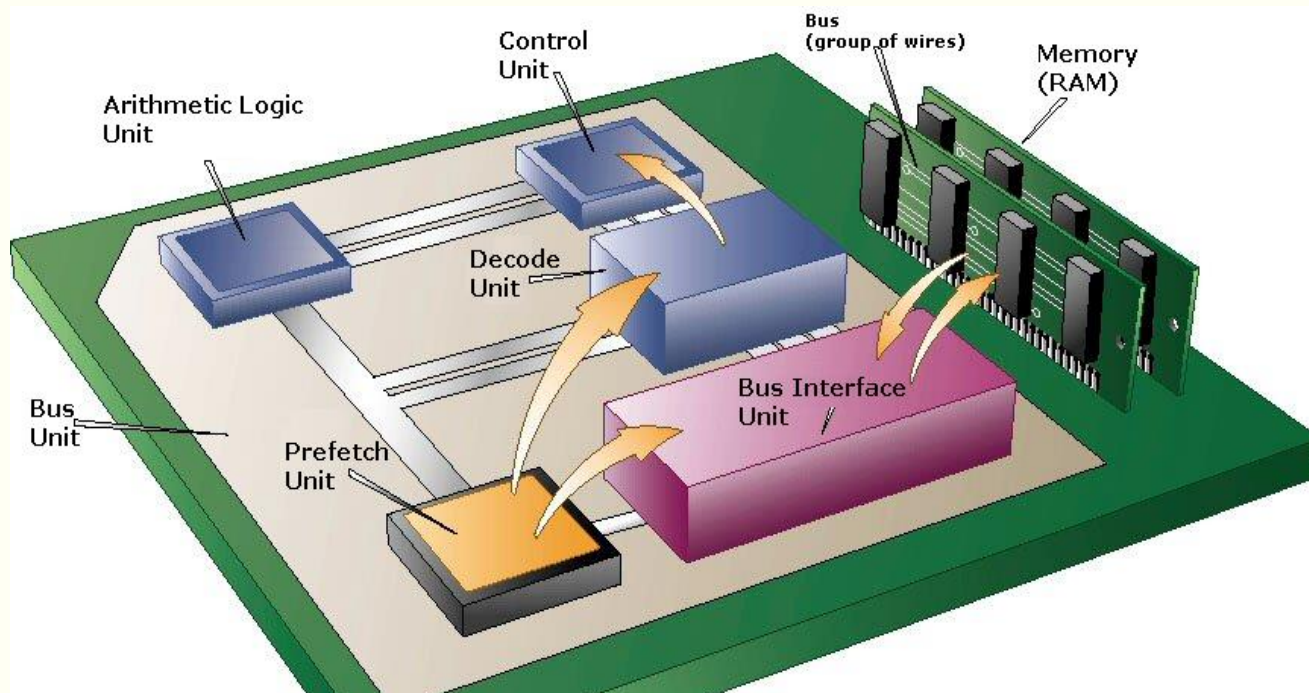
■ Має 46 інструкцій:

- Інструкції з переміщення даних (Data moving instructions).
- Арифметичні інструкції (add, subtract, increment, decrement).
- Логічні – rotate (циклічний бітовий зсув).
- Інструкції передачі управління (Control transfer) – умовний перехід, безумовний перехід, виклик підпрограми (subroutine) та повернення (return) з підпрограми.
- Інструкції вводу-виводу.
- Інші - carry flag operations, decimal adjust тощо.

■ Час виконання:

- 8-бітна інструкція виконується 10.8 нс.
- 16-бітна інструкція виконується 21.6 нс.

ЦП виконує кожну команду за кілька кроків

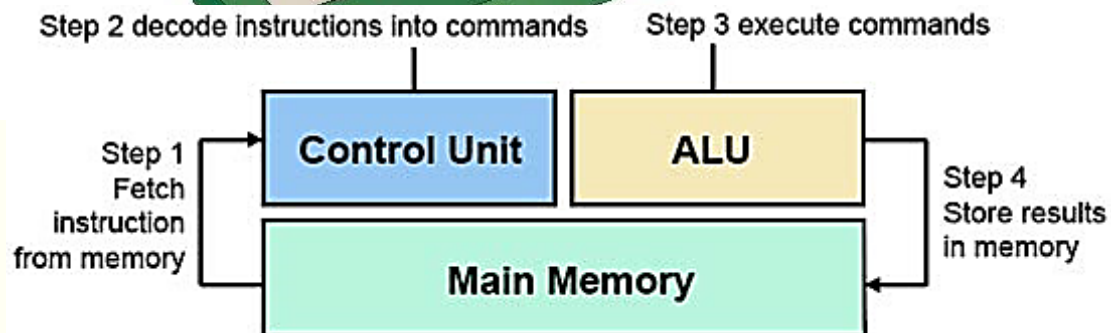


Етапи машинного циклу (*machine cycle, instruction cycle*):

- **Отримання (Fetch)** команди: блок вибірки виконує запит команди з пам'яті. Команда передається по шині в блок декодування.
- **Декодування (Decode)** команди: блок декодування дешифрує операцію та операнди, активує блок управління (control unit)
- **Виконання (Execute)** команди: блок управління надсилає значення до ALU, щоб додати, відняти його та ін.
- **Зберігання (Store)** результатів: результати операції можуть зберігатись у пам'яті

Повторюється мільйони разів за секунду.

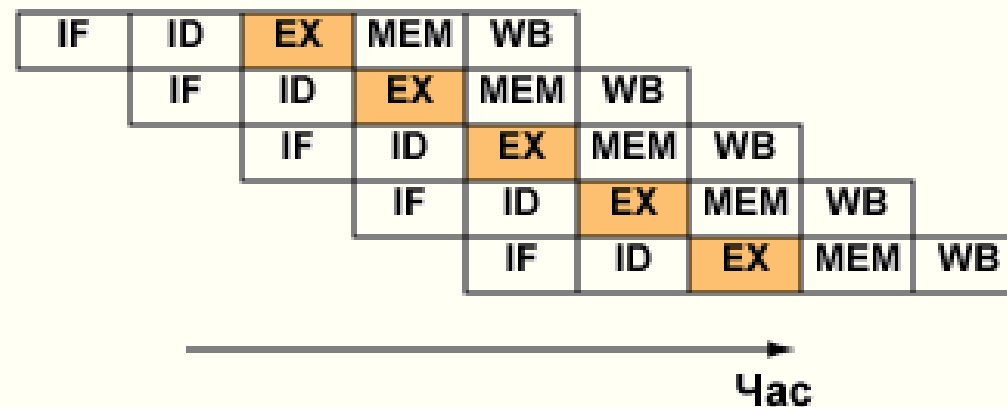
- Управляється тактовим генератором (*clock*), який формує періодичні імпульси – такти.
- Деякі інструкції потребують більше тактів процесора, ніж інші.

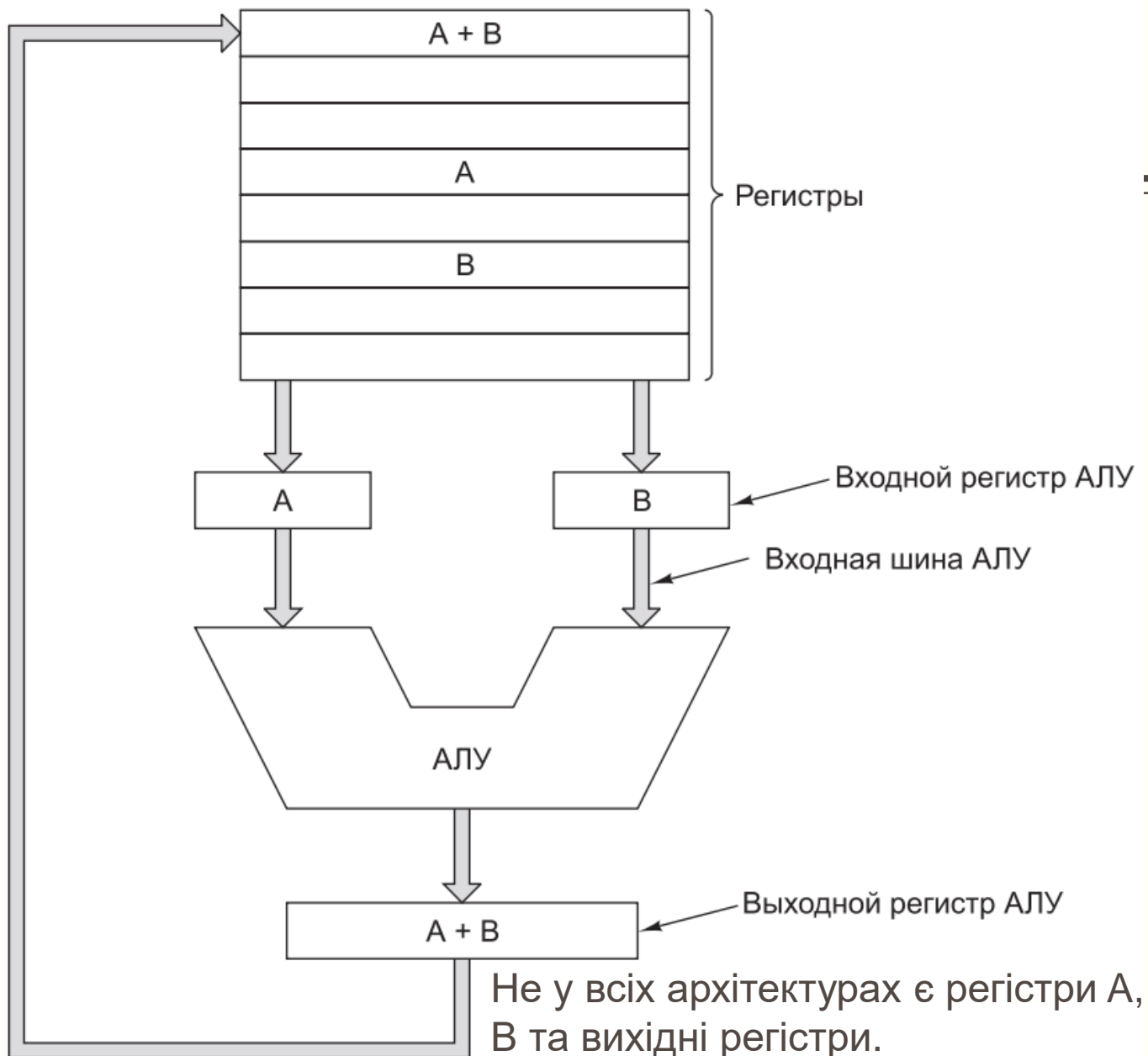


Найпростіший конвеєр команд ЦП

- Загальноприйнятою в теорії конвеєрних структур є така послідовність етапів:
 - **Вибірка** (instruction fetch, IF) — завантаження нової команди з пам'яті
 - **Декодування** (instruction decode, ID) — інтерпретація та відправка команди у відповідний операційний пристрій в залежності від різновиду операції
 - **Виконання** (execution, EX) — виконання команд та обчислення ефективної адреси пам'яті для результату або операндів, які необхідно завантажити
 - **Звертання до пам'яті** (memory, MEM) — виконання операцій з пам'яттю (для команд завантаження/збереження)
 - **Збереження результату** (writeback, WB) — збереження результату обчислень в регістрі

- Найпростіший конвеєр:



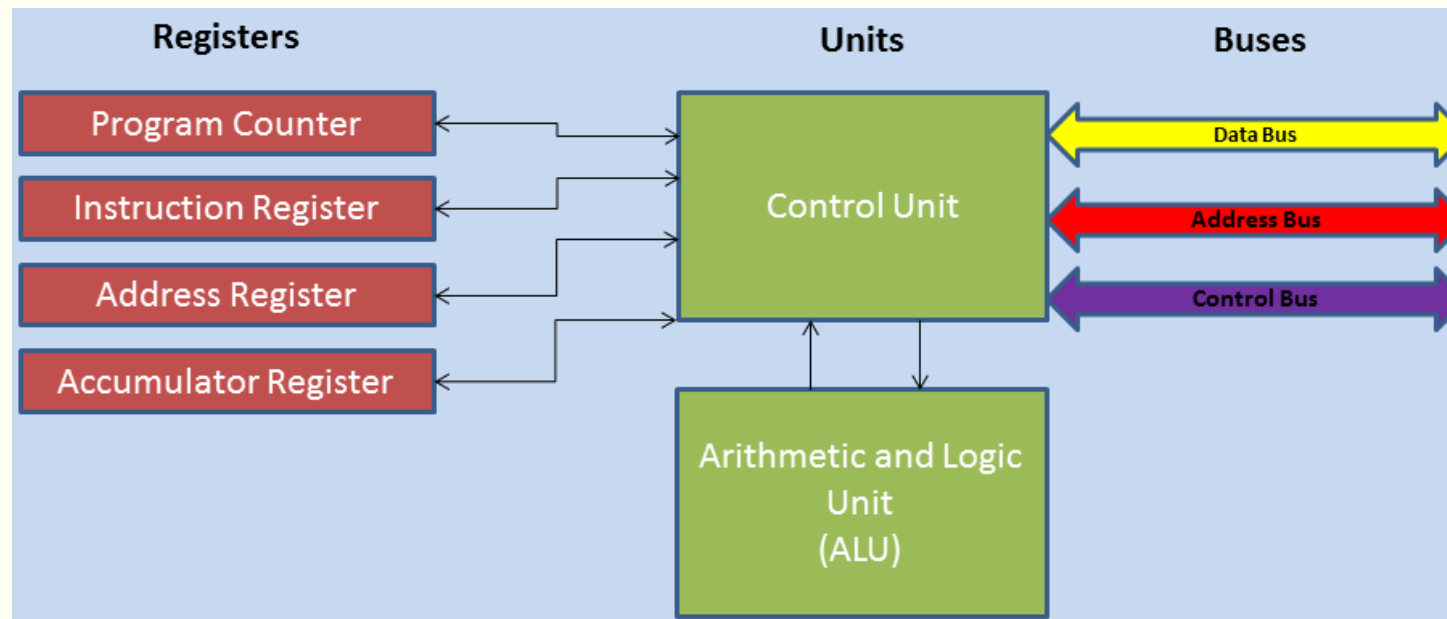


Влаштування центрального процесора

- Тракт даних складається з регістрів, арифметико-логічного пристрою (АЛУ) та кількох з'єднувальних шин.
- Вміст регістрів надходить на входні регістри АЛУ,
 - поки АЛУ виконує обчислення.
- АЛУ виконує додавання, віднімання та інші прості операції над входними даними та поміщає результат у вихідний регістр.
 - Вміст вихідного регістру може записуватись назад в один з регістрів або за потреби зберігатись у пам'яті.

Регістри процесора

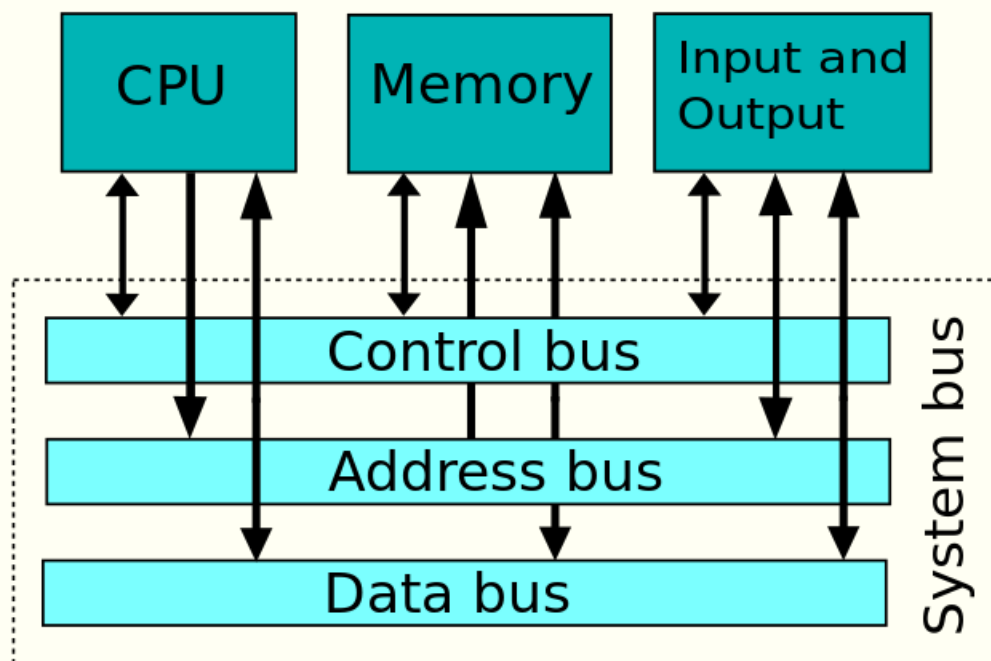
- Дуже швидка пам'ять, що використовується для прискорення виконання програм, надаючи швидкий доступ до значень, які часто використовуються.
 - Зазвичай це значення, що використовуються в процесі обчислень.
 - Зчитування/запис даних відбувається за 1 такт процесора.
 - Результат операції ALU зберігається тут і може повторно використовуватись у подальшій операції або зберігатись у пам'яті.



Чим характеризується ЦП?

- **Тактова частота процесора (clock speed)** — кількість тактів (елементарних операцій) за одиницю часу.
 - 1 Гц = 1 такт / 1 секунду
 - Процесор з вищою тактовою частотою може працювати повільніше за процесор з нижчою тактовою частотою.
 - Деякі команди вимагають більше тактів, ніж інші
 - Якщо додаток використовує більше складних команд (complex instructions), він працюватиме повільніше, ніж інший додаток.
- ЦП-чіп може містити багато **ядер**.
 - Кожне ядро є процесором, всі вони можуть працювати одночасно.
 - Кожне ядро зазвичай має власну кеш-пам'ять, проте деякі кеші можуть бути спільними.
 - Всі ядра мають спільний модуль пам'яті RAM
- **Кешування** — це використання додаткової швидкодіючої пам'яті для зберігання копій блоків інформації з основної (оперативної) пам'яті, ймовірність звернення до яких у найближчий час є високою.

Системна магістраль (шина)

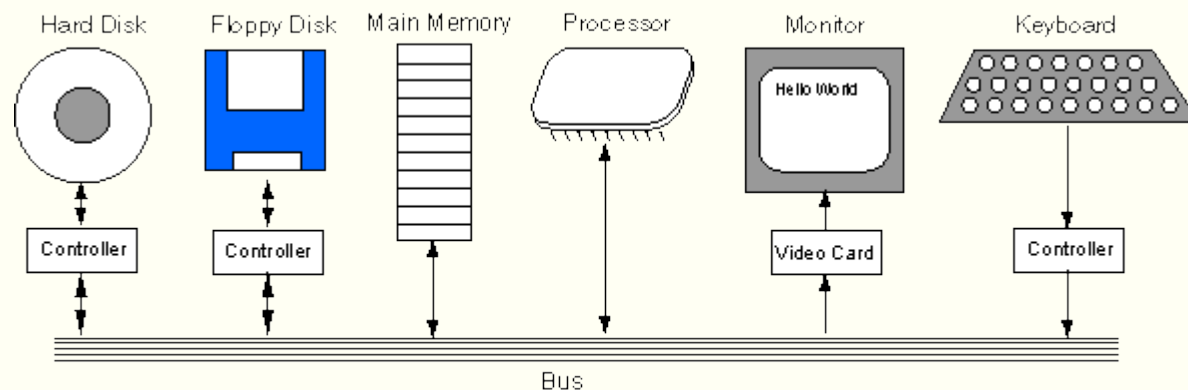


▪ Front Side Bus (FSB)

- Для процесора Pentium 4 з частотою 2.4ГГц має власну частоту всього 400МГц.

▪ Intel QuickPath Interconnect (QPI)

- Представлена в листопаді 2008р. для процесорів Intel Core i7-9xx та чипсету X58.
- Працює на частотах 2.4ГГц, 2.93ГГц, 3.2ГГц, 4.0ГГц або 4,8ГГц.



Main Components of a Computer System

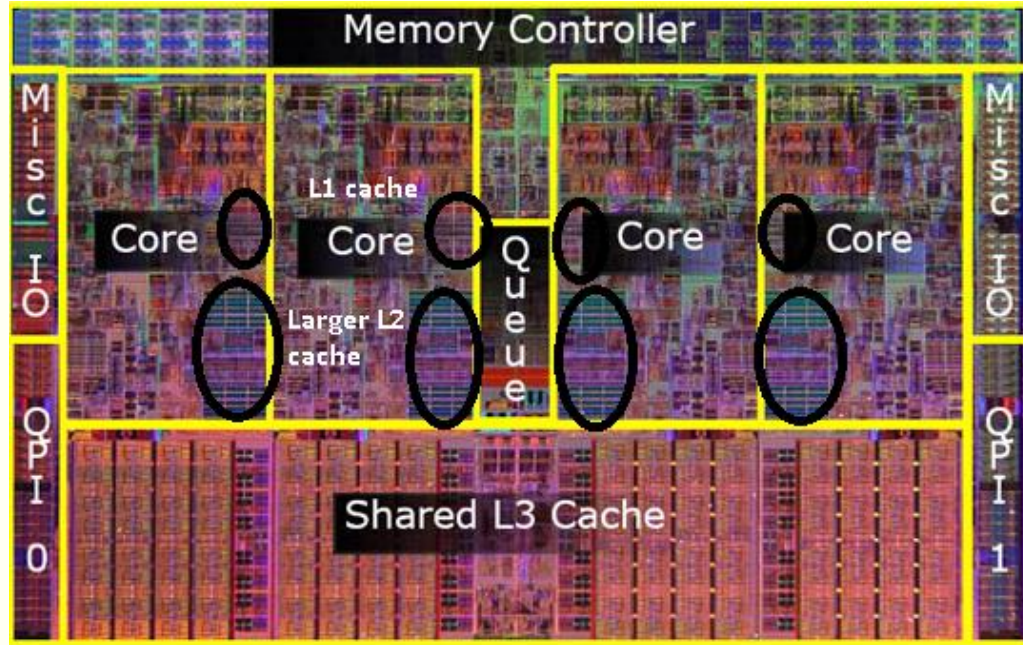
Статична (SRAM) та динамічна (DRAM) пам'ять з довільним доступом

- Кеш є статичною пам'яттю з довільним доступом.
 - Нещодавно та часто використовувані інструкції та дані кешуються.
 - Контролер пам'яті отримує дані з ОЗП (RAM) та передає їх у кеш.
 - Для кешу теж характерна ієрархія пам'яті.



Статична пам'ять	Динамічна пам'ять
Використовує транзистор для зберігання одного біту даних	Використовує окремий конденсатор для зберігання кожного біту даних
Не потребує періодичного оновлення (refreshment) для підтримки даних	Потребує періодичного оновлення для підтримки заряду в конденсаторах для даних
Має складнішу структуру, ніж DRAM	Має простішу структуру, ніж SRAM
Дорожча за DRAM	Дешевша за SRAM
Швидша за DRAM	Повільніша за SRAM
Використовується в кеш-пам'яті	Використовується в основній пам'яті

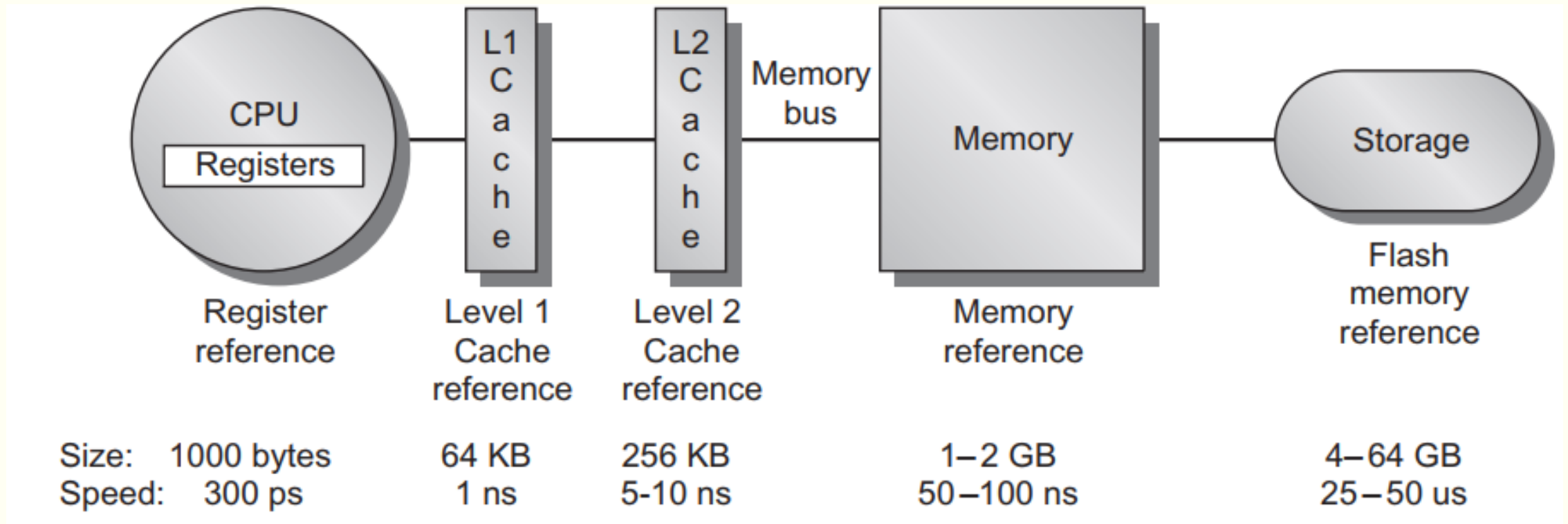
Кеш процесора



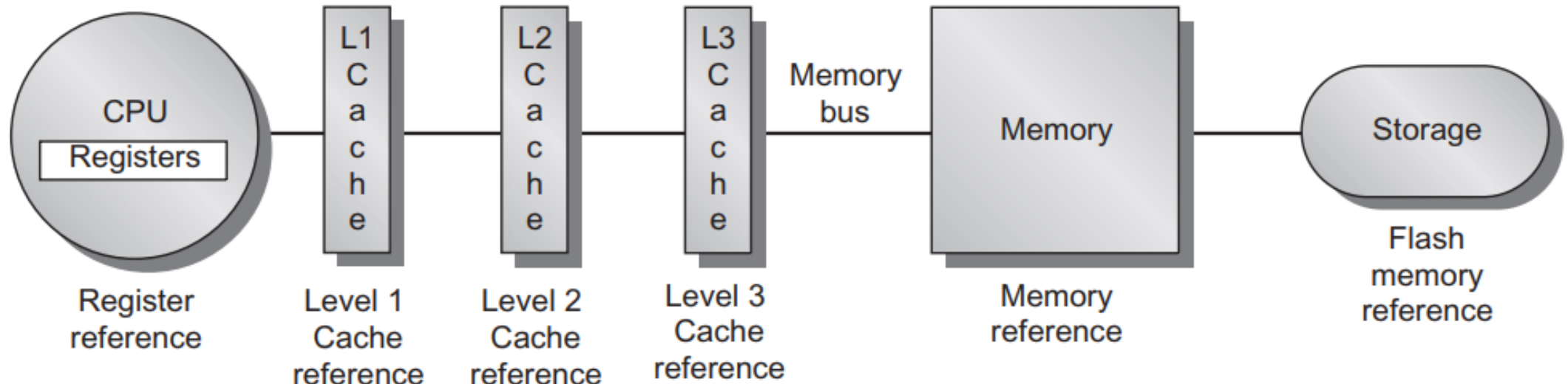
- Кожне ядро використовує 2 рівні кешу:
 - Від 2 до 64 Кб кешу першого рівня (L1) з дуже високою швидкістю.
 - ~256 Кб кешу другого рівня (L2) із середньою швидкістю.
- Всі ядра мають спільний кеш третього рівня (L3 – близько 8 Мб).
- Латентність доступу до кешу -

- Для Intel Coffee Lake (серії 8xxx, 9xxx):
 - L1 – 4 цикли (проста адреса), 5 циклів (складна (complex) адреса) – 32Кб.
 - L2 – 12 циклів – 256Кб
 - L3 – 42 цикли -
 - Основна пам'ять – 42 цикли + 51нс

Ієрархія пам'яті мобільного пристрою

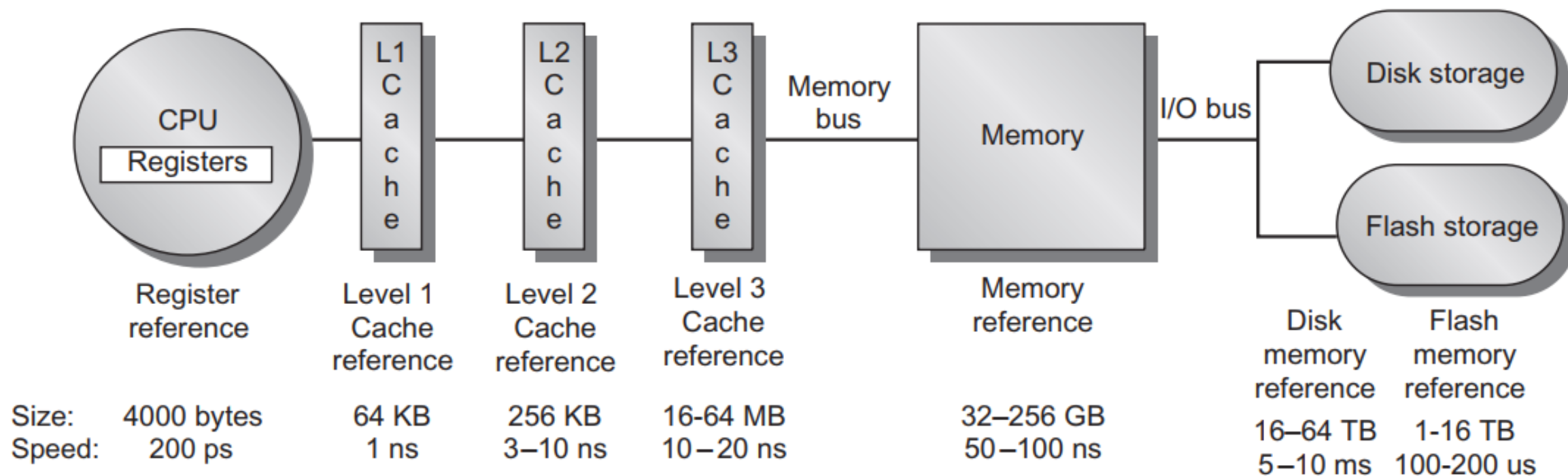


Ієрархія пам'яті для ноутбука / ПК



Laptop	Size:	1000 bytes	64 KB	256 KB	4-8 MB	4-16 GB	256 GB-1 TB
	Speed:	300 ps	1 ns	3-10 ns	10-20 ns	50-100 ns	50-100 uS
Desktop	Size:	2000 bytes	64 KB	256 KB	8-32 MB	8-64 GB	256 GB-2 TB
	Speed:	300 ps	1 ns	3-10 ns	10-20 ns	50-100 ns	50-100 uS

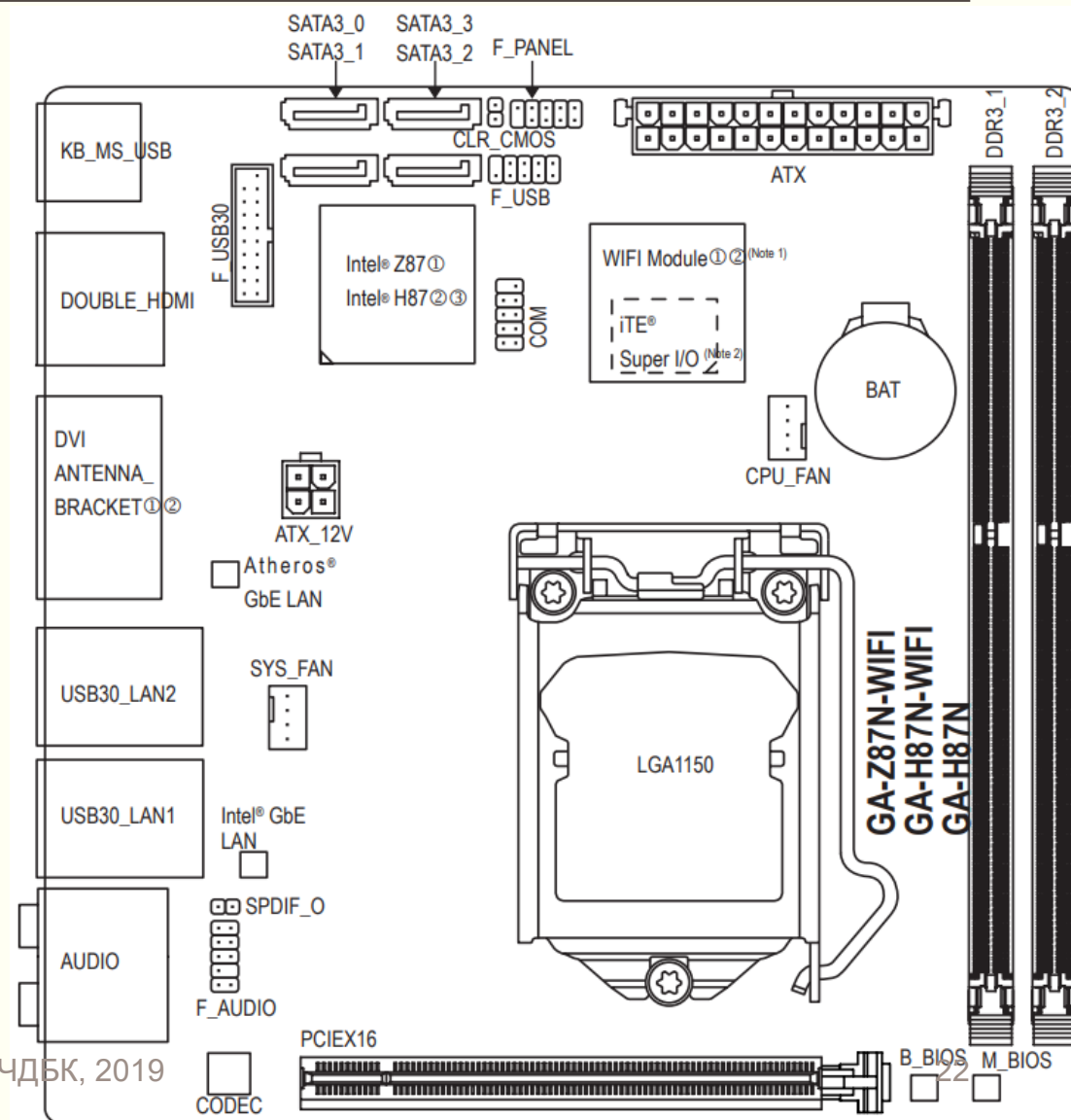
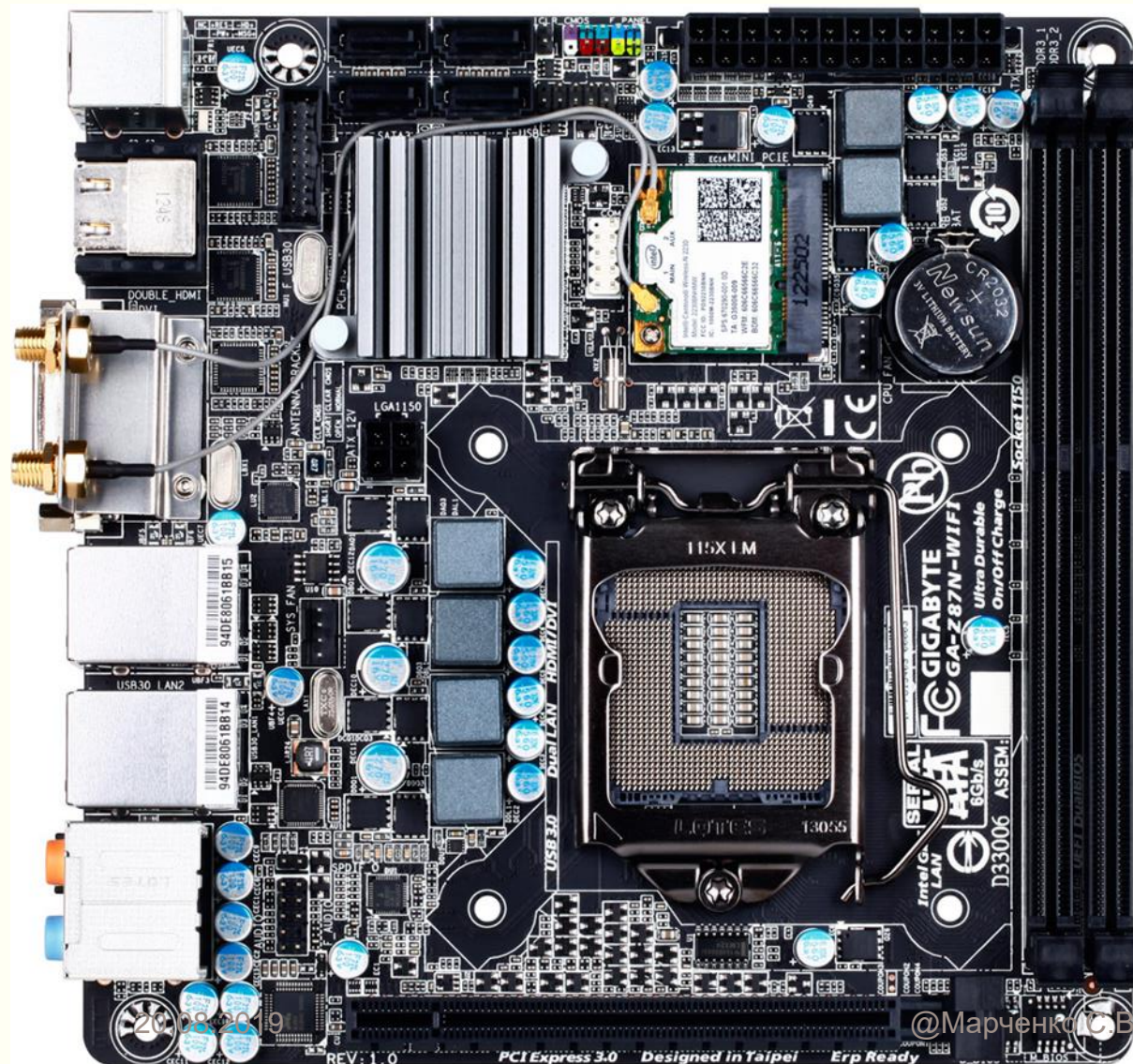
Ієрархія пам'яті для сервера



For the GA-H87N, the wireless communication module needs to be purchased additionally.

The chip is located on the back of the motherboard.

Материнська плата Gigabyte Z87N-WIFI



@Марченко С.В., ЧДБК, 2019

Теми доповідей



Порівняння архітектур процесорів CISC, RISC, MISC



Порівняння гарвардської та принстонської архітектур



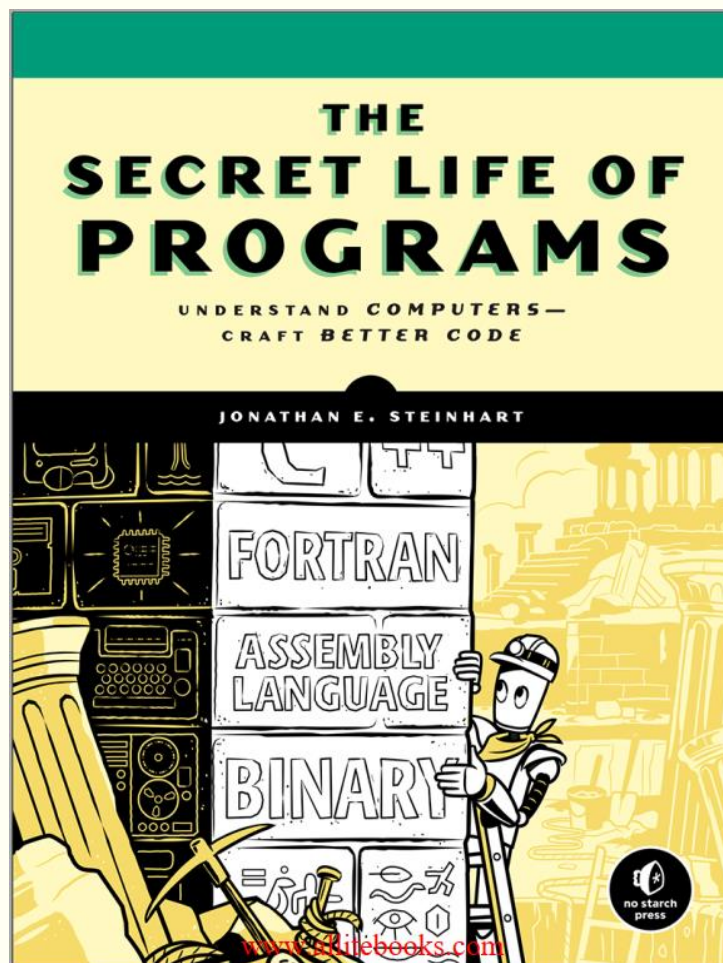
Конвеєрні структури центральних процесорів



Типи шин у сучасних комп'ютерних системах

- Більше зможете дізнатись у предметі «Архітектура ЕОМ»

Де почитати та подивитись?



coursera

Контрольні запитання?

- Як пропонує організовувати обчислювальні пристрої архітектура фон Неймана?
- Що таке машинний цикл та як він виконується?
- Опишіть ієрархію пам'яті для сучасних комп'ютерних систем.



ДЯКУЮ ЗА УВАГУ!

Наступне запитання: логіка роботи цифрових систем