



Technische Universität München
Fakultät für Informatik
Rechnerarchitektur-Praktikum
SS 2015

SPEICHERTECHNOLOGIE – DRAM-INTERFACE

PFLICHTENHEFT

Bearbeitet von:

Mahdi Sellami
Niklas Rosenstein
Christoph Pflüger

17.05.2015



INHALT

1. IST-ZUSTAND.....	3
2. SOLL-ZUSTAND.....	4
3. AUFGABENSTELLUNG	4
4. ROLLENVERTEILUNG.....	5
5. ZEITPLANUNG	5

1. IST-Zustand

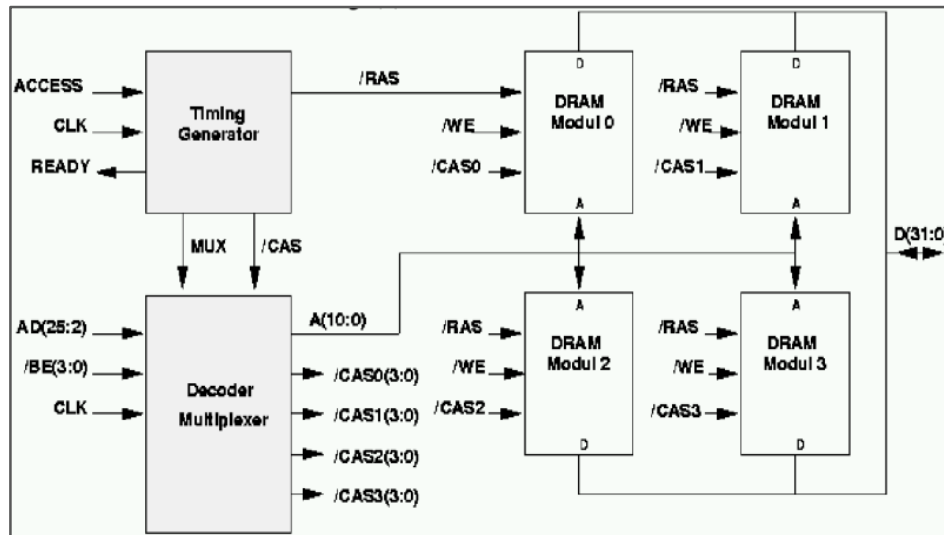


Abb. 1: Gegebenes Modul inkl. Ein- und Ausgänge

Gegeben ist ein DRAM-Speicherbaustein (siehe Abb. 1) bestehend aus den folgenden Teilbausteinen:

▪ Timing Generator

Dieses Modul enthält CLK und ACCESS als Eingänge, und /RAS, /CAS, MUX und READY als Ausgänge. Mithilfe eines Taktes von 40 MHz auf das Zugriffssignal ACCESS sichert es eine korrekte und zulässige Abfolge von /RAS, /CAS und MUX zu. Außerdem gibt es für die angeschlossene Hardware ein Bestätigungssignal READY im Falle eines Lese- bzw. Schreibzugriffs.

▪ DRAM-Module

Jedes DRAM-Modul repräsentiert einen kleineren Teil des Speichers. Jedes Modul enthält 4M*32Bit, der Gesamtspeicher also 16M*32Bit. Jedes Modul hat einen Eingang A(10:0) auf das die zu lesende oder zu schreibende Adresse in zwei Teilen übertragen wird. Der erste Teil der Adresse steht zur fallenden Taktflanke von /RAS zur Verfügung. Der zweite Teil der Adresse zur fallenden Taktflanke von /CASx. Zu diesem Zeitpunkt werden auch die zu schreibenden oder lesenden Bytes in /CASx übertragen. Zwischen Schreib- und Leseoperation wird mithilfe von /WE unterschieden. Die Daten werden bei einem Leseprozess auf den Datenbus D(31:0) gelegt und bei einem Schreibprozess vom Datenbus gelesen.

▪ Decoder Multiplexer

Der Demuxer übernimmt die Aufteilung der Zeilen- und Spaltenadresse in AD(25:2) zu A(10:0) und die Weiterleitung von /BE in /CASx an das korrekte DRAM-Modul.

2. SOLL-Zustand

Im Rahmen dieses Projektes soll der **Decoder Multiplexer** der geplanten DRAM Schaltung umgesetzt werden. Dies soll dabei in Form einer Simulation mithilfe der Hardwarebeschreibungssprache VHDL geschehen. Zur Vereinfachung sollen beschleunigte Datenzugriffe (Fast-Page oder EDO) und der "Refresh" nicht berücksichtigt werden.

3. Aufgabenstellung

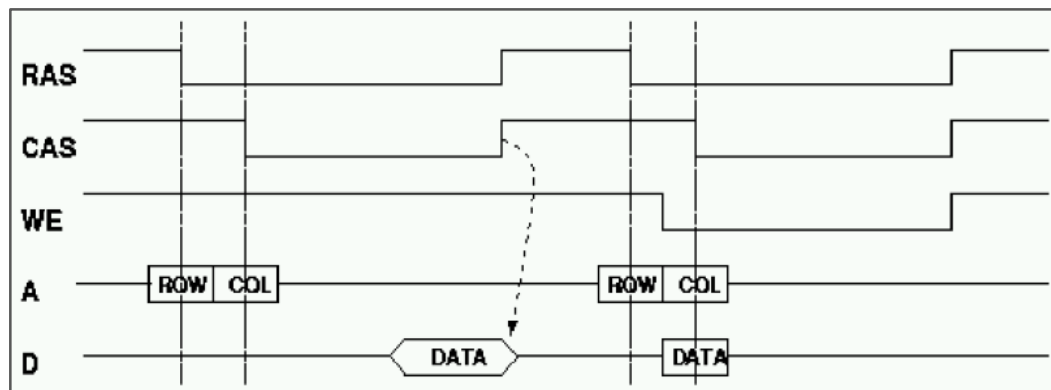


Abb. 2: Zeitliche Abgrenzung von Flanken

/F001/ Spaltung der Adresse von AD(25:2) in /A(10:0)

Der Decoder Multiplexer muss die 22-Bit Adresse in /AD(25:2) gemultiplext in zwei Teil-Adressen übertragen. Zuerst die höherwertigen 11 Bits der Zeilenadresse zur fallenden Flanke von /RAS, dann die 11 niederwertigen Bits der Spaltenadresse zur fallenden Flanke von /CAS (siehe Abb. 2).

/F002/ Selektieren des DRAM-Moduls

Abhängig von der Adresse in AD(25:2) muss das korrekte DRAM-Modul selektiert und zur fallenden Flanke von /CAS /BE(3:0) via /CASx(3:0) an das entsprechende DRAM-Modul übertragen werden (siehe Abb. 2).



4. Rollenverteilung

Im Rahmen dieses Projektes wurden Aufgaben an Teilnehmer und Bearbeiter dieses Projektes verteilt:

Projektleiter	Christoph Pflüger
Dokumentation	Mahdi Sellami
Vortrag	Niklas Rosenstein

5. Zeitplanung

Vorbereitung	08.05.2015
Pflichtenheft	17.05.2015
Spezifikation	07.06.2015
Implementierung	28.06.2015
Ausarbeitung	12.07.2015
Vortrag	27.07. – 07.08.2015