



Technische Universität München
Fakultät für Informatik
Rechnerarchitektur-Praktikum
SS 2015

SPEICHERTECHNOLOGIE – DRAM-INTERFACE

PROJEKTLEITERBERICHT

Bearbeitet von:

Christoph Pflüger

App. 20
St-Nikolaus-Platz 3
80939 München

12.07.2015



INHALTSVERZEICHNIS

1. EINLEITUNG	3
2. PFLICHTENHEFT	3
3. SPEZIFIKATION	3
4. IMPLEMENTIERUNG	4
5. ZUSAMMENFASSUNG	4



1. Einleitung

Der Verlauf des 2. Projektes im Rahmen des Praktikums der Rechnerarchitektur, was zum Ziel hatte, den Decoder Multiplexer eines DRAM Interfaces mithilfe der Hardwarebeschreibungssprache VHDL zu simulieren, kann zum größten Teil als sehr erfolgreich eingestuft werden. Diese Tatsache kann auf mehrere Faktoren zurückgeführt werden, welche im Rahmen dieses Dokumentes im Folgenden chronologisch dargestellt werden. Des Weiteren zielt dieses Dokument darauf ab, Probleme und Hürden aufzuzeigen, denen sich das Team während des Projektes stellen musste, sodass diese in zukünftigen Projekten vermieden werden können.

2. Pflichtenheft

Nach einer kurzen Kennenlernphase und der Übergabe des Projektes durch den Tutor des Teams, startete das Projekt am 08. Mai 2015 im Rahmen eines Treffens in der MI-Magistrale der Universität. Die Tagesordnungspunkte waren u.a. das Herausarbeiten einer Anforderungsanalyse des Projekts und die Festlegung der Rollen aller Beteiligten. Im Fokus des Treffens stand auch das Bestreben, die ersten Ergebnisse in Reinschrift zu übertragen, um diese bis zur Deadline am 17. Mai 2015 in einem Pflichtenheft zu verankern zu können. So wurden hinsichtlich der festgelegten Rollenverteilung und der bisher herausgearbeiteten Ergebnissen weitere Aufgaben verteilt, welche bis spätestens zwei Tage vor Abgabetermin durchgeführt werden sollten. Diese Art der Aufgabenverteilung stellte sich als sehr positiv heraus. Da alle Studenten Feedback zu den Arbeitsergebnissen der anderen abgeben konnten. Die 1. Phase des Projektes war somit im Team abgeschlossen.

Während dieser Phase wurden auch Standards für das gesamte Projekt festgelegt. So wurden u.a. viele Elemente des Workflows für weitere Phasen übernommen, es wurden Aufbau und Design aller Dokumente erarbeitet und es gab eine Einigung auf Plattformen zur Kommunikation und zum Austausch von Daten.

3. Spezifikation

Die 2. Phase verlief ähnlich der Zuvorigen. So traf sich das Team am 29. Mai 2015 erneut in der MI-Magistrale der Universität, um den Inhalt der Spezifikation, welche bis zum 07. Juni 2015 abzugeben war, zu besprechen. Da in diesem Schritt bereits erste Informationen zur späteren Implementierung enthalten waren, traten für das Team erste Probleme auf. Grund dafür war eine aus Sicht des Teams ungenaue Projektbeschreibung, wodurch die tatsächliche Funktionalität mancher Ein- und Ausgänge des Decoder Multiplexers nicht geklärt werden konnte. So war eines der Aufgaben, am Tag der Abgabe der Spezifikation, die Einigung auf eine Theorie, wie Ein- und Ausgänge im Decoder Multiplexer verwaltet werden könnten.



Eine weitere sehr zeitaufwendige Thematik war die Erarbeitung eines zweiten Lösungsansatzes. Als Problem stellte sich hauptsächlich der aktuelle Wissensstand des Teams im Bereich VHDL heraus. Aufgrund der geringen Erfahrung im Umgang mit VHDL, konnte kein alternativer Programmablauf vorgeschlagen werden, sondern lediglich eine alternative Strukturierung des VHDL Programms.

4. Implementierung

Das Problem der ungenauen Projektbeschreibung zeichnete sich auch im Verlauf der Implementierung ab. Das Team traf sich erneut am 18. Juni 2015 in der MI-Magistrale der Universität, um den Programmablauf der VHDL Simulation zu besprechen und eine erste Version des benötigten Makefiles für das VHDL Programm zu erstellen. Mithilfe Aufgabenverteilung konnte bis zum 26. Juni 2015 eine erste Version der Simulation geschrieben werden. Problematiken in der angedachten Struktur, die bereits in der Spezifikation festgehalten wurde, konnten in einem Gespräch thematisiert werden. So musste die in der Spezifikation fixierte Theorie der Verwaltung von Ein- und Ausgängen des Decoder Multiplexers überarbeitet werden und neben der Implementierung auch eine Revision der Spezifikation angefertigt werden.

Im letzten Schritt dieser Phase ging es um die Implementierung einer geeigneten Testbench für das fertiggestellte VHDL Programm. Da es auch hier den Beteiligten des Projektes an Erfahrung fehlte, handelte es sich um einen zeitaufwendigen Prozess, welcher aber letztendlich durch genügend Recherche gestemmt werden konnte.

5. Zusammenfassung

Abschließend lässt sich sagen, dass das Projekt durch gute Teamarbeit, guter Arbeitsmoral und gutes Zeitmanagement erfolgreich bearbeitet werden konnte. Verständnisfragen konnten stets durch sehr zeitnahe Gespräche mit allen Beteiligten geklärt werden, wodurch die Kontinuität und der Erfolg des Projektes zu keinem Zeitpunkt wirklich gefährdet war. Da das Team aus Mitgliedern mit unterschiedlichen Erfahrungen besteht und jedes der Mitglieder einen individuellen Fokus mit sich bringt, konnten alle Phasen stets zeitgerecht abgeschlossen werden. So konnten die einzelnen Teilaufgaben durchgehend auf verschiedene Mitglieder aufgeteilt werden, wodurch nie ein Mitglied gezwungen war, eine Aufgabe in einem Bereich zu erfüllen, in welchem die Person keine Erfahrung hatte. Durch geplante Teambesprechungen konnten zudem alte und neu erworbene Erfahrungen immer unter den Mitgliedern ausgetauscht werden, wodurch der Teamgeist zusätzlich gestärkt werden konnte.