

# Compilation and diagnosis for discrete controller

## Compilation et diagnostics pour la synthèse de contrôleurs discrets

Seydou Coulibaly

Encadré par : Gwenaél Delaval

Grenoble – juin 2016



# Introduction

On s'intéresse aux diagnostics de la compilation d'un langage de programmation utilisant la synthèse de contrôleurs discrets. Le langage dont on parlera se nomme Heptagon/BZR (*Nicolas B, Gwenaël D, 2013*). Les résultats possibles de sa compilation sont variés avec l'utilisation de la synthèse. On observe ainsi souvent des échecs de la synthèse de contrôleurs marqués par plusieurs causes et des problèmes de spécification au niveau du système contrôlé.

# Synthèse de contrôleurs discrets

- **Definition**

La synthèse de contrôleurs discrets est une méthode pour contrôler un système par un contrôleur ou une logique de contrôle.

# Synthèse de contrôleurs discrets

## Principes

Modèle de système  
variables d'entrées  
propriétés à assurer



Contrôleur sur le système



Système contrôlé

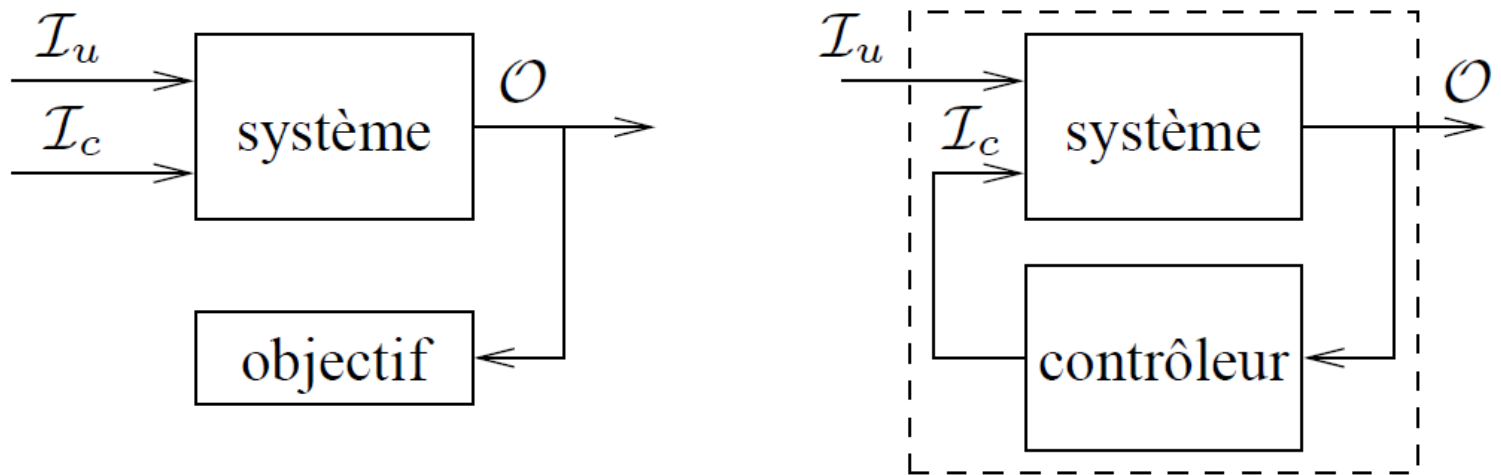
# Synthèse de contrôleurs discrets

## Principes

Les variables d'entrées sont classées en deux catégories, les variables ou événements contrôlables et les événements incontrôlables (capteurs, actions d'utilisateurs, des événements extérieurs).

# Synthèse de contrôleurs discrets

## Schéma



# Synthèse de contrôleurs discrets

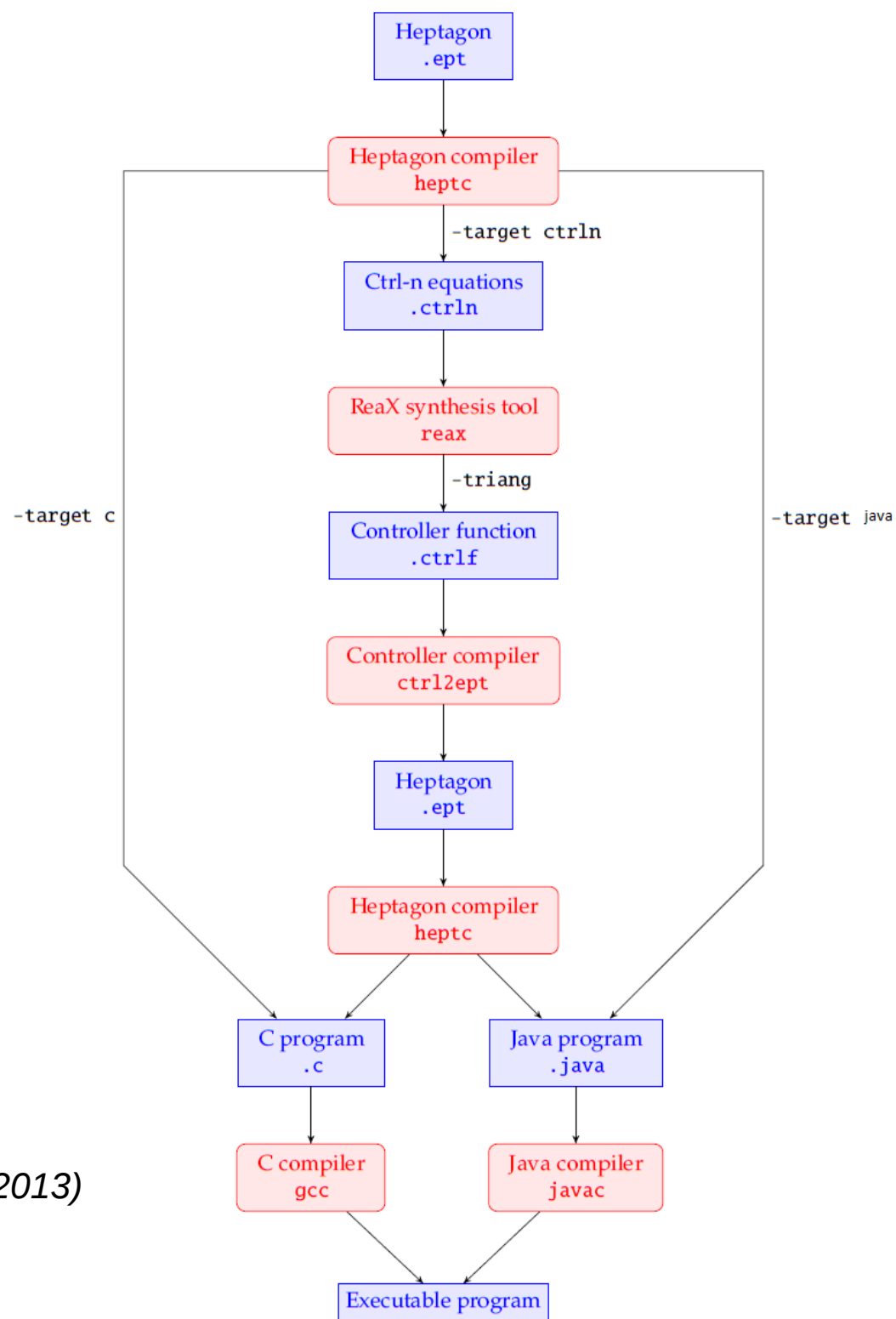
## Outils

- Sigali
- Reax

# Le Langage Heptagon/BZR

Heptagon/Bzr est un langage synchrone flots de données intégrant Reax dans sa compilation. Il décrit les contraintes relatives aux propriétés devant être assurées par la synthèse de contrôleurs grâce à un mécanisme de contrat. Le schéma de sa chaîne de compilation est illustré ci-dessous.





*Heptagon/bzr manual (2013)*

# Diagnostic pour la synthèse de contrôleurs discrets

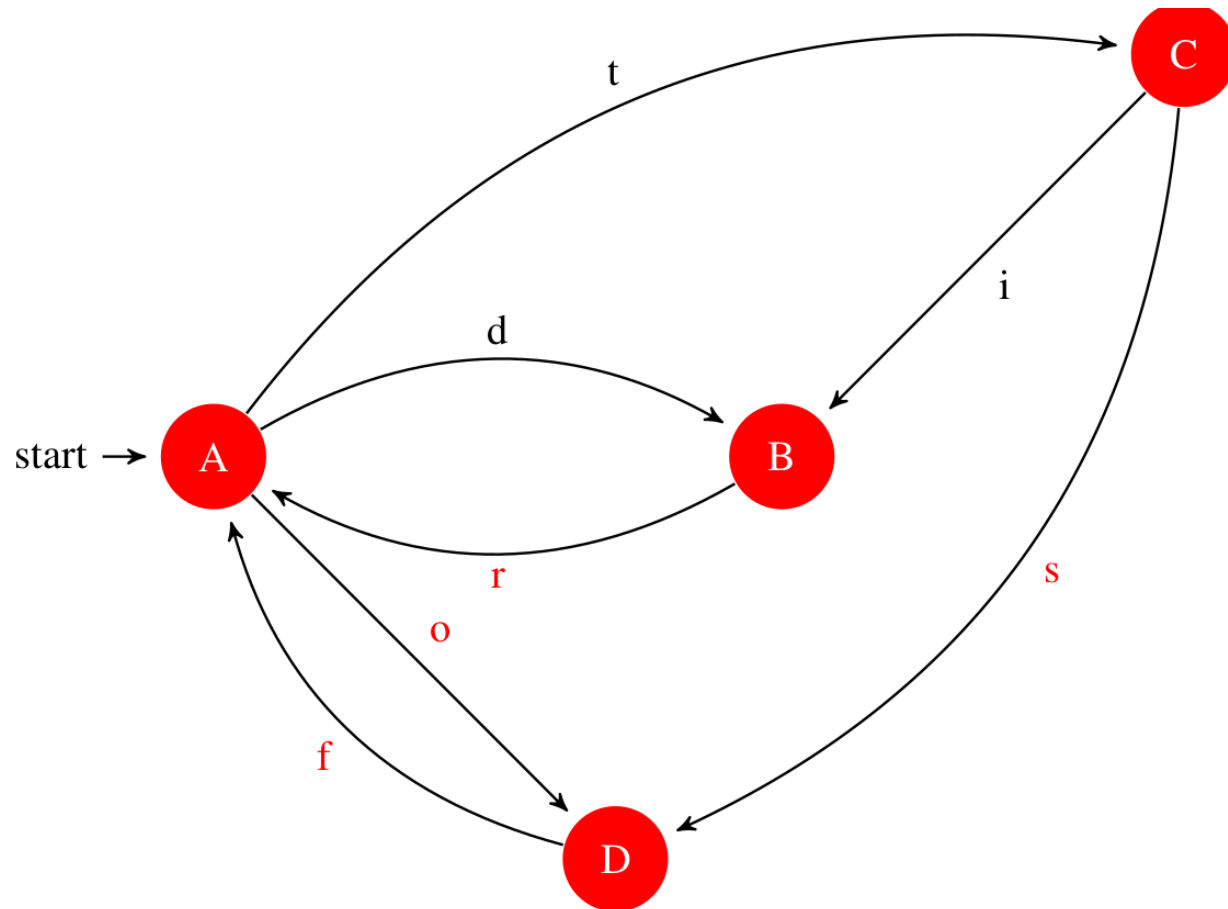
La synthèse de contrôleur est une méthode de conception pour contrôler un système. Pour y parvenir, la synthèse utilise et n'a l'habilité d'agir que sur les événements contrôlables. Il arrive souvent que la synthèse n'ait plus d'options de valeurs de variables contrôlables pour contraindre une contrainte, on parle alors de l'échec de la synthèse.

# échec la synthèse de contrôleurs discrets

- Présence d'une propriété non assurable par la synthèse
- Présence de conflit entre certaines propriétés

# Exemple

Soit l'automate suivante dont les entrées contrôlables colorée en rouge et les entrées incontrôlables du Système en noir. On souhaite mettre en évidence les deux types d'échecs de la synthèse de contrôleurs discrets cité ci-dessus.



# Exemple

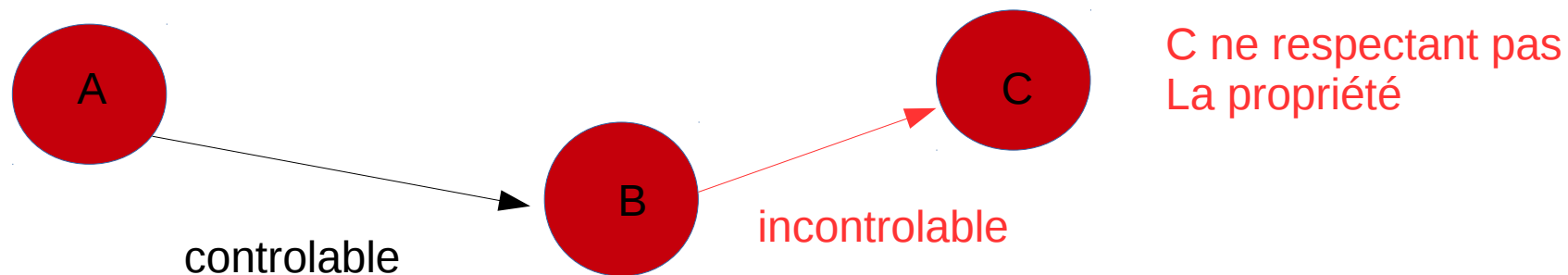
- Premièrement, une propriété impossible d'être assuré par la synthèse de contrôleurs serait par exemple d'imposer au système de ne jamais y aller dans l'état à **B**.
- Et le dernier cas :
  1. Jamais avoir l'événement "t" dans l'état D ;
  2. Jamais avoir l'événement "i" dans l'état A ;

*Remarque : on peut ainsi remarquer toute la différence entre un problème de vérification et un problème de la synthèse de contrôleurs.*

# Diagnostic pour la synthèse de contrôleurs discrets

Par conséquent, pour résoudre ce problème d'échec de la synthèse de contrôleurs discrets, il faudra au préalable détecter la ou les mauvaises propriétés en les testant une à une, deux à deux jusqu'au nombre de propriétés disponible afin de fournir de meilleures spécifications.

Par ailleurs, il arrive que la synthèse de contrôleurs discrets marche mais qu'il n'arrive tout de même pas à respecter certaines spécifications du système initiale. Ces cas arrivent généralement lorsqu'il veut prévenir d'un éventuel échec.



# Conclusion

La synthèse de contrôleur discrets est une méthode qui se révèle très efficace dans Heptagon/BZR pour une meilleure gestion de contrôle de systèmes réactif. Par contre, elle fournit souvent des résultats négatifs de spécification de systèmes obtenu ou de problème de modélisation entre système et propriétés ; des problèmes difficiles à détecter et grâce aux diagnostics, on peut ainsi implémenter un algorithme de détection et de suggestions de solutions à partir des causes fréquentes d'échec de la sythèse de contrôleur.

*Merci ...*