

Projeto SisRAS2:
SIStemas Computacionais com Capacidade de Confiabilidade,
Disponibilidade e Utilidade (RAS) 2
(Processo CNPq nº 182980/2013-8)

Relatório de Atividades de Bolsista SisRas2
(Junho de 2013 a Janeiro de 2014)

Nome do Bolsista:
Chrystian de Sousa Guth
Universidade Federal de Santa Catarina

Prof. Dr. Ricardo Augusto da Luz Reis
Universidade Federal do Rio Grande do Sul
Coordenador do Projeto

Florianópolis

Janeiro de 2014

1 Relatório de Atividades do Bolsista

1.1 Identificação

- **Nome:** Chrystian de Sousa Guth;
- **Local de Trabalho:** Universidade Federal de Santa Catarina;
- **Título do Plano de Trabalho:** Avaliação do Impacto do Atraso das Interconexões na Análise de *Timing* no Contexto de uma Ferramenta de *Gate Sizing*;
- **Tipo de Bolsa:** ITI-A;
- **Número do Processo da Bolsa:** 182980/2013-8;
- **Período:** Julho de 2013 - Janeiro de 2014;
- **Orientador:** José Luís Almada Güntzel (INE/UFSC);
- **Coordenador do Projeto:** Ricardo Augusto da Luz Reis (II/UFRGS).

1.2 Resumo

Este documento relata as atividades realizadas pelo bolsista Chrystian de Sousa Guth no período de Junho de 2013 a Janeiro de 2014, no contexto de bolsa ITI-A associada ao “Projeto SisRAS2 - Sistemas Computacionais com Capacidade de Confiabilidade, Disponibilidade e Utilidade (RAS) 2”.

Conforme previsto no plano de trabalho da bolsa, entre Junho de 2013 e Janeiro de 2014 o bolsista realizou um estudo para compreensão das técnicas de análise de *timing* estática (*STA: Static Timing Analysis*) aplicadas no contexto de uma ferramenta de otimização para fluxo industrial.

Nos primeiros meses (entre Junho e Setembro de 2013), o aluno desenvolveu uma ferramenta de STA utilizando a infraestrutura disponibilizada pela competição de *sizing* discreto do ISPD 2013 (OZDAL et al., 2013), que levava em consideração o atraso das interconexões e a degradação do *slew* através destas. Posteriormente, entre Outubro e Novembro de 2013, foram realizados experimentos a fim de validar a ferramenta, a qual foi documentada na forma de uma monografia de conclusão de curso intitulada “Análise de *Timing* Estática e a Avaliação do Impacto do Atraso das Interconexões em Circuitos Digitais”, com defesa realizada em Novembro de 2013. Finalmente, entre Dezembro de

2013 e Janeiro de 2014, a infraestrutura implementada até então foi incorporada à uma técnica de otimização para fluxo *Standard Cell* conhecida como *gate sizing*.

Palavras-chave: *automação de projeto eletrônico, biblioteca standard cell, análise de timing estática, complementary metal-oxide semiconductor, gate sizing.*

1.3 Introdução

1.4 Materiais e Métodos

1.5 Revisão Bibliográfica

1.6 Experimentos Desenvolvidos, Resultados e Discussões

Considerações finais

Sed consequat tellus et tortor. Ut tempor laoreet quam. Nullam id wisi a libero tristique semper. Nullam nisl massa, rutrum ut, egestas semper, mollis id, leo. Nulla ac massa eu risus blandit mattis. Mauris ut nunc. In hac habitasse platea dictumst. Aliquam eget tortor. Quisque dapibus pede in erat. Nunc enim. In dui nulla, commodo at, consectetur nec, malesuada nec, elit. Aliquam ornare tellus eu urna. Sed nec metus. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Pellentesque habitant morbi tristique senectus et netus et malesuada fames ac turpis egestas.

Phasellus id magna. Duis malesuada interdum arcu. Integer metus. Morbi pulvinar pellentesque mi. Suspendisse sed est eu magna molestie egestas. Quisque mi lorem, pulvinar eget, egestas quis, luctus at, ante. Proin auctor vehicula purus. Fusce ac nisl aliquam ante hendrerit pellentesque. Class aptent taciti sociosqu ad litora torquent per conubia nostra, per inceptos hymenaeos. Morbi wisi. Etiam arcu mauris, facilisis sed, eleifend non, nonummy ut, pede. Cras ut lacus tempor metus mollis placerat. Vivamus eu tortor vel metus interdum malesuada.

Sed eleifend, eros sit amet faucibus elementum, urna sapien consectetur mauris, quis egestas leo justo non risus. Morbi non felis ac libero vulputate fringilla. Mauris libero eros, lacinia non, sodales quis, dapibus porttitor, pede. Class aptent taciti sociosqu ad litora torquent per conubia nostra, per inceptos hymenaeos. Morbi dapibus mauris condimentum nulla. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Etiam sit amet erat. Nulla varius. Etiam tincidunt dui vitae turpis. Donec leo. Morbi vulputate convallis est. Integer aliquet. Pellentesque aliquet sodales urna.

Referências

OZDAL, M. M. et al. An improved benchmark suite for the ispd-2013 discrete cell sizing contest. In: *Proceedings of ACM International Symposium on Physical Design*. [S.l.: s.n.], 2013. p. 168–170. Citado na página [1](#).