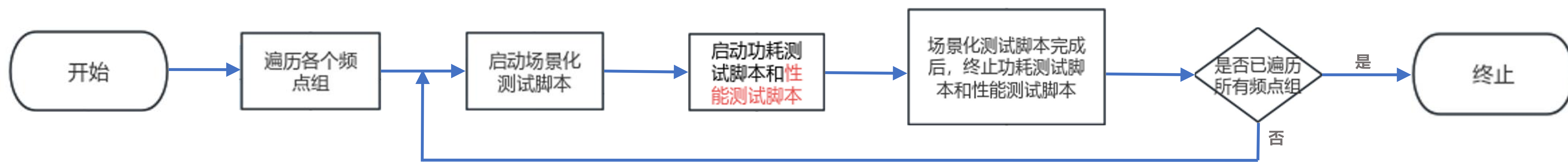




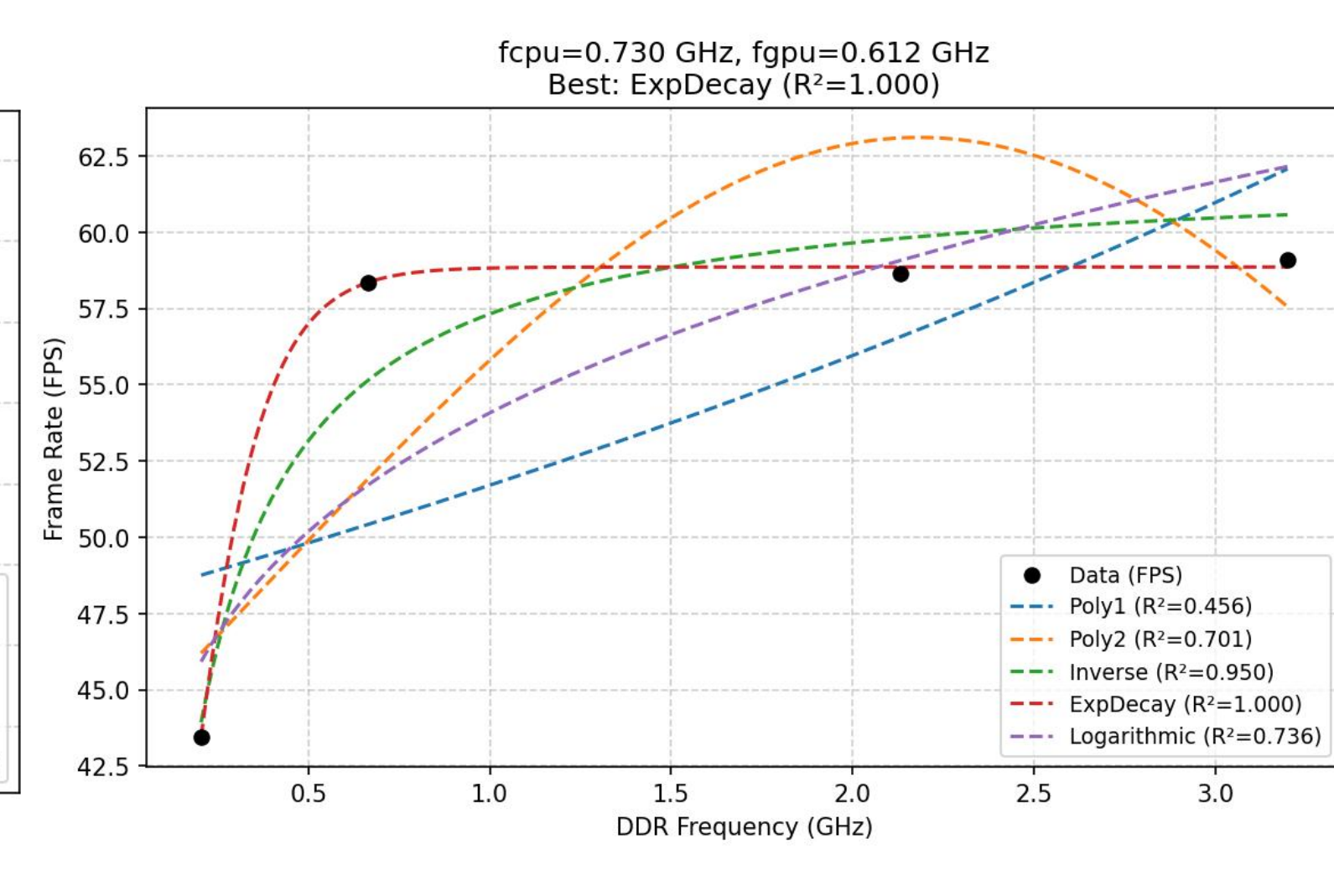
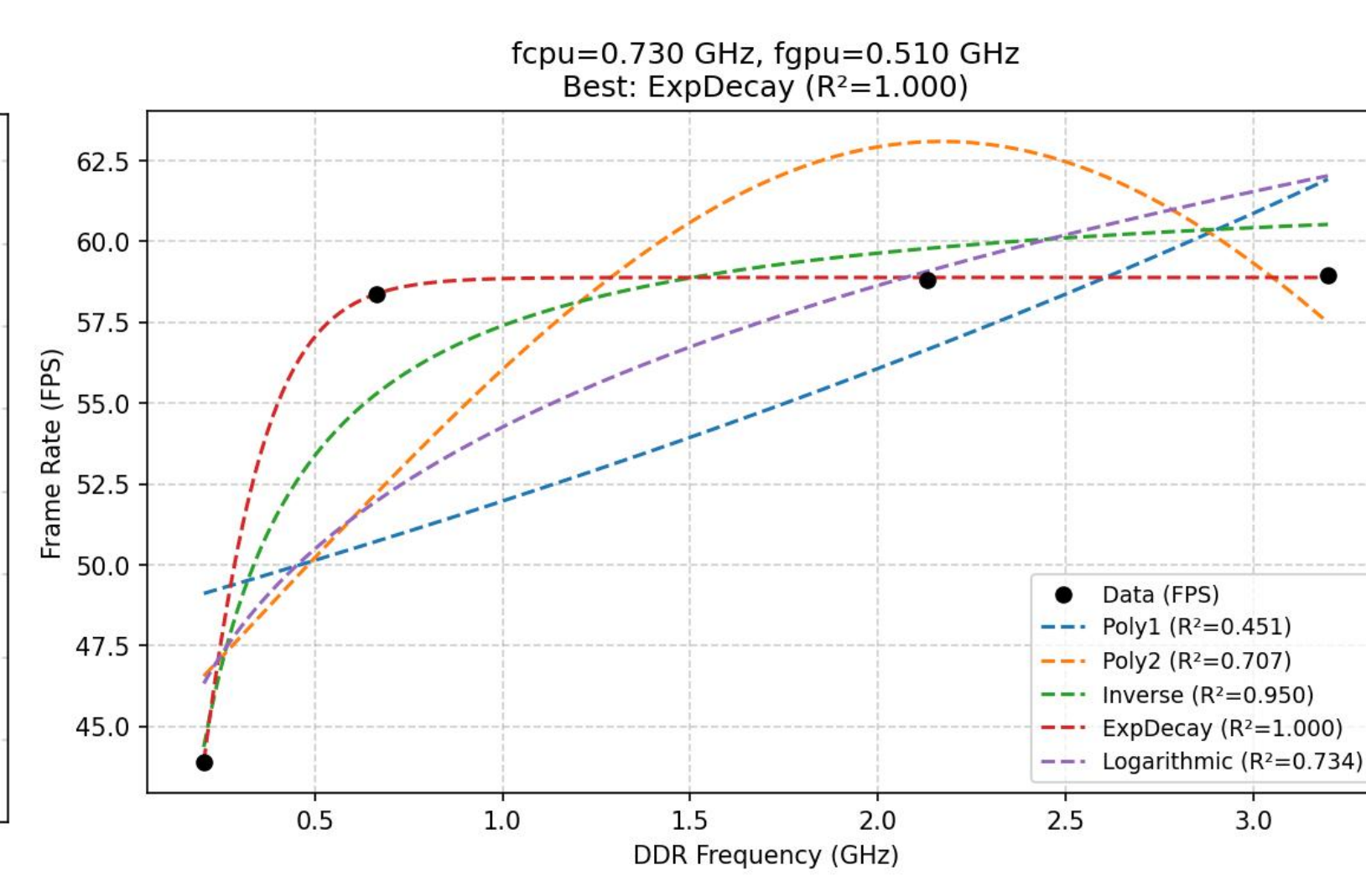
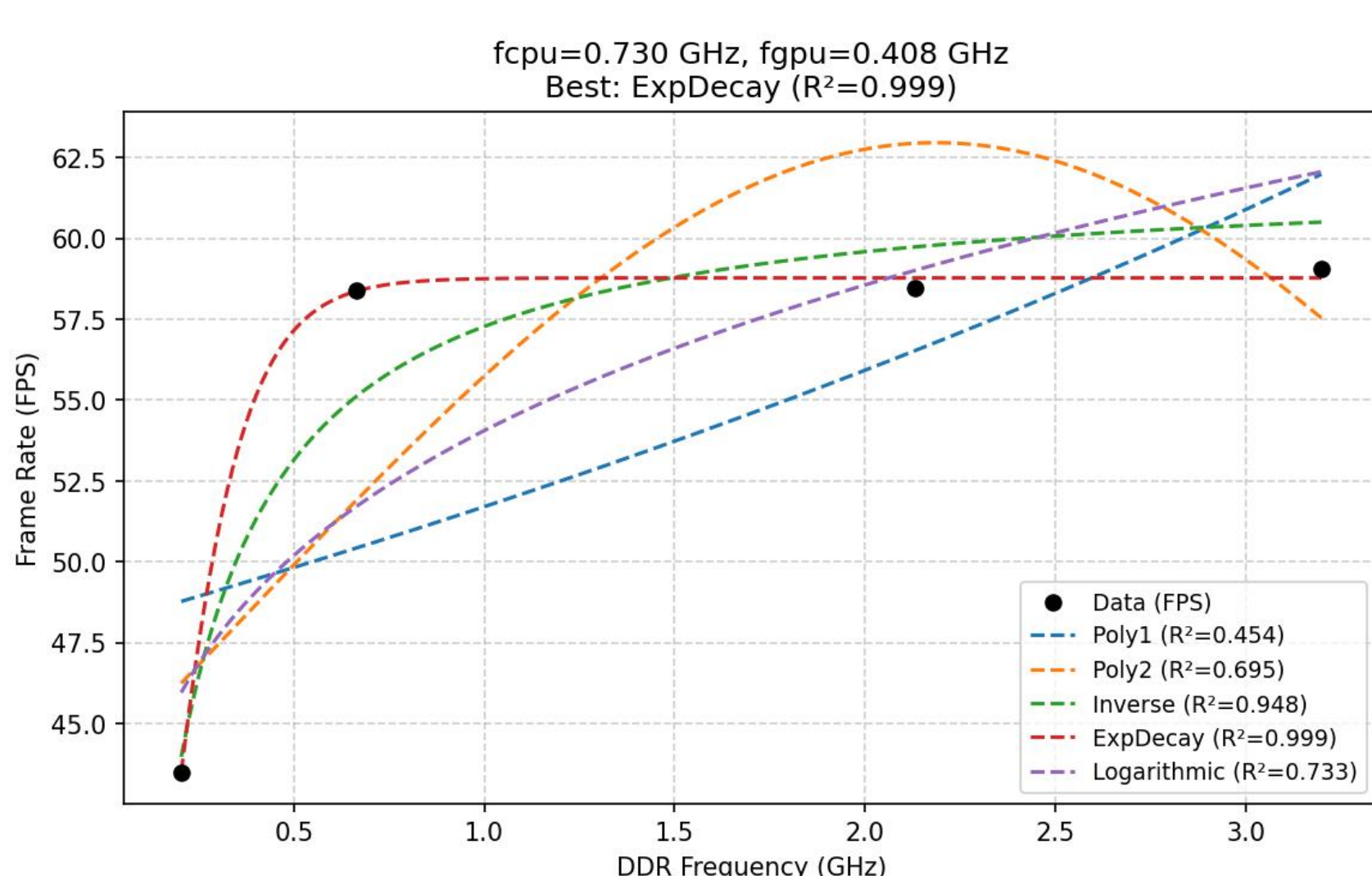
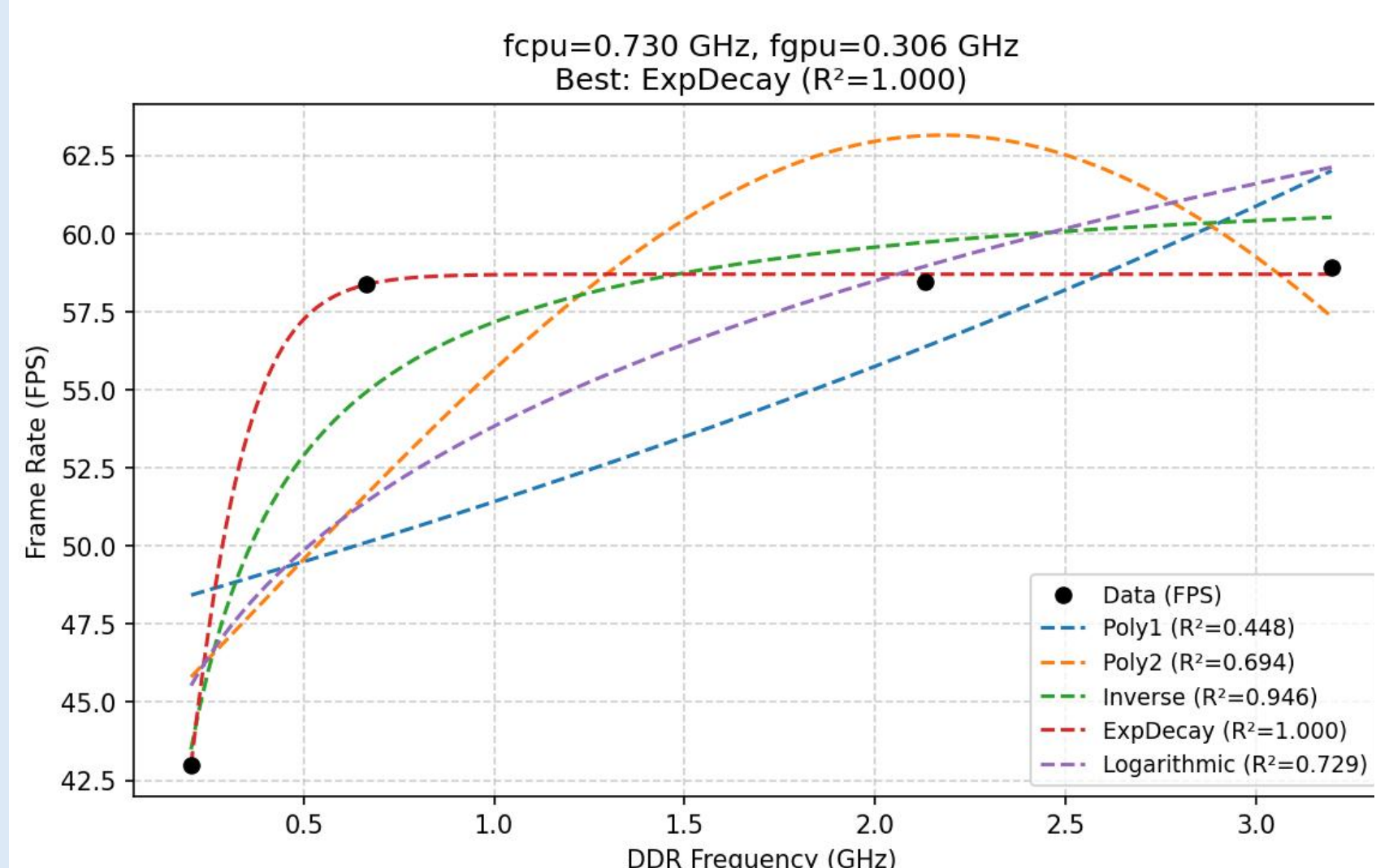
终端测试流程的探索（任德上）



指出在性能测试的过程中遇到的问题：(1) hitrace 录制时会提前终止 (2) hitrace 使用起点终点录制方式无法指定输出文件名 (3) 功耗的测试和性能脚本的调试无法同时进行

DDR 频率与帧率关系研究（蔡东辰）

对给定19组CPU频率、11组GPU频率下的209组DDR-帧率数据（每组4个DDR频率）下的帧率性能进行了建模分析。固定 f_{cpu} 和 f_{gpu} ，选取 f_{ddr} 的倒数为自变量，帧率倒数（Latency）为因变量，进行了一次函数、二次函数、对数、指数函数和反比例模型的拟合测试，209组均显示指数函数最贴合，全局平均相对误差0.32%，拟合优度均大于0.9。



$$\frac{1}{fps} = 0.016955 + 0.058012 * e^{(-11.226343 * f_{DDR})}$$

$$fps = \frac{1}{0.016955 + 0.058012 * e^{(-11.226343 * f_{DDR})}}$$

建模fcpu、fgpu对帧率的影响（蔡东辰）

基于Jetson测量数据，建模fcpu、fgpu对帧率的影响（DDR频率值设为常数），研究发现：不同负载下， f_{cpu} 、 f_{gpu} 对帧率的影响差异显著：

- 对于负载+渲染场景，GPU对于渲染性能占相对主导作用
- 颜色分类引入更为复杂的推理过程，导致GPU频率影响更显著
- 视频越高清，性能受DDR频率影响更显著，导致CPU、GPU的系数均减小；但CPU影响相对更大

DDR 频点与帧率关系的理论调研（鲍成）

结论：近 5 年 Memory/DRAM DVFS 的性能建模主流可归约为 DVFS-aware Roofline：性能/帧时由计算上限与内存带宽/访存 stall 共同约束；提高 DDR 频点通常带来帧率提升，但会在计算受限区间出现饱和。

典型形式（统一为瓶颈约束）： $Tp = \min(\text{compute}, BW_{\text{mem}})$, $T = \max(T_{\text{compute}}, T_{\text{mem}})$

启示：DDR 更适合建模为 共享资源的瓶颈项（带宽竞争/等待时间影响帧时），而非与CPU/GPU做简单线性相加；后续用真实应用数据验证 crossover 点与参数随 workload 类型变化的可迁移性。

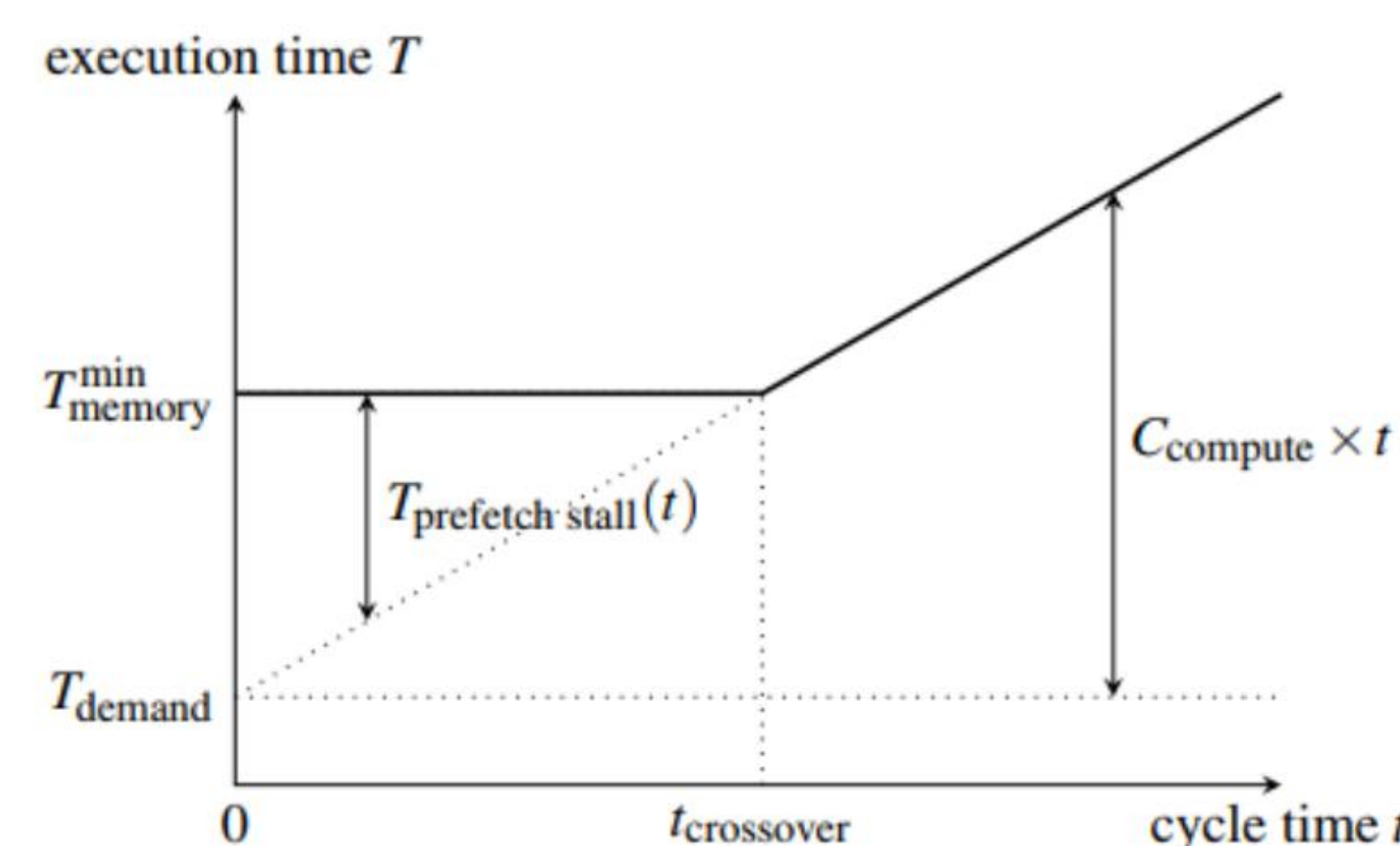


Figure 7: Limited bandwidth DVFS performance model