



# **SALEAGLE® 系列 FPGA**

## **数据手册**

上海安路信息科技股份有限公司

DS300 (v3.8.9) 2023 年 5 月



## 目 录

<b>目 录 .....</b>	<b>I</b>
<b>1 简介 .....</b>	<b>1</b>
1.1 SALEAGLE® (以下简称 EAGLE) 器件系列特性 .....	1
1.2 EAGLE 器件介绍 .....	2
<b>2 EAGLE 架构介绍 .....</b>	<b>3</b>
2.1 PFB 模块 .....	4
2.1.1 SLICE .....	5
2.1.2 PFB 操作模式 .....	6
2.1.3 寄存器 .....	7
2.1.4 互连 (Routing) .....	8
2.2 嵌入式存储器模块 (ERAM) .....	8
2.2.1 简介 .....	8
2.2.2 RAM 存储器模式 .....	11
2.2.3 RAM 存储器模式下的端口信号 .....	11
2.2.4 RAM 存储器模式下的常见配置 .....	13
2.2.5 FIFO 模式 .....	17
2.2.6 ERAM32K .....	20
2.3 时钟资源 .....	22
2.3.1 全局时钟 .....	22
2.3.2 输入输出时钟 .....	24
2.3.3 快速时钟 .....	26
2.4 锁相环 PLL .....	26
2.4.1 简介 .....	26



2.4.2 动态相移 .....	28
2.4.3 时钟反馈模式 .....	29
2.5 数字信号处理 (DSP) .....	31
2.5.1 体系结构 .....	31
2.5.2 操作模式 .....	34
2.6 输入输出逻辑 (IOL) .....	35
2.6.1 输入寄存器 .....	36
2.6.2 输出寄存器 .....	39
2.7 输入输出缓冲器 (IOB) .....	43
2.7.1 IOB 简介 .....	43
2.7.2 高速 LVDS 接口 .....	43
2.7.3 LVPECL .....	45
2.7.4 I/O 分组 .....	46
2.7.5 兼容 5V 输入 .....	47
2.8 EAGLE FPGA 配置说明 .....	50
2.8.1 配置模式 .....	50
2.8.2 配置流程 .....	53
2.8.3 MSPI 配置模式 .....	55
2.8.4 从动串行配置模式 .....	56
2.8.5 串行配置模式级联 .....	57
2.8.6 从动并行配置模式 .....	59
2.8.7 主动并行配置模式 .....	61
2.8.8 JTAG 配置模式 .....	61
2.8.9 IEEE 1149.1 边界扫描测试 .....	62
2.8.10 MSPI DUAL BOOT 功能 .....	63
2.8.11 MSPI MULT BOOT 功能 .....	63
2.8.12 FPGA DNA 安全功能 .....	63



2.8.13 FPGA I/O 引脚在配置阶段的设置 .....	64
2.8.14 FPGA I/O 引脚在配置阶段的状态 .....	64
2.9 内嵌 ADC 模块 .....	66
<b>3 直流交流特性.....</b>	<b>68</b>
3.1 直流电气特性 .....	68
3.1.1 最大绝对额定值 .....	68
3.1.2 推荐基本操作条件 .....	69
3.1.3 基本供电要求 .....	70
3.1.4 静态供电电流 <sup>1,2</sup> .....	72
3.1.5 热插拔规格 .....	72
3.1.6 上电复位电压阈值 .....	72
3.1.7 I/O 直流电气特性 .....	73
3.1.8 I/O 管脚电容 .....	73
3.1.9 单端 I/O 直流电学特性 .....	73
3.1.10 差分 I/O 电学特性 .....	74
3.2 交流电气特性 .....	76
3.2.1 时钟性能 .....	76
3.2.2 锁相环 (PLL) 规格 .....	76
3.2.3 嵌入数字信号处理模块 (DSP) 规格 .....	77
3.2.4 存储器模块 (ERAM) 规格 .....	77
3.2.5 高速 I/O 接口性能 .....	77
3.2.6 配置模块和 JTAG 规格 .....	78
3.2.7 ADC 性能 .....	78
<b>4 引脚和封装 .....</b>	<b>80</b>
4.1 引脚定义和规则 .....	80
4.2 I/O 命名规则 .....	81



4. 3 EG4X20BG256 引脚说明 .....	82
4. 4 EG4A20BG256 引脚说明 .....	87
4. 5 封装信息 .....	92
4. 5. 1 BG256 封装规格 .....	92
<b>5 订购信息 .....</b>	<b>93</b>
<b>版本信息 .....</b>	<b>95</b>
<b>免责声明 .....</b>	<b>99</b>



# 1 简介

## 1.1 SALEAGLE® (以下简称 EAGLE) 器件系列特性

### ■ 灵活的逻辑结构

- 共有 2 种器件, 逻辑规模从 8640 到 19600 LUTs, 用户 I/O 数量从 180 到 270.

### ■ 可配置支持以下单端标准

- LVTTL
- LVCMOS (3.3/2.5/1.8/1.5/1.2V)

### ■ 低功耗器件

- 先进的 55nm 低功耗工艺
- 静态功耗低至 5mA

### ■ PCI

- 通过配置支持以下差分标准
- LVDS, LVPECL

### ■ 支持分布式和嵌入式存储器

- 最大支持 156 Kbits 分布存储器
- 最大支持 1.1 Mbits 嵌入块存储器
- 嵌入块存储器容量 9 Kbits, 可配置为真双口, 8Kx1 到 512x18 模式  
ERAM9K 具有专用 FIFO 控制逻辑
- 嵌入块存储器容量 32 Kbits, 可配置为真双口, 可设置为 2K\*16 或 4K\*8

### ■ 支持热插拔

- 可配置上拉/下拉模式
- 片内 100 欧姆差分电阻

### ■ 可配置逻辑模块 (PLBs)

- 优化的 LUT4/LUT5 组合设计
- 双端口分布式存储器
- 支持算数逻辑运算
- 快速进位链逻辑
- 单一 Slice 支持 2 个 M18x18 或 4 个 M9x9

### ■ 时钟资源

- 优化全局时钟的 2 路快速时钟
- 每个 BANK 2 路针对高速 I/O 接口设计的 IOCLK
- 16 路全局时钟
- 最多支持 4 个 PLLs 用于频率综合
- 5 路时钟输出
- 分频系数 1 到 128
- 支持 5 路时钟输出级联
- 动态相位选择

### ■ 源同步输入/输出接口

- 输入//输出单元包含 DDR 寄存器
- Generic DDRx1
- Generic DDRx2

### ■ 配置模式

- 主模式串行 SPI (MSP1)
- 从模式串行 (SS)
- 主模式并行 x8 (MP)
- 从模式并行 x8 (SP)

### ■ 高性能, 灵活的输入/输出缓冲器



- JTAG 模式 (IEEE-1532)
- 每个芯片拥有唯一的 64 位 DNA
- BSCAN
  - 兼容 IEEE-1149.1
- 嵌入式硬核 IP
  - ADC
- 8 位精度逐次逼近寄存器型 (SAR)
- 8 个模拟输入
- 1MHz 采样速率 (MSPS)
- 封装
  - FBGA

表 1-1-1 EAGLE FPGA 系列选型表

General feature	EAGLE_10	EAGLE_4X20	EAGLE_4A20
Number of LUTs	8,640	19,600	19,600
Number of FFs	8,640	19,600	19,600
Equivalent Number of LUTS	10,368	23,520	23,520
Number of Dis-Ram bits	69,120	156,800	156,800
Number of ERAM9K	48	64	64
Number of ERAM32K	2	16	16
Total ERAM bits	507,904	1,114,112	1,114,112
Number of DSP	21	29	29
PLL	2	4	4
Low-skew gclock in chip	16	16	16
User IO Banks	8	8	8
Maximum user Ios	184	193	196

表 1-1-2 EAGLE FPGA 封装

Packages	EAGLE_10	EAGLE_4X20	EAGLE_4A20
144 TQFP (20x20, 0.5mm pitch)	95/23	-	
256 ftBGA (17x17, 1.0mm pitch )	184/92	193/89	196/90

注：193/89 表示用户可用 IO 数/用户可用差分输出 (LVDS) 对



## 1.2 EAGLE 器件介绍

安路科技的 EAGLE 系列 FPGA 器件，定位低成本、低功耗可编程市场。EAGLE 器件旨在用于大批量，成本敏感的应用，使系统设计师在降低成本的同时又能够满足不断增长的带宽要求。

EAGLE 器件系列建立在一个优化的低功耗工艺基础上，通过最低的成本实现较高的功能性。针对无线、有线、广播、工业以及通信等行业中的低成本的小型应用，EAGLE 器件无疑是最理想的选择。

安路科技提供丰富的设计工具帮助用户有效地利用 EAGLE 平台实现复杂设计。业界领先的综合和布局布线工具，为用户设计高质量产品提供有力保障。

## 2 EAGLE 架构介绍

EAGLE 系列器件由查找表逻辑模块（PLB）阵列构成核心资源，输入输出缓冲器分布在四边。嵌入式块存储单元（ERAM9K）和数据信号处理模块（DSP）嵌在 PLB 中间。

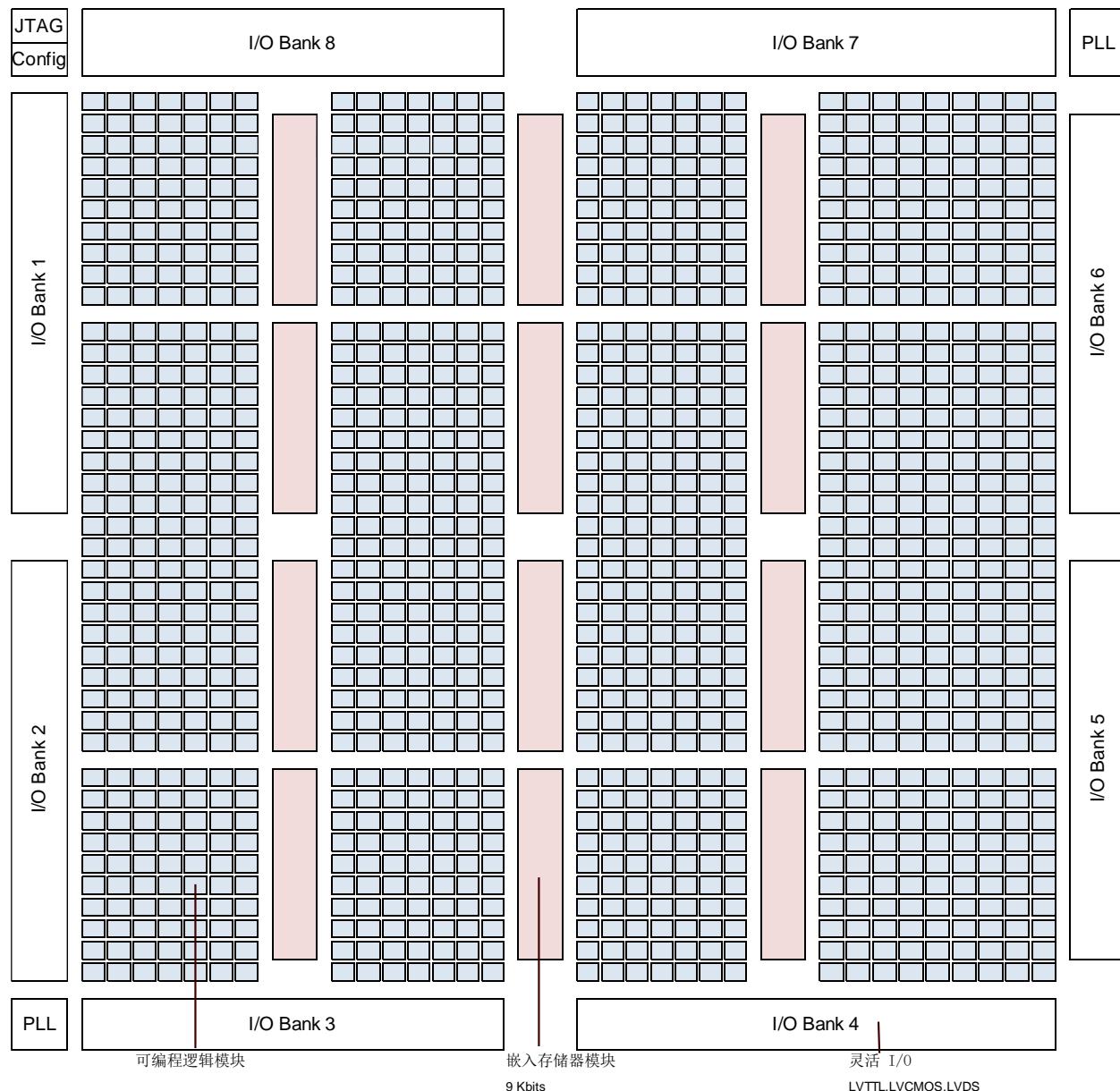


图 2-1 EAGLE 器件简化框图

查找表逻辑模块分为两种，逻辑可编程模块（LSLICE）和存储逻辑可编程模块（MSLICE）。两种模块均支持逻辑、算数功能，不同的是 MSLICE 支持分布式 RAM 和 ROM 功能。逻辑可编程模块（LSLICE）和存储逻辑可编程模块（MSLICE）均经过设计优化，便于用户快速有效地实现复杂设计。

EAGLE 系列器件包含多列嵌入式存储器模块（ERAM），存储器模块规模为 9K，支持快速数据访问。每一个存储模块可独立配置为 1-18 位宽的单口或双口应用。

EAGLE 的输入输出缓冲器 (I/O Buffer) 划分为 8 个组，支持单端和双端的多种电平标准。左右的 I/O 可以配置成 LVDS 发送/接收对。

EAGLE 系列内部嵌有 2~4 个多功能 PLL 块，分布在器件四角，有专门的时钟线连接到两个 PLL 输入。PLL 具有对时钟分频/倍频/移相等功能。

## 2.1 PFB 模块

可编程逻辑块 (PLB) 按照行/列规则排布成二维阵列，每个 PLB 包括可编程互连 (Routing) 和可编程功能块 (Programmable Functional Block, PFB)。PFB 是 FPGA 的可编程功能核心。EAGLE 器件内部 PFB 可实现：逻辑，算术，分布式 RAM (distribute RAM)，ROM 功能以及信号锁存。PFB 内部包含 4 个 SLICE，编号 0~3。SLICE 0, 1 为 MSLICE 类型，SLICE 2, 3 为 LSLICE 类型。

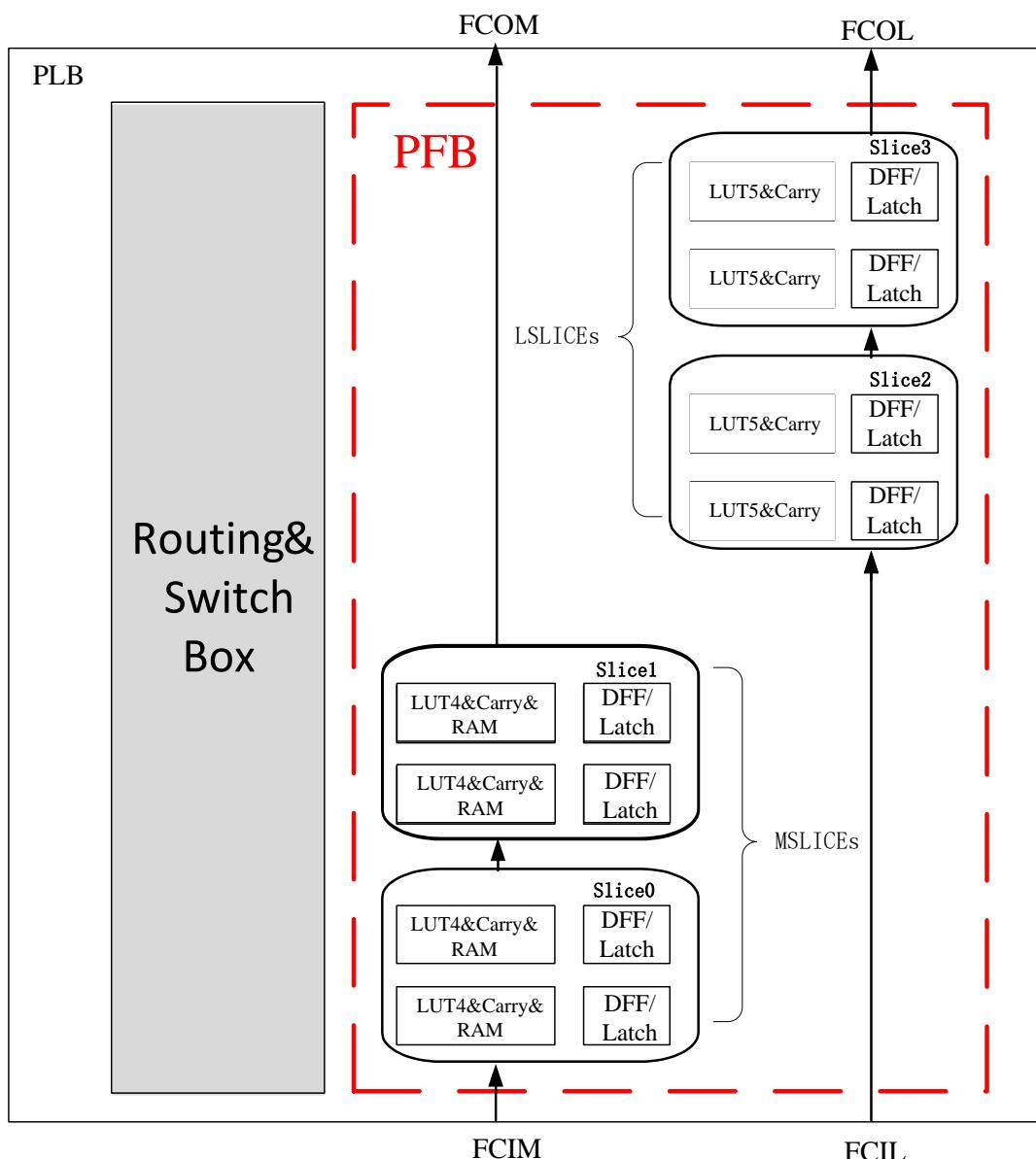


图 2-1-1 可编程功能块 (PFB) 结构图

## 2.1.1 SLICE

EAGLE PFB 内包含两种 SLICE: MSLICE 和 LSLICE。

### a) MSLICE

MSLICE 包含 2 个 LUT4s 和两个寄存器以及 2 级进位链, MSLICE 额外可配置成基于 LUT 的分布式 RAM (distribute RAM) 功能。PFB 内的 SLICE 0, 1 为 MSLICE 类型, 可组合配置成为  $16 \times 4$  的 RAM。MSLICE 内部逻辑可实现 LUT4s 间的连接, 可以实现输入数大于 4 的函数, 如 LUT5。两个 MSLICE 组合可实现 LUT6。

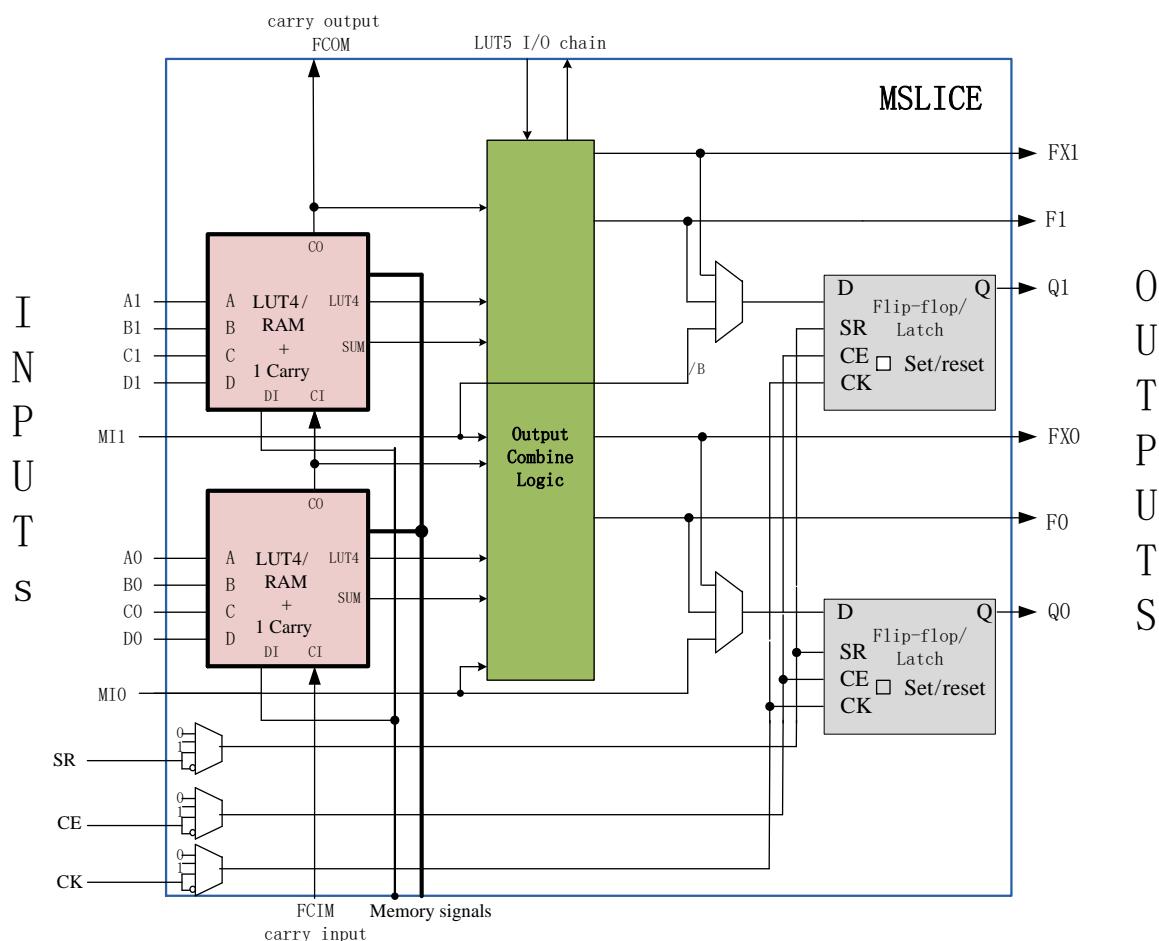


图 2-1-2 MSLICE 结构图

MSLICE 内部逻辑见 MSLICE 结构图图 2-1-2。内部有两个 4 输入查找表 (LUT4), 并带有 RAM 写入译码器, 结合 PFB 内部的分布式 RAM 控制逻辑, 每个 LUT4 可实现  $16 \times 1$  bits RAM 存储器, 2 个 MSLICE 配合一个 RAM 控制器实现  $16 \times 4$  的双口 RAM。MSLICE 中每个 LUT4 结合内部进位逻辑以及进位输入(FCIM)可以实现 1 位全加器。一个 MSLICE 可实现 2 位加/减法, 并实现快速进/借位输出 (FCOM)。

MSLICE 和 LSLICE 内部寄存器相同, 可配置成 DFF 或者 LATCH。

### b) LSLICE

LSLICE 包含 2 个增强型 LUT5s 和两个寄存器以及 4 级进位链。PFB 内的 SLICE 2, 3 为 LSLICE 类

型。LSLICE 内部逻辑可实现：将一个 LUT5s 拆成 2 个 LUT4s；实现更多输入函数，如 LUT5, LUT6。两个 LSLICE 组合可实现 LUT7。

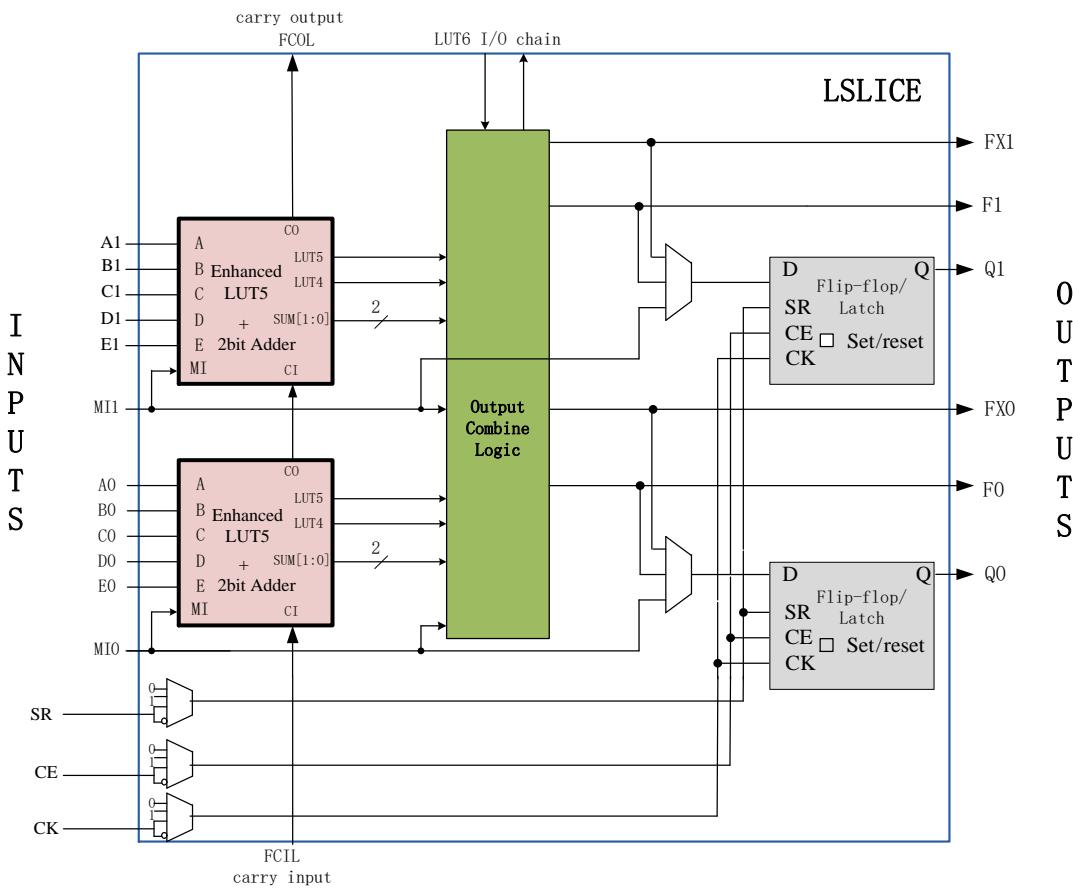


图 2-1-3 LSLICE 结构图

LSLICE 内部逻辑见图 2-1-3。内部有 4 个 4 输入查找表 (LUT4)，以及选择逻辑，可组合实现多种逻辑功能：4 个 LUT4; 2 个 LUT4 + 1 个 LUT5; 2 个 LUT5; 一个 LUT6 等。每个 enhanced LUT5 结合内部进位逻辑以及进位输入可以实现 2 位全加器。一个 LSLICE 可实现 4 位加/减法，并实现快速进/借位输出 (FCOL)。

## 2.1.2 PFB 操作模式

MSLICE 有 4 种操作模式：逻辑，算术，分布式 RAM 和 ROM。

LSLICE 有 3 种操作模式：逻辑，算术和 ROM。

### a) 逻辑模式

在逻辑模式中，MSLICE 中的 LUT4 配置成 4 输入组合逻辑查找表，任意 4 输入函数都可以用这个查找表实现。LSLICE 中的 enhanced LUT5 可配置成多种组合的逻辑查找表。SLICE 内的 LUT 还可以通过内部输出组合电路级联成更大的查找表。

表 2-1-1 常见逻辑实现

LUT5	1 MSLICE	1/2 LSLICE
MUX4	1 MSLICE	1/2 LSLICE
LUT6	2 MSLICE	1 LSLICE
LUT7		2 LSLICE

### b) 算术模式

算术模式会利用 SLICE 内部快速进位链实现快速、高效的算术功能，MSLICE 和 LSLICE 都支持算术模式。可支持的算术逻辑有：加法，减法，带控制选择的加/减法器，计数器，乘法器以及比较器。

PFB 内部共有两条进位链，分别连接纵向 MSLICE 和纵向 LSLICE。可级联纵向相邻的 PFB 实现宽比特位算术逻辑。

### c) 分布式 RAM 模式

MSLICE 可配置成此模式，两个 MSLICE: SLICE0 和 SLICE1 相结合可配置成 16x4 的简单双口 RAM(一口写/一口读)。

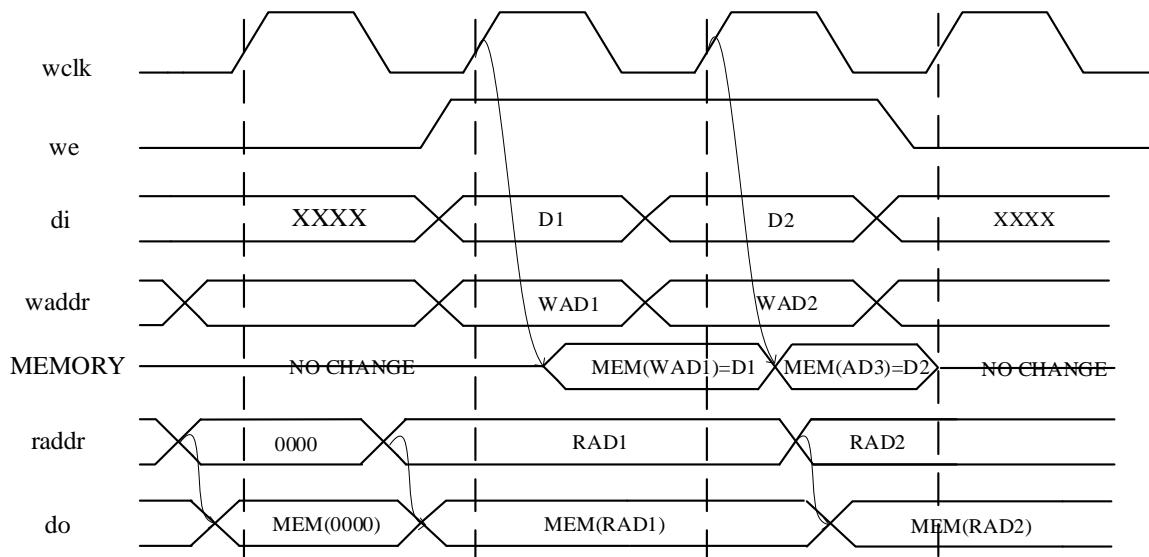


图 2-1-4 Disram 同步写入异步读出时序图

### d) ROM 模式

所有 SLICE 在 LUT 逻辑下可用作 ROM 模式，用户可以通过软件设置 ROM 初值。

#### 2.1.3 寄存器

PFB 内每个 SLICE 包含 2 个可配置寄存器。可锁存 LUT 的输出或者来自互连的 MI 输入。寄存器配置选项：

- 边沿触发的锁存器 (DFF) 或 电平使能锁存器 (LATCH)

- 同步或异步进行复位 0 或置位 1
- 是否带有 ClockEnable 使能
- CLK/CE/SR 带有上升沿/下降沿/0/1 选择

### 2.1.4 互连 (Routing)

可编程互连实现 FPGA 内部各个功能块之间的信号传输。EAGLE 系列器件内部拥有丰富的互连资源，包括线间选通开关、线缓冲器以及信号走线。EAGLE 系列互连线全部带有缓冲器，从而实现高速信号传输的可靠性和信号完整性。

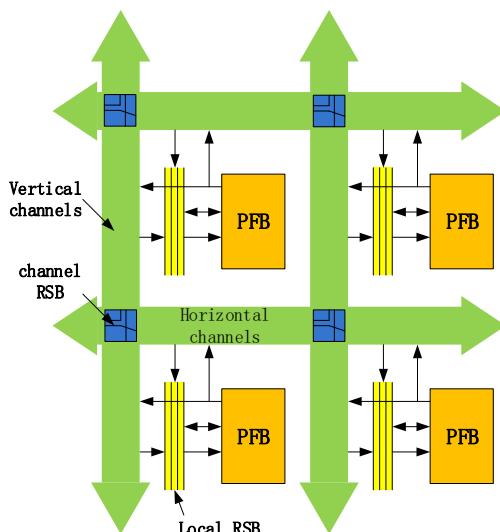


图 2-1-5 EAGLE 互连架构

PFB 间信号通过水平通道和垂直通道传输。PFB 可以直接驱动水平/垂直通道。通道之间通过 channel RSB (routing switch box) 进行切换。通道上传输的信号通过 local RSB 进入 PFB。

## 2.2 嵌入式存储器模块 (ERAM)

### 2.2.1 简介

EAGLE 系列器件支持嵌入式存储器模块 (ERAM)。EAGLE 中包括两类 ERAM：ERAM9K 和 ERAM32K。

ERAM9K 每块容量 9Kbits，多个 ERAM9K 模块排成一列，按列分布在 PFB 的阵列中。每个 ERAM9K 的高度和 2.25 个 PFB 相当。4 个 ERAM9K 等于 9 个 PFB 的高度。

ERAM32K 每块容量 32Kbits，分布在 IO 空隙中。

ERAM9K 可实现：

- 单口 RAM/ROM



- 双口 RAM
- 简单双口 RAM（也称为伪双口）
- FIFO（ERAM9K 内嵌有硬件 FIFO 控制器）

ERAM9K 模块支持的功能特色有：

- 9216 (9K) bits / 每块
- A/B 口时钟独立
- 可单独配置 A/B 口数据位宽，真双口从 x1 到 x9，支持 x18 简单双口（一写一读）
- 9 或 18 位写操作时带有字节使能（Byte Enable）控制
- 输出锁存器可选择（支持 1 级流水线）
- 支持 RAM/ROM 模式下数据初始化（通过初始化文件在配置过程中对 ERAM9K 数据初始化）
- 支持多种写操作模式。可选择只写（Normal），先读后写（Read before Write），写穿通（Write through）三种模式。

表 2-2-1 ERAM9K 特色

类别	特性
容量	9K
配置 (深度 x 位宽)	8192 x 1、4096 x 2、2048 x 4、 1024 x 8 或 9、512 x 16 或 18
奇偶位 (Parity bits)	8+1、16+2
字节使能 (Byte enable)	有，可选择
输入地址/数据寄存器	有
单口模式 (Single-port mode)	支持
简单双口模式 (Simple dual-port mode)	支持
真双口模式 (True dual-port mode)	支持
ROM 模式	支持
FIFO 模式	支持
数据输出寄存器	有，可选择
独立数据输出寄存器使能	有
Read-during-write	输出旧数据 (read before write) 输出写数据 (write through)
工作前 RAM 初始化	支持

## 字节使能 (Byte Enable)

ERAM9K 支持字节使能功能，可在写操作时对写入数据按字节屏蔽，被屏蔽的字节不会被写入 RAM。字节使能 (Byte Enable[1:0]) 信号分别对应写入数据的 `datain[15:8]` 和 `datain[7:0]`。

### 写操作时并行读操作 (Read-during-Write)

EAGLE 系列的 ERAM9K 支持同端口的 `read-during-write`。`read-during-write` 是指在单口 RAM 或真双口 RAM 模式时，用户在写入数据的同时，读出同一地址的数据到输出端口。而默认非 `rdw` 选择，输出数据保持不变 (`No change`)。

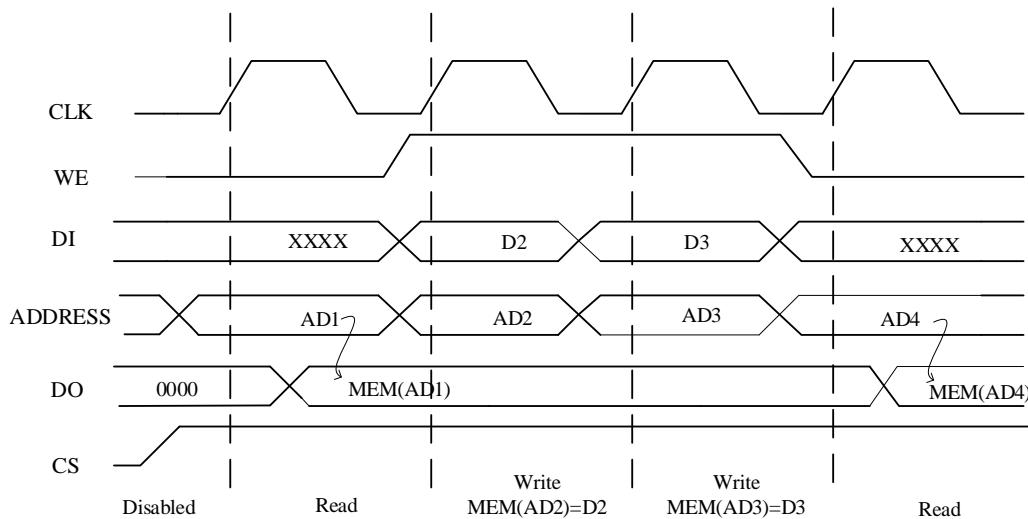


图 2-3-1 No change 模式波形

`RDW` 模式下用户有两种选择：读出旧数据 (`Read Before Write`)；读出新数据即正要写入的数据 (`Write Through`)。

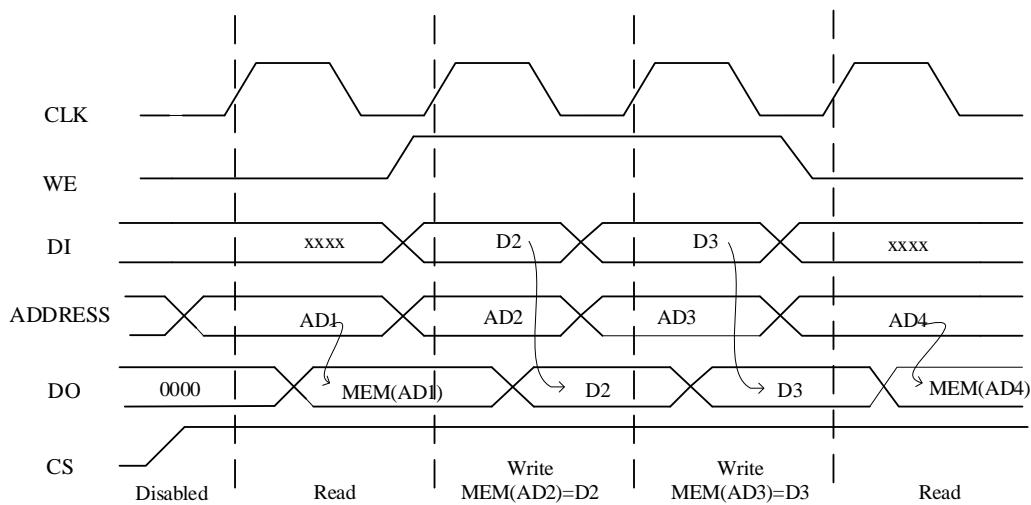


图 2-3-2 Write Through 模式波形

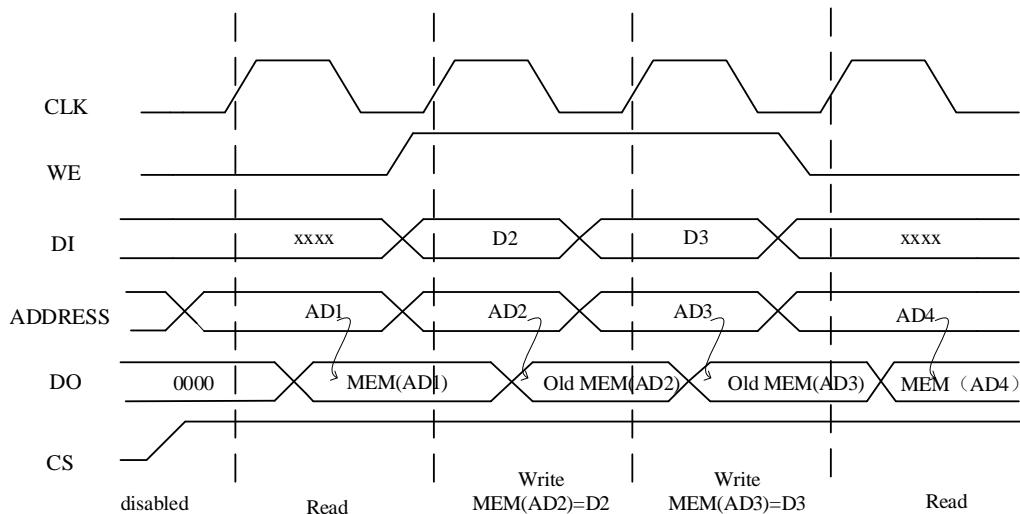


图 2-3-3 Read Before Write 模式波形

## 2.2.2 RAM 存储器模式

ERAM9K 按工作模式分为 RAM 存储器模式（包括 ROM）和 FIFO 模式。两种模式下 ERAM9K 用户端口名称和设置略有不同。

ERAM9K 在 RAM 模式下是 A/B 口独立的双口 RAM，支持多种模式的同步 RAM 和 ROM 操作。

## 2.2.3 RAM 存储器模式下的端口信号

ERAM9K 的控制信号、时钟输入信号 A/B 口完全独立，输入控制信号有：

片选信号（ChipSelect）

时钟使能（Clock Enable）

输入/输出寄存器复位控制信号（RST）

写/读操作（WE）

数据输出寄存器锁存使能（OCE）

字节使能（Byte Enable[1:0]）。

表 2-2-2 为控制信号逻辑

操作	CLK	CS	ClockEnable	RST	WE
写操作	上升沿	1	1	0	1
读操作	上升沿	1	1	0	0
IDLE	x	1	0	0	x
Save power	x	0	0	0	x



ERAM9K 的端口如下表：

表 2-2-3 RAM 模式下的端口信号

A 端口名	方向	说明
dia[8:0]	输入	A 端口数据输入，简单双口 18 位输入端口模式时作为低 9 位数据输入
addrA[12:0]	输入	A 端口地址输入，[12:4]作为 word 地址一直有效，[3:0]取决于 bit 模式。 在 18 位模式时，addrA[1:0]复用为字节使能信号 Byte Enable[1:0]。
doa[8:0]	输出	A 端口数据输出，简单双口 18 位输出端口模式时作为低 9 位数据输出
clkA	输入	A 端口时钟输入，默认上升沿有效（可反向），简单双口 18 位模式时作为输入地址/数据端口时钟
rsta	输入	A 端口复位信号，默认高有效（可反向），可配置同步/异步复位
cea	输入	A 端口时钟有效控制信号，默认高有效（可反向）。
wea	输入	A 端口写入/读出操作控制，1 为写入操作，0 为读出操作；18 位写入模式时固定为 1。
csa[2:0]	输入	A 端口 3 位片选信号（可反向），csa[2:0]=3' b111 时 ERAM 被选中进行操作。3 位信号可分别独立设置是否反向。
oceA	输入	A 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
B 端口名	方向	说明
dib[8:0]	输入	B 端口数据输入，18 位输入端口模式时作为高 9 位数据输入
addrB[12:0]	输入	B 端口地址输入，[12:4]作为 word 地址一直有效，[3:0]取决于 bit 模式
dob[8:0]	输出	B 端口数据输出，18 位输出端口模式时作为高 9 位数据输入
clkB	输入	B 端口时钟输入，默认上升沿有效（可反向），简单双口 18 位模式时作为输出地址/数据端口时钟
rstB	输入	B 端口复位信号，默认高有效（可反向），可配置同步/异步复位
ceb	输入	B 端口时钟有效控制信号，默认高有效（可反向）。
web	输入	B 端口写入/读出操作控制，1 为写入操作，0 为读出操作；18 位读出模式时固定为 0。
csb[2:0]	输入	B 端口 3 位片选信号（可反向），csb[2:0]=3' b111 时 ERAM 被选中进行操作。3 位信号可分别独立设置是否反向。
oceB	输入	B 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。

■ 多位片选信号逻辑说明：

ERAM9K 在 RAM 和 FIFO 模式下的 CS 由可反向的 3 位片选输入生成。其逻辑如下图所示（CSA, CSB 在 RAM 模式/CSW, CSR 在 FIFO 模式）：

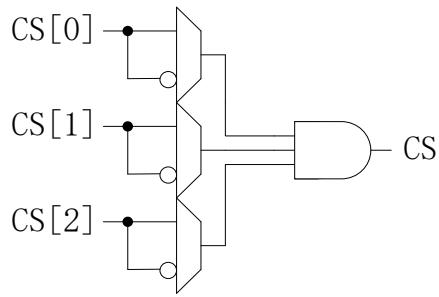


图 2-2-1 多位片选逻辑说明

利用 3 位 CS 输入反向配置可不用额外逻辑就能实现地址译码，方便对  $2^8$  块 RAM 进行深度扩展。

#### ■ 18 位模式时的字节使能 (Byte Enable) :

ERAM9K 支持字节使能功能，可在写操作时对写入数据按字节屏蔽，被屏蔽的字节不会被写入 RAM。字节使能 (Byte Enable[1:0]) 信号分别对应写入数据的 datain[16:9] 和 datain[8:0]。例如，Byte Enable[1:0]==00，两字节都不会被写入；Byte Enable[1:0]==01，低位字节写入 (dia)。在 18 位模式时，字节使能 Byte Enable[1:0] 信号和端口 addra[1:0] 复用。

#### ■ 写操作时并行读操作 (Read-during-Write)

EAGLE 系列的 ERAM9K 支持同端口的 read-during-write。read-during-write 是指在单口 RAM 或真双口 RAM 模式时，用户在写入数据的同时，同时读出同一地址的数据，输出到输出端口。而默认选择只写模式 (Normal)，输出数据保持不变。

RDW 模式下用户有两种选择：读出旧数据 (Read Before Write)；读出新数据 (Write Through)。

### 2.2.4 RAM 存储器模式下的常见配置

#### a) 单口模式 (Single-Port Mode)

单口模式支持对非同时发生的对同一地址的读或写操作。ERAM9K 内部有两套读写控制逻辑分别管理 A 口和 B 口，因此 ERAM9K 可以支持实现两个单口模式的 RAM 或 ROM。通常 ROM 也工作在此模式下。

ERAM9K 在单口模式下支持的位宽

- 8192 × 1 (独立的 A 口或 B 口实现)
- 4096 × 2 (独立的 A 口或 B 口实现)
- 2048 × 4 (独立的 A 口或 B 口实现)
- 1024 × 8, 1024 × 9 (独立的 A 口或 B 口实现)
- 512 × 16, 512 × 18 (A 口 B 口联合实现)

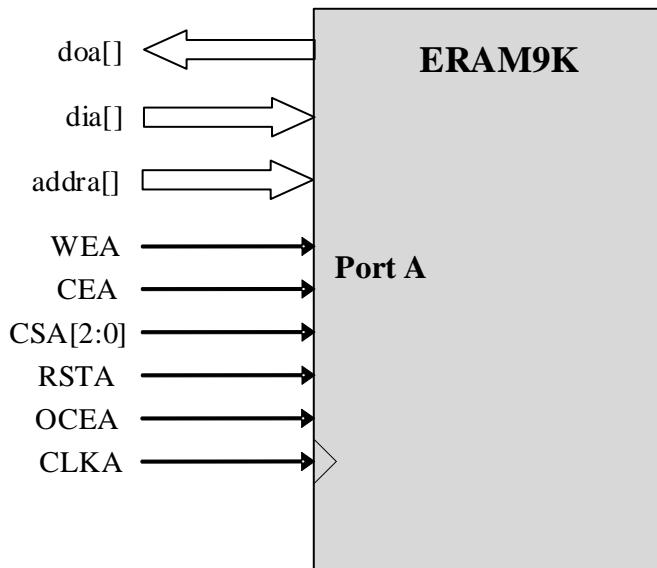


图 2-2-2 利用 A 口实现的 9 位宽（及以下）单口 RAM

#### b) 简单双口模式 ( Simple Dual-Port Mode )

当用一块 ERAM9K 配置成 18 位写入或 18 位读出时，其不支持真双口模式，支持单口和简单双口模式。简单双口模式的配置连接如下。18 位模式时，A 端口控制信号作为写入控制信号，B 端口控制信号作为读出控制信号。18 位写入时，DIB[8:0] 作为高 9 位数据输入，DOA[8:0] 作为低 9 位数据输入；18 位读出时，DOB[8:0] 作为高 9 位数据输出，DOA[8:0] 作为低 9 位数据输出。

当用户使用 8/16 位宽时，禁止使用 DIA[9]，DIB[9]，DOA[9]，DOB[9]，防止因为读写位宽不同造成的内部数据映射失配。

表 2-2-4 9/18 位简单双口模式时数据端口连接关系

模式	ERAM9K RAM 端口	用户端口
W=18 位 R=18 位	DIA[8:0]	wdata[8:0]
	DIB[8:0]	wdata[17:9]
	DOA[8:0]	rdata[8:0]
	DOB[8:0]	rdata[17:9]
W<=9 位 R=18 位	DIA[]	wdata[]
	DOA[8:0]	rdata[8:0]
	DOB[8:0]	rdata[17:9]
W=18 位 R<=9 位	DIA[8:0]	wdata[8:0]
	DIB[8:0]	wdata[17:9]
	DOB[]	rdata[]

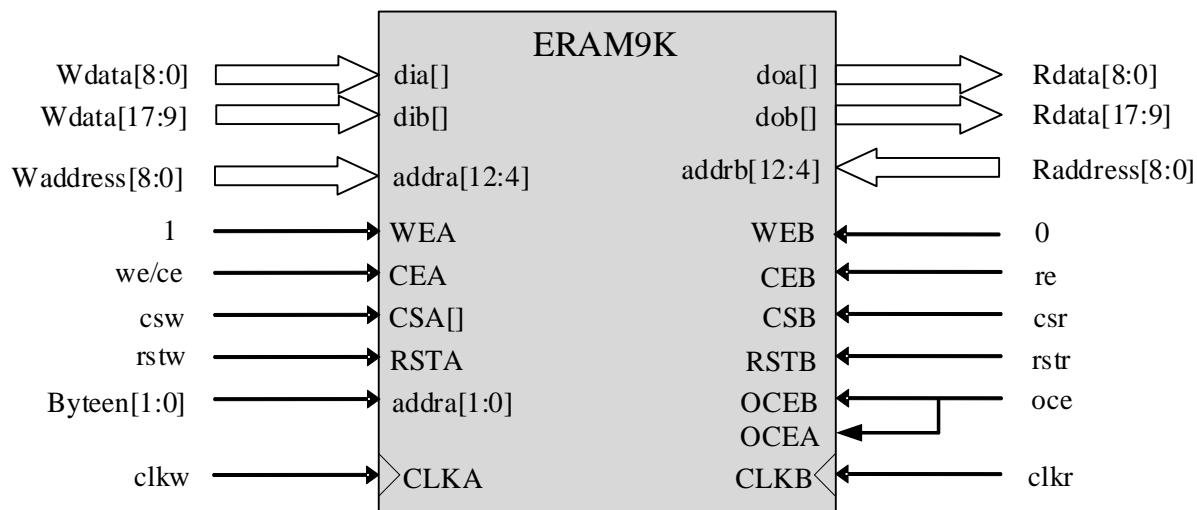


图 2-2-3 简单双口 18 位写/18 位读端口连接

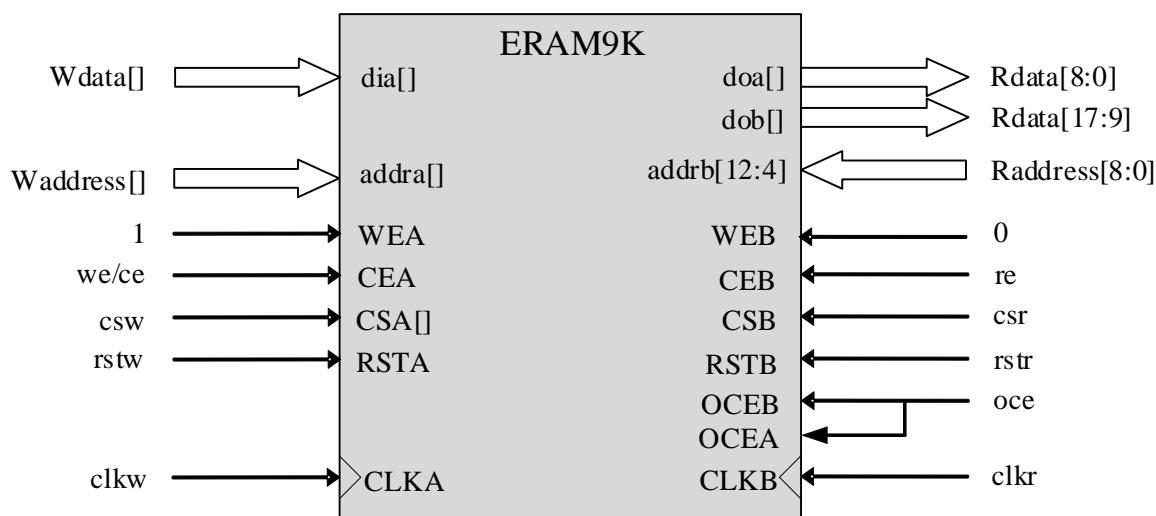


图 2-2-4 简单双口模式&lt;=9 位写/18 位读端口连接

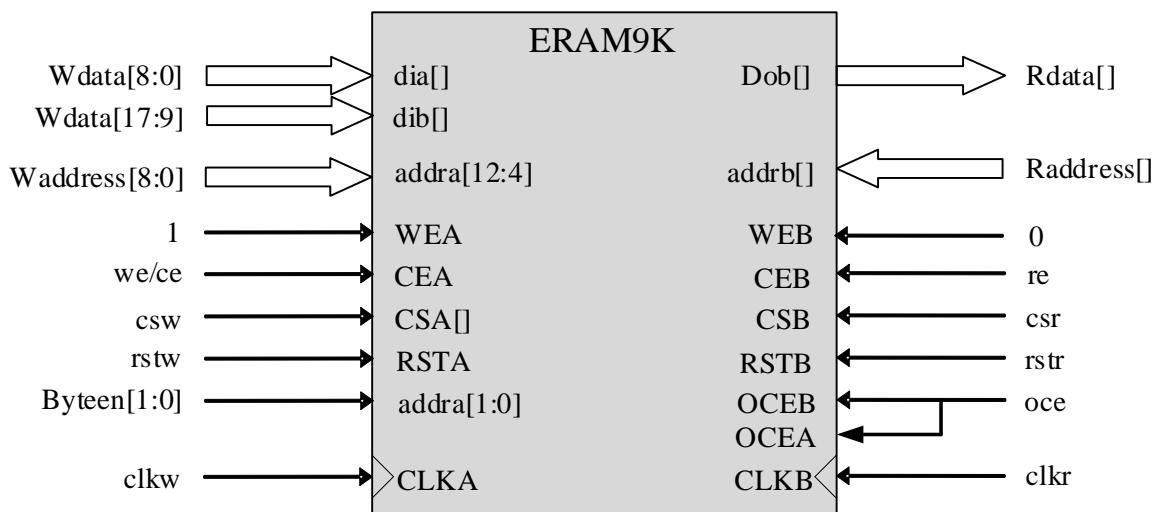


图 2-2-5 简单双口模式 18 位写/&lt;=9 位读端口连接

ERAM9K 简单双口模式下支持 A 口/B 口不同位宽的混合端口宽度选择。

表 2-2-5 为简单双口模式下支持的混合端口位宽配置

Read Port	Write Port						
	8Kx1	4Kx2	2Kx4	1Kx8	512x16	1Kx9	512x18
8Kx1	√	√	√	√	√		
4Kx2	√	√	√	√	√		
2Kx4	√	√	√	√	√		
1Kx8	√	√	√	√	√		
512x16	√	√	√	√	√		
1Kx9						√	√
512x18						√	√

表 2-2-6 混合宽度时, WORD (16/18) 和低位地址映射关系

	端口宽度	地址位宽度	DOB[8]	DOA[8]	最低 4 位地址 addr [3:0] 值对应的 WORD 内部数据位															
	18	9	0		0															
	9	10	1	0	1															
	4	11	X	X	3				2				1				0			
	2	12	X	X	7	6	5	4	3	2	1	0								
	1	13	X	X	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
18/16 位 WORD 内部数据位			17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

### c) 真双口模式 (True Dual-Port Mode)

真双口模式支持 A 口/B 口的所有独立读写操作组合：两读，两写，一读和一写。

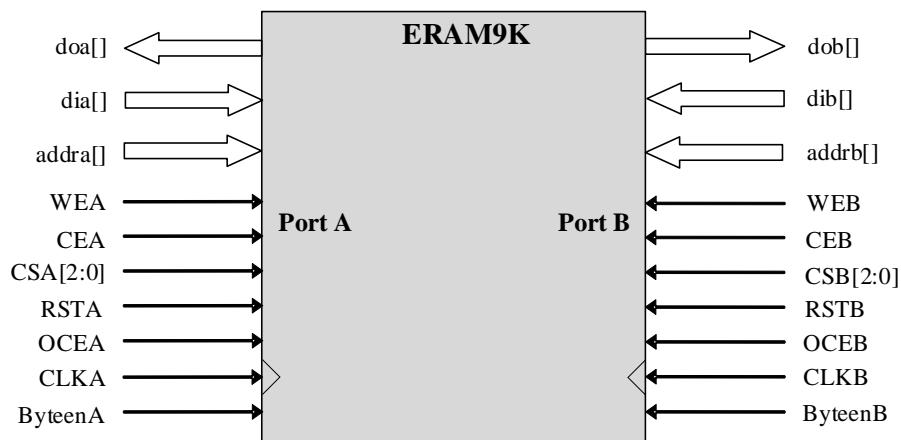


图 2-2-6 位宽<=9 位时 A/B 双口 RAM



表 2-2-7 为真双口模式下支持的混合端口位宽配置

Read Port	Write Port				
	8Kx1	4Kx2	2Kx4	1Kx8	1Kx9
8Kx1	√	√	√	√	
4Kx2	√	√	√	√	
2Kx4	√	√	√	√	
1Kx8	√	√	√	√	
1Kx9					√

#### d) ROM 模式

ERAM9K 支持 ROM 模式。ROM 内容保存在初始化文件中，在芯片编程下载时写入 ERAM9K 中。初始化值可以在 IP 生成时用 MIF 文件设置。ROM 输出可选择带寄存器或不带寄存器锁存。ROM 的读出操作和单口 RAM 的读操作时序相同。

### 2.2.5 FIFO 模式

ERAM9K 内部集成 FIFO 控制器，硬件支持同步/异步 FIFO 模式。FIFO 模式下 ERAM9K 位宽设置和简单双口 RAM 设置相同，最高可支持 18bit 输入和输出。

表 2-2-8 FIFO 模式下的端口信号

输入端口名	方向	说明
dia[8:0]	输入	FIFO 数据输入， 16/18 位输入端口模式时作为低 9 位数据输入
dib[8:0]	输入	只在 16/18 位输入端口模式时作为高 9 位数据输入，其他位宽不使用。
clkw	输入	FIFO 写端口时钟输入， 默认上升沿有效（可反向）
rst	输入	FIFO 内部写指针/读指针复位信号（可反向）
we	输入	FIFO 写使能，1 为写入操作，0 无操作。
csw[2:0]	输入	FIFO 写端口 3 位片选信号（可反向），类似 RAM 模式。
输出端口名	方向	说明
doa[8:0]	输出	只在 18 位输出端口模式时作为低 9 位数据输出，其他位宽时不使用。
dob[8:0]	输出	<=9 位时作为数据输出，18 位输出端口模式时作为高 9 位数据输出。
clkr	输入	读端口时钟输入， 默认上升沿有效（可反向）
rprst	输入	FIFO 读指针复位信号
re		FIFO 读使能，1 为读操作，0 无操作。
csr[2:0]	输入	FIFO 读端口 3 位片选信号（可反向），类似 RAM 模式。
orea	输入	doa 端口数据寄存器时钟使能， 默认高有效（可反向）。只有 18 位输出端口模式并且当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
oreb	输入	dob 端口数据寄存器时钟使能， 默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。



FIFO 标志名	方向	说明
empty_flag	输出	FIFO 读空标志，和 clk_r 同步。
aempty_flag	输出	FIFO 几乎读空标志，和 clk_r 同步。相对读空提前量由 AE_POINTER 参数决定。
full_flag	输出	FIFO 满标志，和 clk_w 同步。FIFO 满容量由 FULL_POINTER 参数决定。
afull_flag	输出	FIFO 几乎满标志，和 clk_w 同步。FIFO 几乎满容量由 AF_POINTER 参数决定。

表 2-2-9 FIFO 模式支持的混合端口位宽配置

Read Port	Write Port						
	8Kx1	4Kx2	2Kx4	1Kx8	512x16	1Kx9	512x18
8Kx1	√	√	√	√	√		
4Kx2	√	√	√	√	√		
2Kx4	√	√	√	√	√		
1Kx8	√	√	√	√	√		
512x16	√	√	√	√	√		
1Kx9						√	√
512x18						√	√

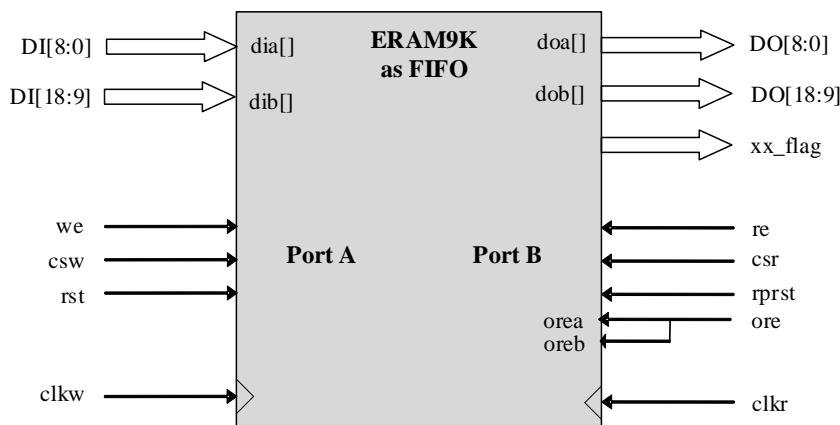


图 2-2-7 18 位进/18 位出 FIFO 模式

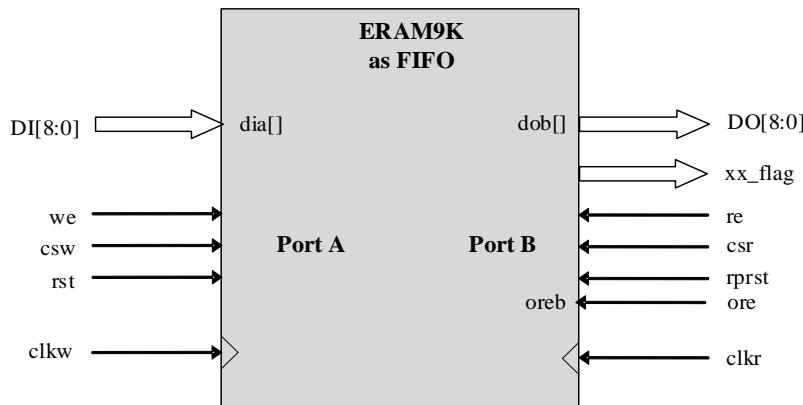


图 2-2-8 &lt;=9 位进/&lt;=9 位出 FIFO 模式

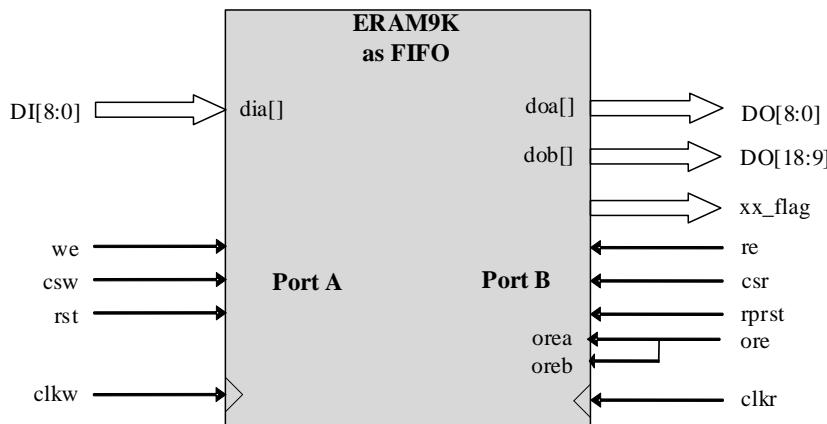


图 2-2-9 9 位进/18 位出 FIFO 模式

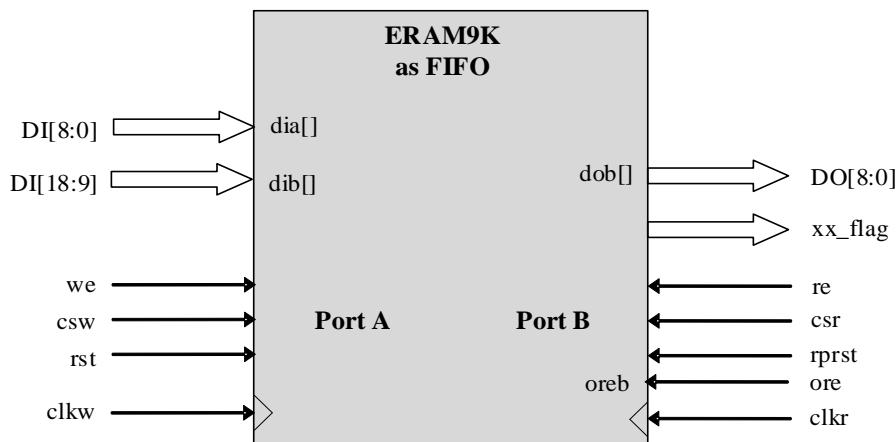


图 2-2-10 18 位进/9 位出 FIFO 模式

### ■ 空满标志属性的设置

FIFO 模式下用户可以通过软件设置 FIFO 空满标志属性。空标志 (empty\_flag) , 几乎空标志 (almost\_empty) , 满标志 (full\_flag) , 几乎满标志(almost\_full)。当内部计数器计数到标志值时会在 FF/AF/EF/AE 相应端口输出高电平。

表 2-2-10 FF/AF/EF/AE 属性设置

FIFO 属性名称	描述	设置范围
FF	Full flag	1 to Max
AF	Almost full	1 to Full-1
AE	Almost empty	1 to Full-1
EF	Empty setting	0

### ■ FIFO 模式下常用配置

FIFO 模式的 CSW/CSR 和 RAM 模式中的 CSA/CSB 接口逻辑类似。当 FIFO 写满或读空时为了避免指针溢出，可以通过互连资源将满信号反向后接入 csw 端，空信号反向后接入 csr 端。反向逻辑可以利用 csw/csr 内部的反向与逻辑实现。

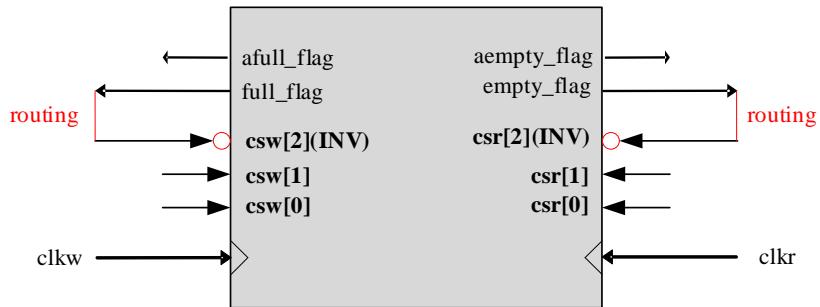


图 2-2-11 单个 ERAM9K FIFO 模式连接

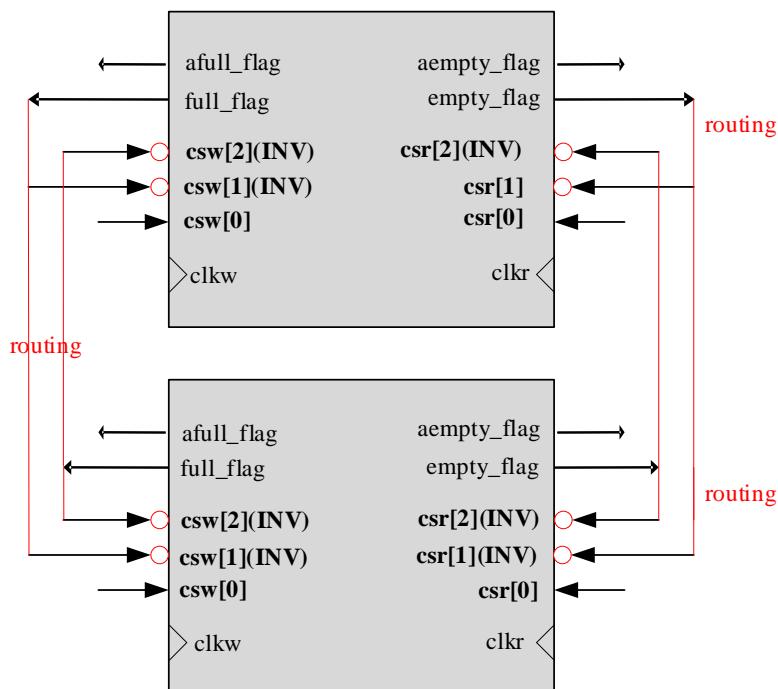


图 2-2-12 两个 ERAM9K FIFO 级联模式连接

## 2.2.6 ERAM32K

为了达到更高的存储容量, EAGLE 系列器件中设计了嵌入式真双口存储器模块 ERAM32K, 存储器容量 32K bits。

ERAM32K 可实现:

- 单口 RAM
- 双口 RAM

ERAM32K 模块支持的功能特色有:

- 32K bits / 每块, 可设置为 2K\*16 或 4K\*8
- A/B 口时钟独立。



- 可单独配置 A/B 口数据位宽，支持 8 位/16 位两种宽度
- 输出锁存器可选择（支持 1 级流水线）
- 支持多种写操作模式。可选择只写（Normal），写穿通（Write through）两种模式

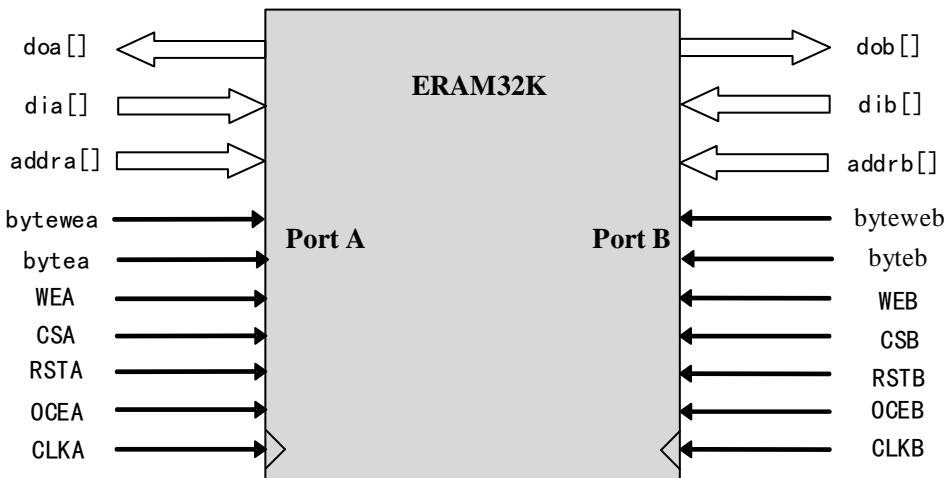


图 2-2-13 ERAM32K 双口 RAM

表 2-2-11 ERAM32K 端口信号

A 端口名	方向	说明
dia[15:0]	输入	A 端口数据输入，8 位输入端口模式时 dia[7:0]有效。
addra[10:0]	输入	A 端口地址输入，2K 深度。
bytewea	输入	A 口 16 位模式时，使能 8 位写模式，高有效。8 位模式时接 0。
bytea	输入	8 位模式时作为最低位地址输入；16 位模式 wbyte_ena=1 时，bytea=1 选择高 8 位写入，bytea=0 选择低 8 位写入。
doa[15:0]	输出	A 端口数据输出，8 位输出端口模式时只 doa[7:0]有效
clka	输入	A 端口时钟输入，默认上升沿有效（可反向）
rsta	输入	A 端口数据输出寄存器同步复位信号，默认高有效（可反向）
csa	输入	A 端口片选，默认高有效（可反向）。
wea	输入	A 端口写入/读出操作控制，1 为写入操作，0 为读出操作；
oceab	输入	A 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
B 端口名	方向	说明
dib[15:0]	输入	B 端口数据输入，8 位输入端口模式时 dib[7:0]有效
addrb[10:0]	输入	B 端口地址输入，2K 深度
byteweb	输入	B 口 16 位模式时，使能 8 位写模式，高有效。8 位模式时接 0。
byteb	输入	8 位模式时作为最低位地址输入；16 位模式 wbyte_enb=1 时，byteb=1 选择高 8 位写入，byteb=0 选择低 8 位写入。
dob[15:0]	输出	B 端口数据输出，8 位输出端口模式时 dob[7:0]有效



clk_b	输入	B 端口时钟输入， 默认上升沿有效（可反向）。
rst_b	输入	B 端口数据输出寄存器同步复位信号， 默认高有效（可反向）
cs_b	输入	B 端口时钟有效控制信号， 默认低有效（可反向）。
web	输入	B 端口写入/读出操作控制， 0 为写入操作， 1 为读出操作。
oce_b	输入	B 端口数据寄存器时钟使能， 默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。

## 2.3 时钟资源

EAGLE 系列 FPGA 包含 3 种时钟资源，第一种是给核心逻辑、嵌入式存储器、IOL 和 DSP 使用的全局时钟（GCLK），第二种是支持高速输入/输出接口串并转换的输入输出时钟（IOCLK），第三种是支持时钟快速输入到 IOCLK 和 PLL 输入的快速时钟。

### 2.3.1 全局时钟

EAGLE 系列全局时钟资源包含专门的时钟输入，缓冲器和布线网络。时钟资源提供 16 个低延迟、低偏斜、互联的全局时钟网络。全局时钟网络能够为 FPGA 各个模块提供统一的高性能、低抖动、低偏斜时钟源。同时全局时钟也可用于高扇出信号。

在全局时钟传输路径上有一级动态时钟使能逻辑，可以实现无毛刺的时钟动态使能，用于从 PLL 输出、时钟管脚、内部分频器、内部逻辑反馈中选择一路作为全局时钟的驱动；从四个边共送进 32 路时钟资源，经过在传输路径上的延时平衡，分别送到位于芯片中间的 36:1 多路选择器，进而分别送到 4 个象限驱动用户逻辑 DFF。

整个芯片以水平和垂直中间线为四个象限，每个象限有 16 路独立的全局时钟资源。

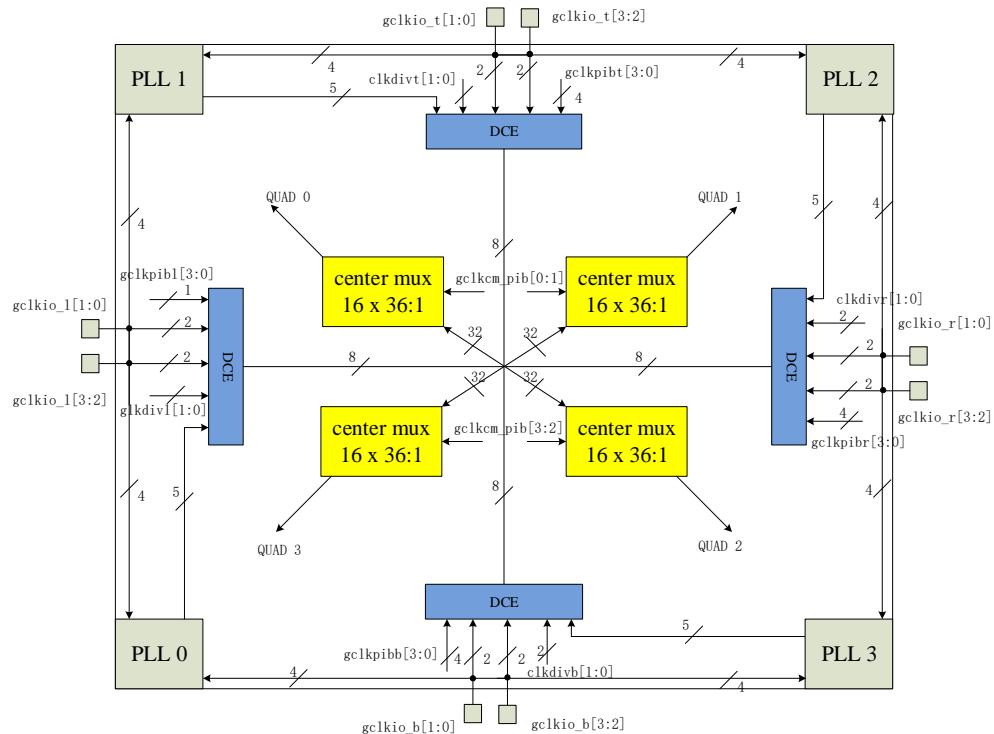


图 2-3-4 全局时钟分布网络

### 2.3.1.1 动态时钟使能 (DCE)

动态时钟使能 (DCE) 模块允许用户通过逻辑描述动态控制时钟网络。当选定时钟被禁止，所有被该时钟驱动的逻辑模块都将静止，从而减少功耗。

### 2.3.1.2 时钟切换模块 (CSB)

每个 EAGLE 器件有 2 个全局时钟动态时钟切换模块。时钟切换模块把所有 32 路全局时钟第一级多路选择器的输出作为输入。动态时钟切换器的设计允许将其配置成一个具有两个时钟输入的同步或异步无毛刺信号 2:1 多路复用器。

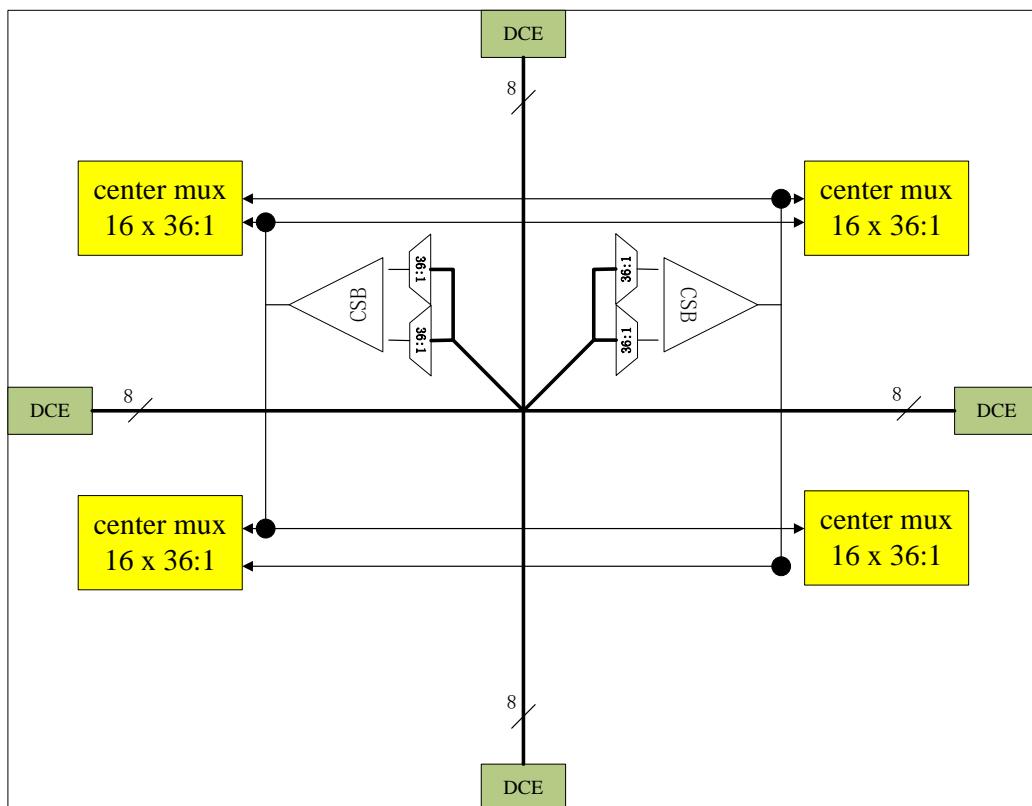


图 2-3-5 CSB 框图

图 2-3-6 给出了 CSB 模块工作时序图

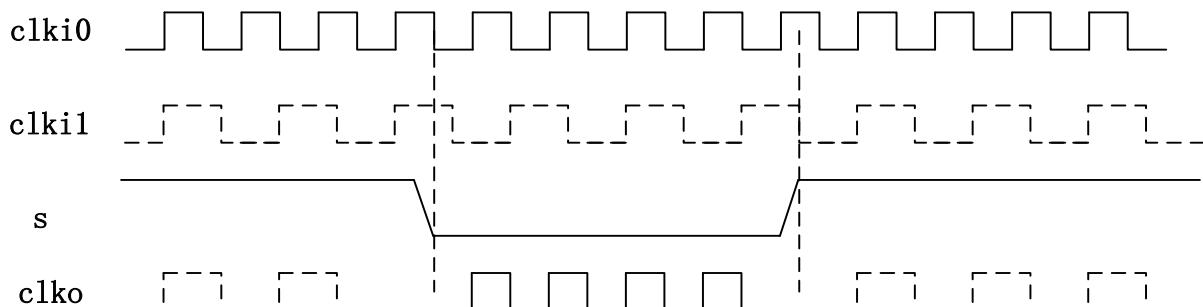


图 2-3-6 CSB 时序图

表 2-3-1 DCS 操作模式表

模 式	S		描 述
	1	0	
BUFGMUX	clk <sub>i1</sub>	clk <sub>i0</sub>	有毛刺时钟切换

### 2.3.2 输入输出时钟

输入输出时钟 (IOCLK) 是可以在 EAGLE 器件中使用的一种时钟缓冲器。IOCLK 驱动 I/O 列内一个独立于全局时钟资源的专用时钟网。这样，BUFIO 就可以理想地适合源同步数据采集（传送/接收器

时钟分配)。IOCLK 可以由位于同一时钟区域的 **clock capable I/O** 驱动，也可以由 PLL 输出驱动。典型的 I/O 组中有两个 IOCLK。每个 IOCLK 可驱动同一区域/组中的一个 I/O 时钟网络。IOCLK 不能驱动逻辑资源(PLB、ERAM 等)，因为 IOCLK 时钟网络只能覆盖同一组或时钟区域内的 I/O 列。

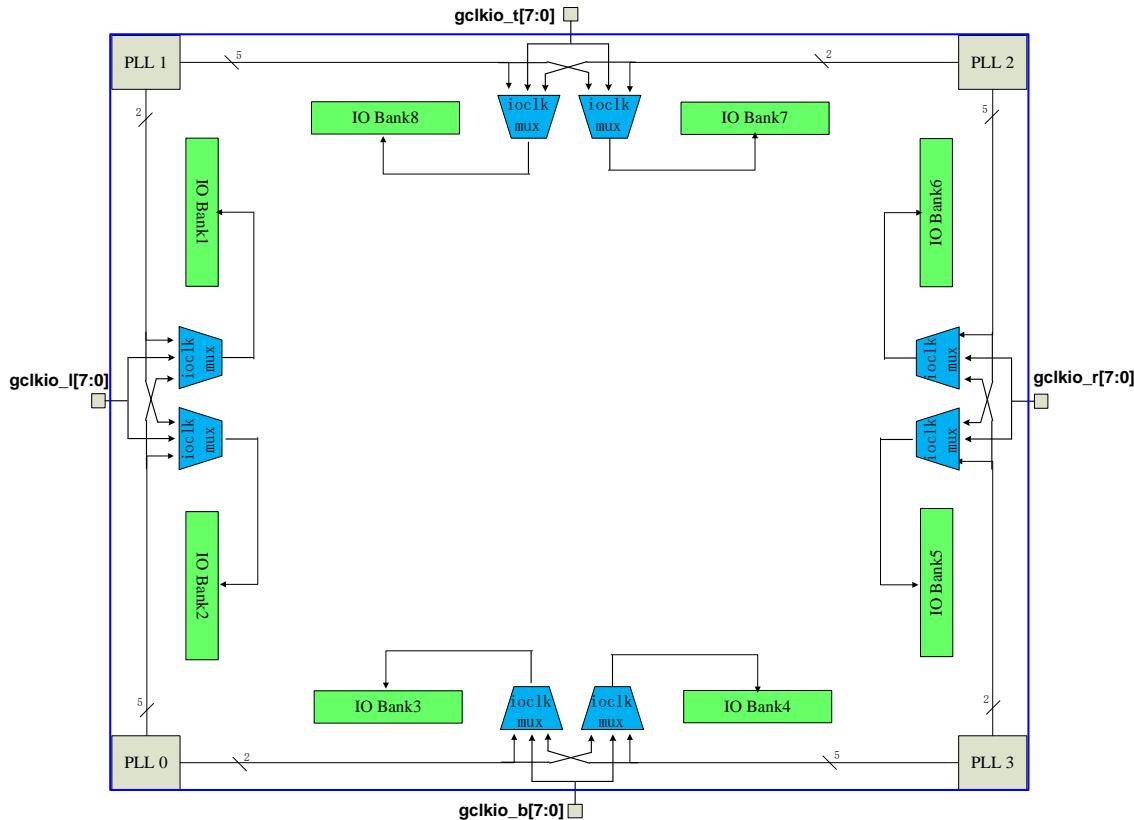


图 2-3-7 IOCLK 架构图

## ■ 时钟分频器

EAGLE 器件在每个 I/O 组中都有两个时钟分频器。时钟分频器把输入时钟分频，其输入来自于相同 I/O 组的输入输出时钟。输出分频系数可以是 1/2/4 中的任意一个。

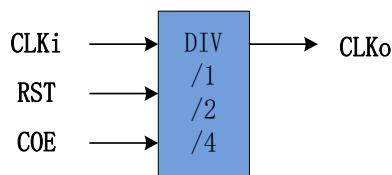


图 2-3-8 时钟分频器

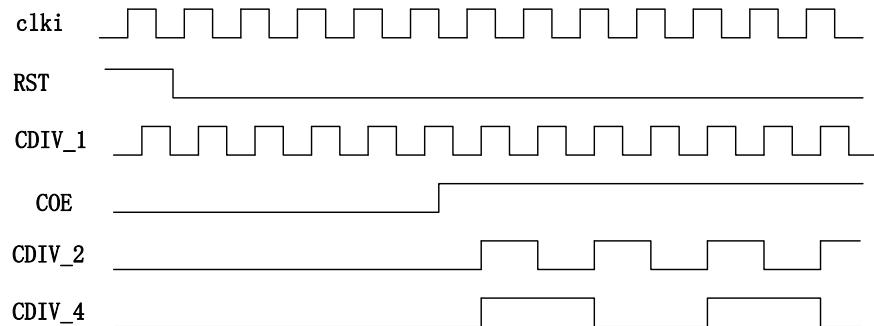


图 2-3-9 时钟分频器时序

### 2.3.3 快速时钟

快速时钟用于实现单时钟输入快速布线到多个 IOCLK 和 PLL 输入的应用，这使得客户实现时钟共享输入应用时更加灵活。

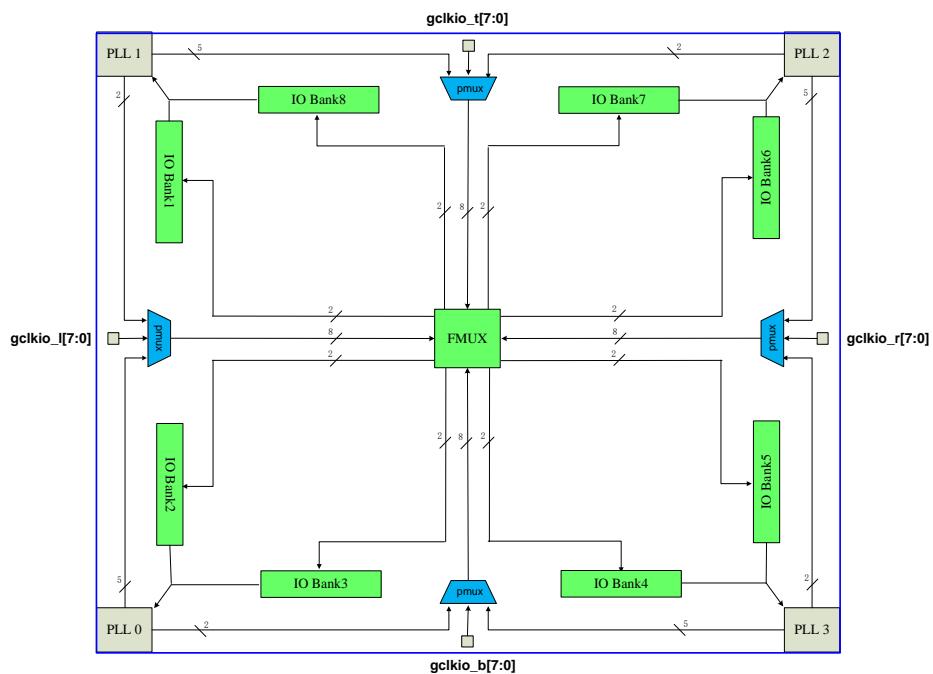


图 2-3-10 快速时钟架构

## 2.4 锁相环 PLL

### 2.4.1 简介

EAGLE 系列 FPGA 最多内嵌有 4 个多功能锁相环 (PLL0~PLL3)，可实现高性能时钟管理功能。每个 PLL 都能实现时钟分频/倍频/输入和反馈时钟对准/多相位时钟输出功能。

用户在使用中应关注 PLL 的 Lock 信号是否为高，同时建议用户等待输入信号稳定后，再给锁相环

进行复位以保证锁相环输出时钟信号的频率和相位。

PLL 参考时钟输入有：时钟网络输出、互连输出和内部振荡器输出。

PLL 反馈时钟输入有：时钟网络输出、内部寄存器时钟节点、互连输出、PLL 内部反馈时钟以及相移时钟 C0~C4。

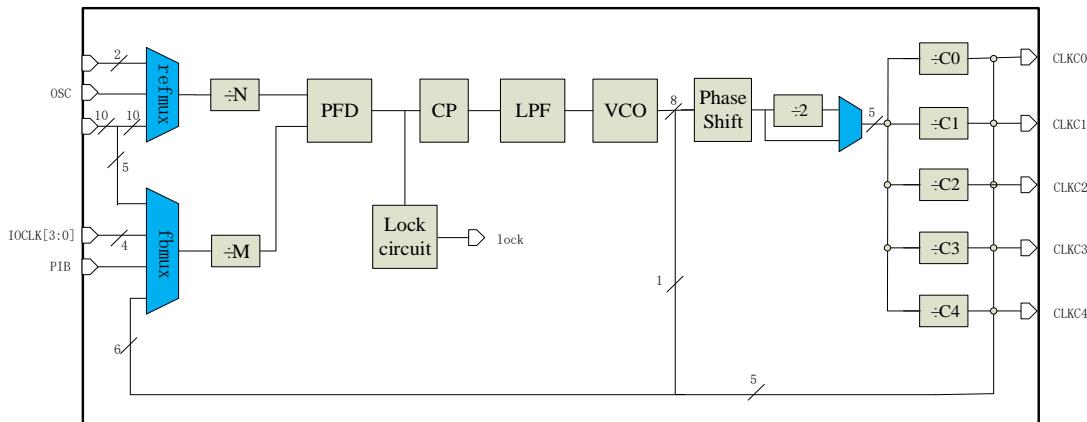


图 2-4-1 EAGLE PLL 架构图

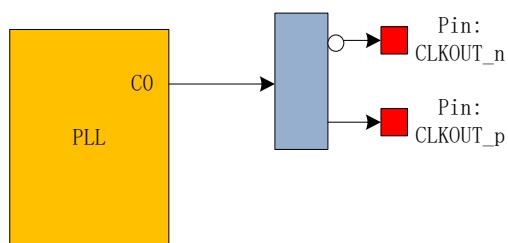


图 2-4-2 EAGLE CO 直接输出到时钟输出 IO 管脚（差分模式）

表 2-4-1 EAGLE PLL 特性表

Feature	EG4 PLL
输入时钟频率范围	10–400 Mhz
输出时钟频率范围	4–400 Mhz
VCO 频率范围	300–1200 Mhz
输出端口数	5 (各端口相位独立可选)
参考时钟分频系数(N)	1 to 128
反馈时钟分频系数(M)	1 to 128
输出时钟分频系数(C0–4)	1 to 128
相移分辨率	45° (相对 VCO)
输出端口可选相位偏移量 (°)	0, 45, 90, 135, 180, 225, 270, 315
用户动态相移控制	支持 (+/-每单位 45 度相移, 相对 VCO)
锁定状态输出	Lock



专用时钟输出管脚	支持
----------	----

## 2.4.2 动态相移

EAGLE 系列 PLL 支持动态相移功能。EAGLE 系列 PLL 控制属性为静态配置。静态配置由用户通过软件设置生成码流，经过上电下载后不能更改。

静态配置参数包括：

- 参考/反馈时钟输入/输出选择
- 参考时钟分频系数(N)
- 反馈时钟分频系数(M)
- 输出时钟分频系数(C0-4)

动态相移特性允许对锁相环的每个独立输出相位进行动态调整，通过对给定的计数器递增或递减实时改变输出时钟相。每次移动相位为 1/8VCO 周期。表 2-4-2 列出了用于动态相移的控制信号。

表 2-4-2 动态相移控制信号

信号名称	描述	信号来源	信号目的地
PSCLKSEL[2:0]	要进行动态移相的时钟选择信号，从 C0-C4 中选出一路或者同时进行动态相位移动。	PIB 或者 IO 引脚	PLL reconfiguration 电路
PSDOWN	动态相移方向选择，1=向上，0=向下，PSCLK 的上升沿采样。	PIB 或者 IO 引脚	PLL reconfiguration 电路
PSSTEP	PSSTEP=1，使能动态相移	PIB 或者 IO 引脚	PLL reconfiguration 电路
PSCLK	动态相移时钟	GCLK 或者 IO 引脚	PLL reconfiguration 电路
PSDONE	信号为高电平时，表明相位调整结束，PSCLK 的上升沿采样。	PLL reconfiguration 电路	PIB 或者 IO 引脚

对于动态相移，每次能对一路输出进行相位调整或者对 C0-C4 五路时钟同时调整，由 PIB 的接口 PSCLKSEL[2:0] 来选择 C[4:0] 中的一路或全部输出执行动态相移，如下表所示。

表 2-4-3 动态相移输出选择

PSCLKSEL[2:0]	PLL 输出选择
000 (default)	C[0]

001	C[1]
010	C[2]
011	C[3]
100	C[4]
101	C[4]-C[0] (五路时钟同时调整)

执行一次动态相移调整，必须遵循以下步骤：

- (1) 根据需要设置 PSDOWN 和 PSCLKSEL。
- (2) 打开相位调整，相位调整 PSSTEP 至少需要四个 PSCLK 周期，每一个 PSSTEP 脉冲进行一次相位移动。
- (3) 关闭相位调整。
- (4) 等待 PSDONE 变为高电平。
- (5) 重复上述步骤 1-4，可以进行多次动态相位调整。

PSCLKSEL[2:0], PSSTEP, PSDOWN 和 PSCLK 同步，必须由 PSCLK 同步过后送给 PLL。

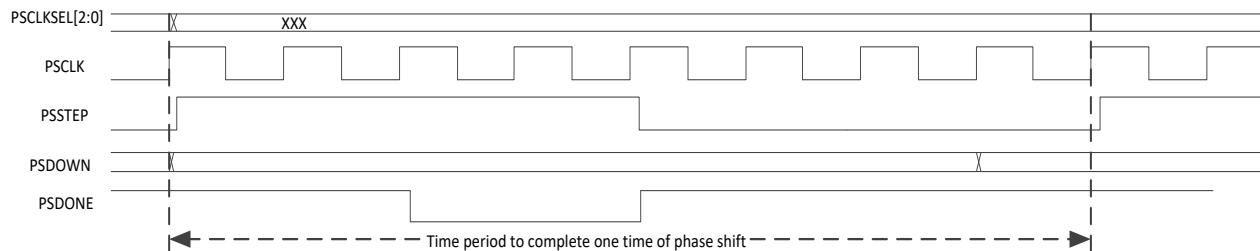


图 2-4-3 PLL 动态相移

PSSTEP 信号在 PSCLK 的上升沿被锁存，如图 2-4-3 所示，PSSTEP 必须在至少四个 PSCLK 周期内保持高电平。在 PSCLK 采样到 PSSTEP 后再经过 2 个 PSCLK 的周期，PSDONE 信号变为低电平并保持 2 个 PSCLK 时钟周期。然后 PSDONE 由低变为高电平，必须再经过四个 PSCLK 周期以上才可以执行另一个动态相移操作。

每一次动态相移，动态相移使能信号 PSSTEP 必须至少维持四个 PSCLK 周期，同时 PSDONE 信号为高电平也至少维持 4 个 PSCLK 时钟周期，也就是完成一次动态相移操作至少需要 8 个 PSCLK 周期。

注意：在动态相移过程中被调节时钟可能会产生 **glitch**。

### 2.4.3 时钟反馈模式

EAGLE 系列 PLL 支持 4 种反馈模式。每种模式都支持时钟分频/倍频和相移。

### a) 源同步模式 (Source-Synchronous Mode)

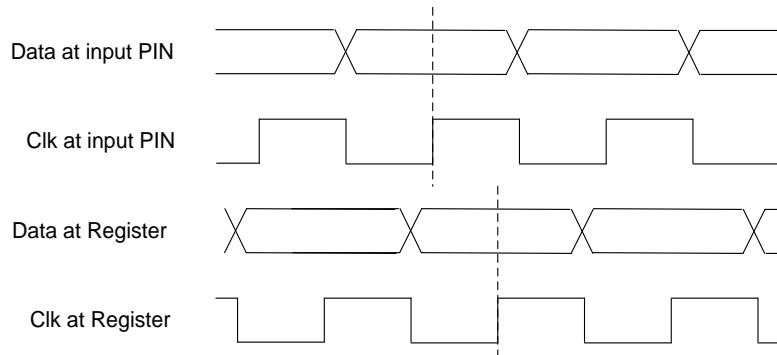


图 2-4-4 源同步模式

如图 2-4-4 源同步模式通过动态相移功能，调节时钟相位保证数据端口到 IOB 输入寄存器的延迟和时钟输入端口到 IOB 寄存器的延迟相等（数据和时钟输入端口模式相同情况下）。

### b) 无补偿模式 (No Compensation Mode)

在无补偿模式，PLL 不对时钟网络延迟进行补偿，PLL 采用内部自反馈，这会提高 PLL 抖动特性。

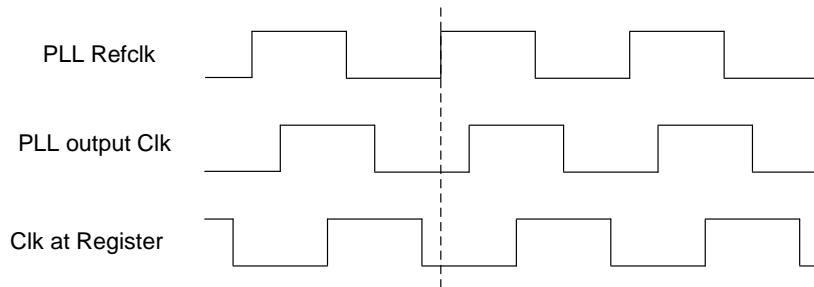


图 2-4-5 无补偿模式

### c) 普通模式

普通模式中，PLL 会补偿 GCLK 网络延迟，保证内部寄存器输入时钟相位和时钟管脚相位一致。

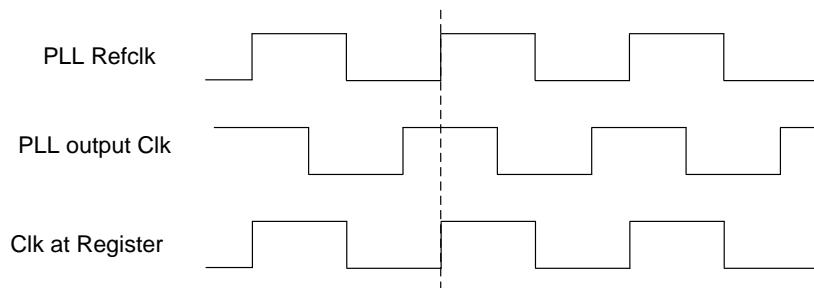


图 2-4-6 普通模式

### d) 零延迟缓冲模式

零延迟缓冲模式，时钟输出管脚相位和 PLL 参考时钟输入管脚相位对齐。

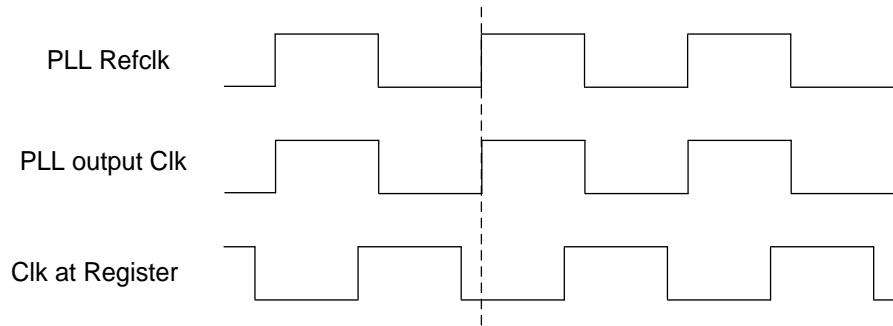


图 2-4-7 零延迟缓冲模式

## 2.5 数字信号处理 (DSP)

EAGLE 器件结合了片上资源与外部接口，这有助于提高性能、减少系统成本，以及降低数字信号处理 (DSP) 系统的功耗。EAGLE 器件本身或者作为 DSP 器件的协处理器，都可用于提高 DSP 系统的性价比。

### 2.5.1 体系结构

图 2-5-1 给出了一个嵌入式乘法器列以及相邻的逻辑阵列模块高度对应关系。嵌入式乘法器可以配置成一个  $18 \times 18$  乘法器，或者配置成两个  $9 \times 9$  乘法器。每个嵌入式乘法器均由以下几个单元组成：

- 乘法器级
- 输入与输出寄存器
- 输入与输出接口

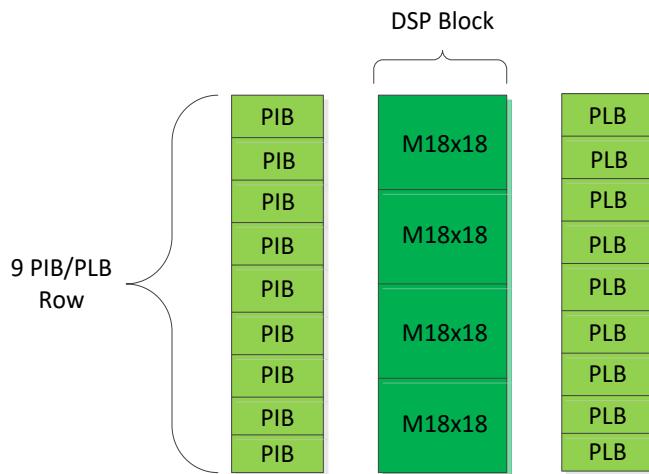


图 2-5-1 与 PLB 相邻的按列排列的嵌入式乘法器

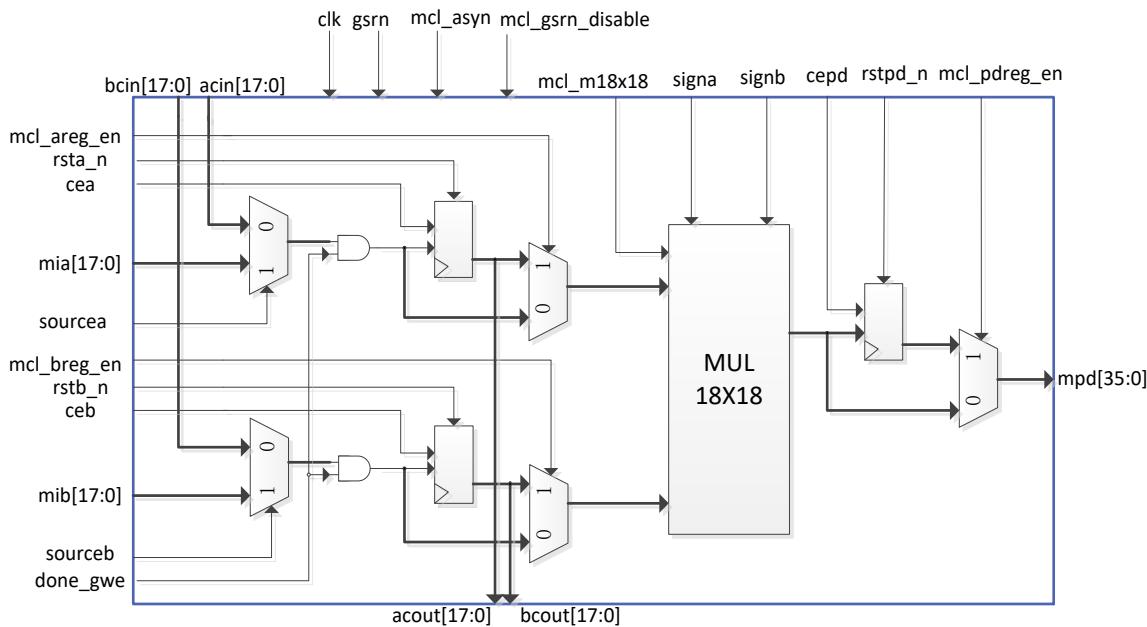


图 2-5-2 乘法器模块的体系结构

### a) 输入寄存器

根据乘法器的操作模式，可以将每个乘法器输入信号连接到输入寄存器，或直接以 9bit 或 18 bit 的形式连接到内部乘法器。可以分别设置乘法器的每个输入是否使用输入寄存器。例如：将乘法器 mia 信号连接到输入寄存器，将 mib 信号直接连接到内部乘法器。

下列控制信号可用于嵌入式乘法器中的每一个输入寄存器：

- 时钟
- 时钟使能
- 同步/异步清零

同一个嵌入式乘法器中的所有输入与输出寄存器均由同一时钟信号驱动，时钟使能信号以及异步清零信号驱动可以独立配置。

### b) 乘法器级

嵌入式乘法器模块的乘法器级支持 9x9 或者 18x18 乘法器，并支持这些配置之间的其它乘法器。根据乘法器的数据宽度或者操作模式，单一嵌入式乘法器能够同时执行一个或者两个乘法运算。

乘法器的每一个操作数都是一个唯一的有符号或者无符号数。**signa** 与 **signb** 信号控制乘法器的输入，并决定值是有符号的还是无符号的。如果 **signa** 信号为高电平，则 **mia** 操作数是一个有符号数值。反之，**mia** 操作数便是一个无符号数值。

表 2-5-1 给出了不同符号类型的操作数的乘积结果对应的符号类型。如果任何一个操作数为有符号数，则乘积的结果为有符号数。



表 2-5-1 乘法器符号表示

mia		mib		乘积
Signa	逻辑值	Signb	逻辑值	
无符号	0	无符号	0	无符号
无符号	0	有符号	1	有符号
有符号	1	无符号	0	有符号
有符号	1	有符号	1	有符号

每一个嵌入式乘法器模块只有一个 **signa** 信号和一个 **signb** 信号，用于控制模块输入数据的符号表示。如果嵌入式乘法器有两个  $9 \times 9$  乘法器，那么这两个乘法器的 **mia** 输入与 **mib** 输入将分别共享同一个 **signa** 信号和同一个 **signb** 信号。可以在运行时动态改变 **signa** 和 **signb** 信号，以修改输入操作数的符号表示。可以通过专用的输入寄存器发送 **signa** 以及 **signb**。不管符号表示如何，乘法器都会支持全精度。

### c) 输出寄存器

根据乘法器的操作模式，可以用 18 bit 或 36 bit 的形式来使用输出寄存器对嵌入式乘法器的输出进行寄存。下面的控制信号可用于嵌入式乘法器中的每一个输出寄存器：

- 时钟
- 时钟使能
- 同步/异步清零

同一个嵌入式乘法器中的所有输入与输出寄存器均由同一时钟信号驱动，时钟使能信号以及异步清零信号驱动可以独立配置。

关于 DSP 的端口说明如下表所示：

表 2-5-2 乘法器端口说明表

名称	方向	位宽	描述
mia	输入	18	来自 PID 的 dsp 操作数输入。具有寄存器输入模式。
acin	输入	18	来自前一级 dsp 的 acout 端口上的级联数据输入。具有寄存器输入模式。
acout	输出	18	连接到下一级 dsp 的 acin 端口上的级联数据输出。
mib	输入	18	来自 PIB 的 dsp 的另一操作数输入。具有寄存器输入模式。
bcin	输入	18	来自前一级 dsp 的 bcout 的级联数据输入。具有寄存器输入模式。
bcout	输出	18	连接到下一级 dsp 的 bcin 端口上的级联数据输出。
cea	输入	1	输入寄存器的时钟使能信号。当 cea 为高电平时，amux 的输出传送给寄存器。
ceb	输入	1	输入寄存器的时钟使能信号。当 ceb 为高电平时，bmux 的输出传送给寄存器。
cepd	输入	1	输出寄存器的时钟使能信号。当 cepd 为高电平，dsp 的数据输出传送给寄存器。



名称	方向	位宽	描述
			器。
clk	输入	1	clk 是 dsp 的输入时钟，共同作用于内部所有的寄存器。
rsta_n	输入	1	输入寄存器的复位信号。当 rsta_n 输入为低电平时，寄存器的输出为“0”。
rstb_n	输入	1	输入寄存器的复位信号。当 rstb_n 输入为低电平时，寄存器的输出为“0”。
rstpd_n	输入	1	输出寄存器的复位信号。当 rstpd_n 输入为低电平时，寄存器的输出为“0”。
sourcea	输入	1	第一级数据选择器的控制端。当 sourcea 为高电平时，MUX 的输出是 a，当 sourcea 为低电平时，MUX 的输出是 acin。
sourceb	输入	1	第一级数据选择器的控制端。当 sourceb 为高电平时，MUX 的输出是 b，当 sourceb 为低电平时，MUX 的输出是 bcin。
mpd	输出	36	dsp 的乘积数据输出。

## 2.5.2 操作模式

根据不同的应用需要，可以选择如下两种的乘法器工作模式的一种：

- 一个  $18 \times 18$  乘法器
- 最多两个  $9 \times 9$  独立的乘法器

通过使用 EAGLE 器件的嵌入式乘法器，可以实现乘法加法器和乘法累加器功能，该功能的乘法器部分由嵌入式乘法器来实现，而加法器或者累加器功能则在逻辑单元中实现。

### a) 18 位乘法器

通过配置每一个嵌入式乘法器，来支持 10 到 18 位输入位宽的单一  $18 \times 18$  乘法器。图 2-5-3 给出了配置后的嵌入式乘法器，以支持一个 18 位乘法器。

所有的 18 位乘法器输入数据与结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数，或者两者的组合。另外，也可以动态修改 signa 与 signb 信号，并且通过专用的输入寄存器发送这些信号。

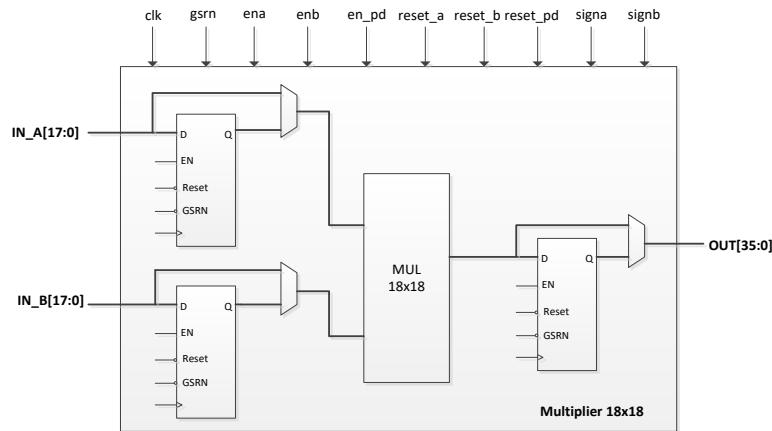


图 2-5-3 18 位乘法器模式

### b) 9 位乘法器

通过配置每一个嵌入式乘法器，以支持最多 9 位输入位宽的两个  $9 \times 9$  乘法器。图 2-5-4 给出了配置后的嵌入式乘法器，以支持两个 9 位乘法器。

所有的 9 位乘法器输入数据与结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数，或者两者的组合。同一嵌入式乘法器模块中的两个  $9 \times 9$  乘法器共享同一个 signa 和 signb 信号。因此，用于驱动同一嵌入式乘法器的所有 mia 输入数据必须要有相同的符号表示。同样，用于驱动同一嵌入式乘法器的所有 mib 输入数据也必须要有相同的符号表示。

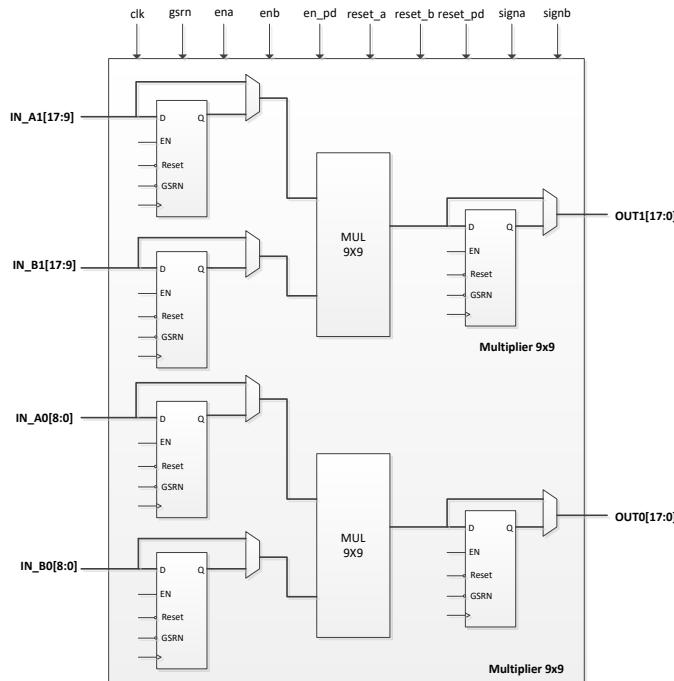


图 2-5-4 9 位乘法器模式

## 2.6 输入输出逻辑 (IOL)

EAGLE 器件的 IOL 逻辑支持多种工作模式。本章节主要介绍如何配置 IOL 资源支持多种工作模式。

## 2.6.1 输入寄存器

输入输出逻辑 (IOL) 中的输入寄存器用来处理高速接口，将其降低为内部核心逻辑可以处理的频率。输入寄存器中均包含可配置延时单元作为数据采样处理辅助。在此基本功能基础上增强了对通用双边沿数据 (GDDR) 的支持。

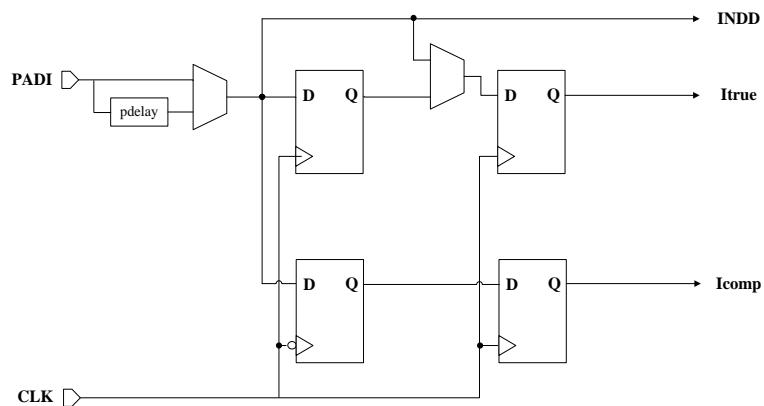


图 2-6-1 输入寄存器框图

### a) 普通输入模式

普通模式下的 IOL 逻辑如图 2-6-2 所示，此模式下信号直接进入 FPGA 内部逻辑。

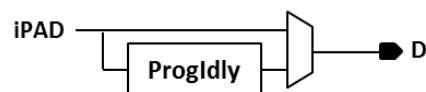


图 2-6-2 普通输入模式框图

### b) SDR 输入模式

相比普通模式，如图 2-6-3，SDR 模式使用了 IOL 寄存器，可以有效地改善 IOL 的时序性能。

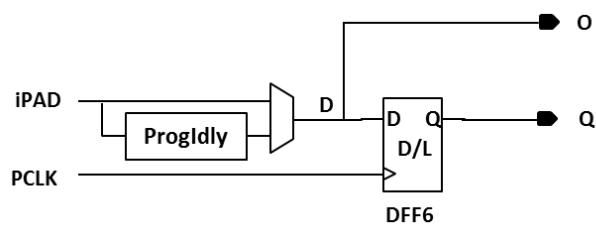


图 2-6-3 SDR 输入模式框图

### c) DDR 输入模式

EAGLE 器件 IOL 中有专用的寄存器用以支持 iDDR<sub>x1</sub> 和 iDDR<sub>x2</sub> 模式。

## ■ iDDRx1 同沿输入模式

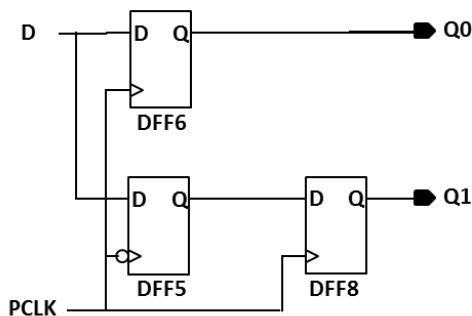


图 2-6-4 Igddr 同沿输入模式框图

在 iDDR<sub>x</sub>1 同沿模式，DFF5 和 DFF6 分别在下降沿和上升沿采样输入数据，DFF8 把 Q1 数据同步到时钟上升沿。由于 DFF8 的引入 Q1 数据相对于 Q0 要晚一个时钟周期，时序如图 2-6-5 所示。

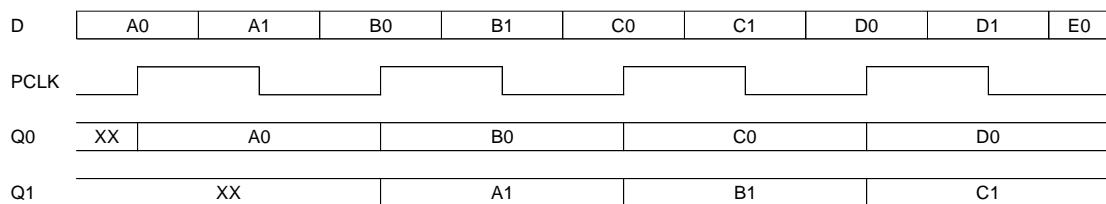


图 2-6-5 Igddr 同沿输入模式

## ■ iDDRx1 同沿 Pipelined 输入模式

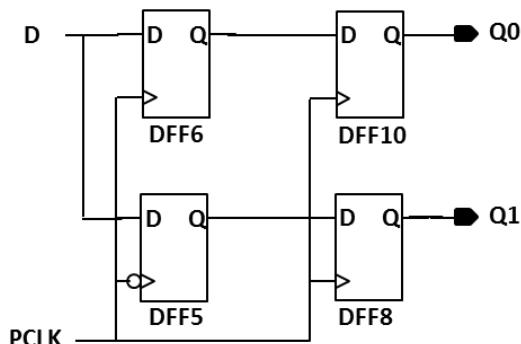


图 2-6-6 Igddr 同沿 Pipelined 输入模式框图

在 iDDR<sub>x</sub>1 同沿模式中 Q1 相对于 Q0 要晚一个时钟周期，为补偿该延时，引入 DFF10，如图 2-6-6 所示。时序如图 2-6-7 所示。

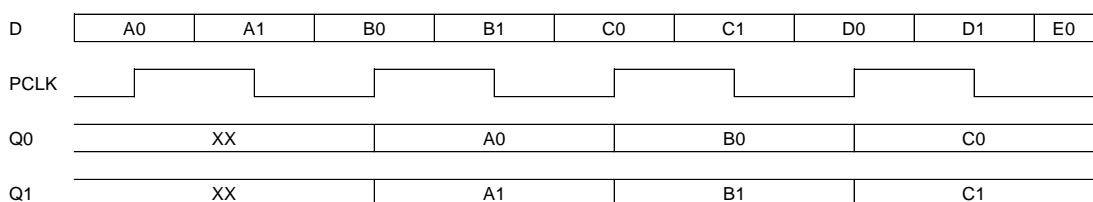


图 2-6-7 Igddr 同沿 Pipelined 输入模式

## ■ iDDRx2 输入模式

iDDRx2 模式下，可以支持更高的 I/O 速度。PAD 与 FPGA 内部逻辑速率比为 4:1。该模式下第一级采样 DFF 由 SCLK 触发，实现高速数据的采样和 1:2 的分离。第二级分离 DFF 由 FPGA 系统时钟 PCLK 触发，实现数据与内核逻辑的同频。PCLK 为 SCLK 速度的一半。

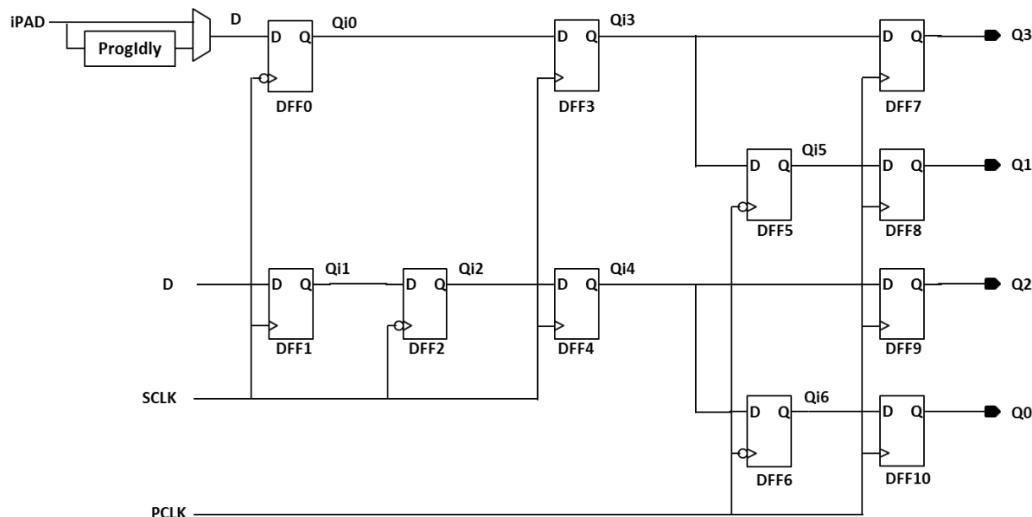


图 2-6-8 iDDRx2 输入模式

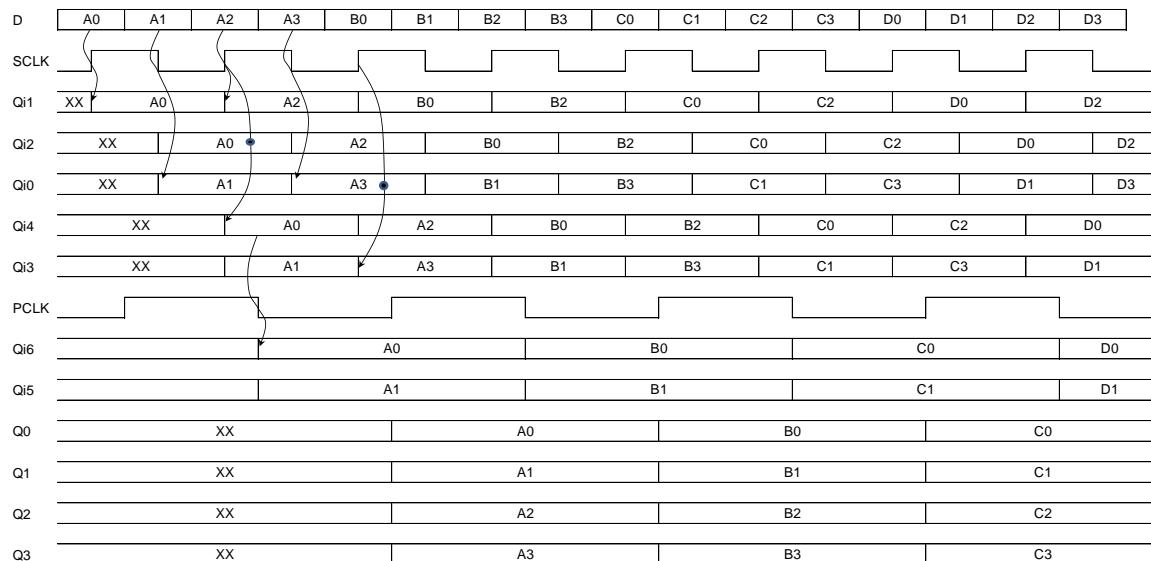


图 2-6-9 iDDRx2 输入模式时序

### d) 输入延时单元

每一个 IOL 逻辑单元内都包含一个可编程输入延时单元，支持 32 级调节，最大延时 3.8ns。支持静态控制延迟的方式。

### 2.6.2 输出寄存器

输入输出逻辑(IOL)中的输出寄存器用来处理内部核心逻辑到高速I/O接口的时序。图2-6-10给出了输出寄存器框图。

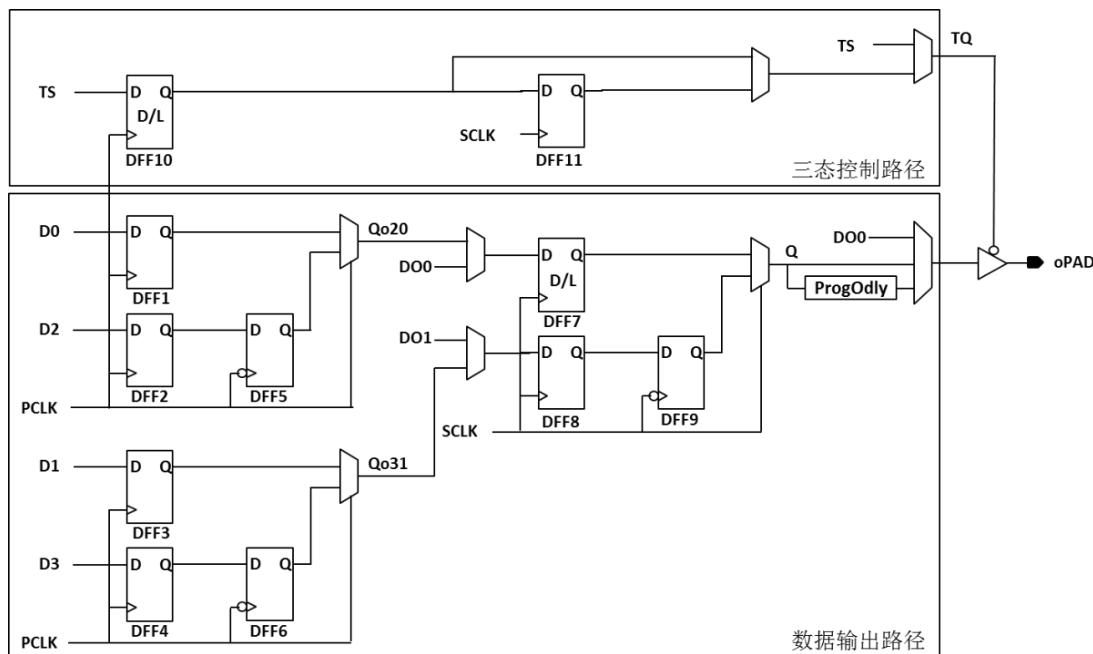


图 2-6-10 输出寄存器框图

a) 普通输出模式

普通输出模式下的 I/O 逻辑如图 2-6-11 所示，此模式下信号直接从 FPGA 内部逻辑输出到 PAD。

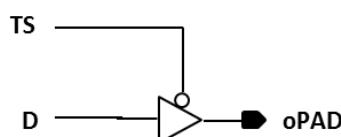


图 2-6-11 普通输出模式框图

b) SDR 输出模式

相比普通模式，如图 2-6-12，SDR 模式使用了 10L 寄存器，可以有效地改善 10 的时序性能。

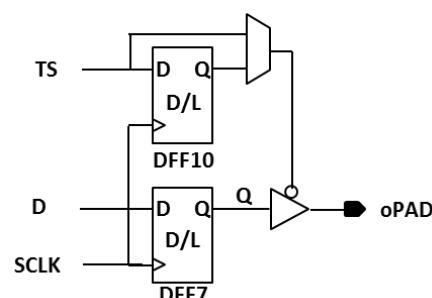


图 2-6-12 SDR 输出模式框图

### c) DDR 输出模式

EAGLE 器件 IOL 中有专用的寄存器用以支持 oDDRx1 和 oDDRx2 模式。

#### ■ oDDRx1 输出模式

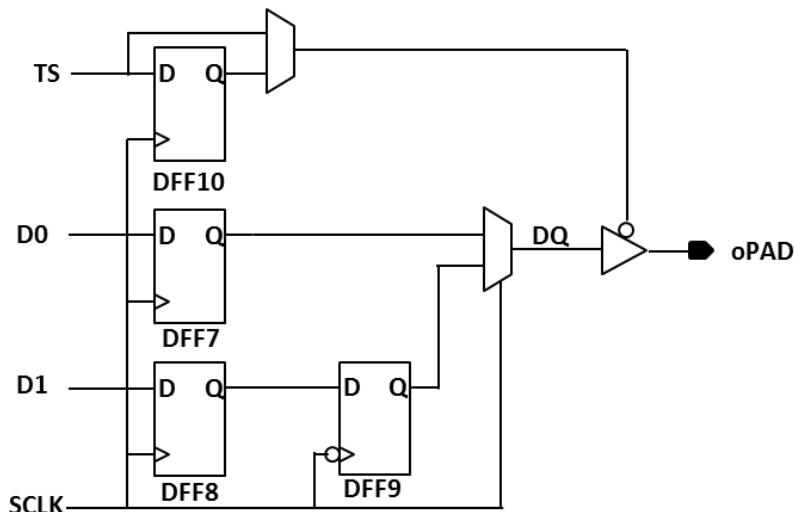


图 2-6-13 oDDRx1 输出模式框图

在 oDDRx1 模式，数据 D00 和 D01 被 SCLK 同沿采样进 DFF7 和 DFF8，并分别在上升沿和下降沿输出到 0pad，时序如图 2-6-14 所示。

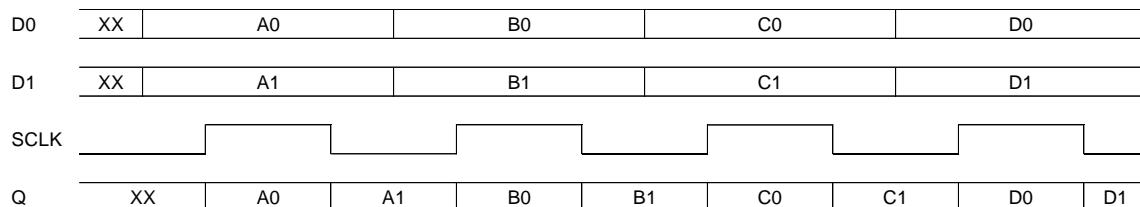


图 2-6-14 0gddr 输出模式

#### ■ oDDRx2 输出模式

oDDRx2 模式下，可以支持更高的 I/O 速度。PAD 与 FPGA 内部逻辑速率比为 4:1。该模式下第一部分 DFF 由 FPGA 系统时钟 PCLK 触发，实现数据的采样和 2:1 并串转换。第二部分 DFF 由高速 SCLK 触发，实现数据高速串行输出。PCLK 为 SCLK 速度的一半。

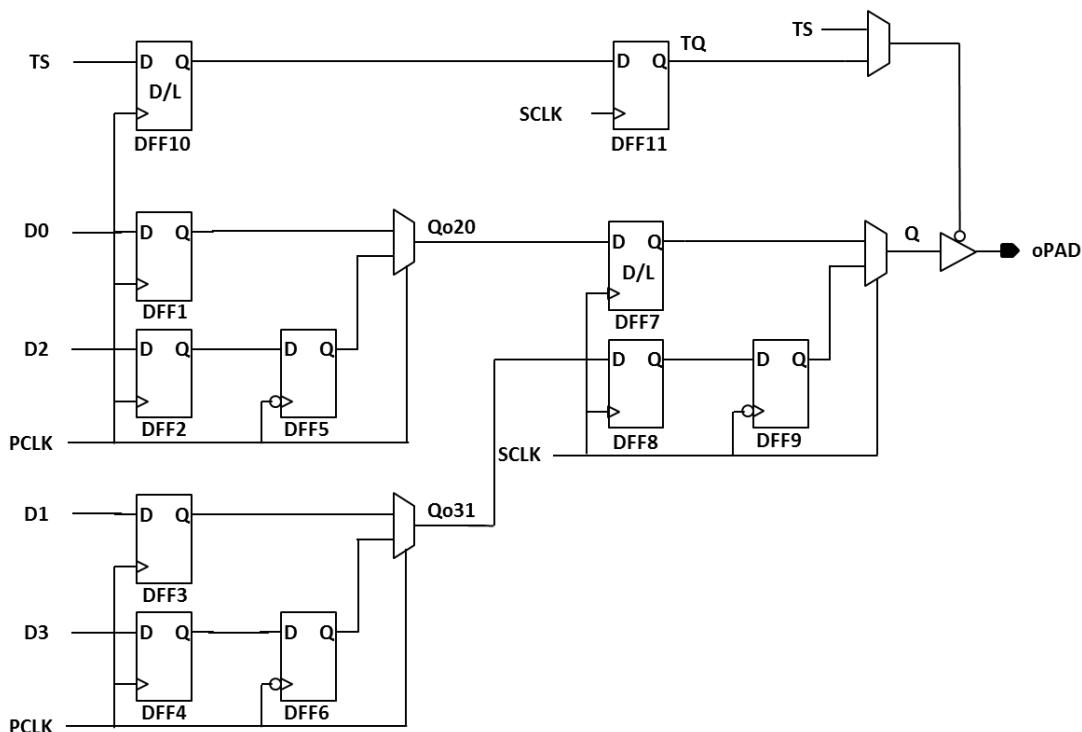


图 2-6-15 oDDRx2 输出模式

D0	XX	A0		B0		C0		D0
D1	XX	A1		B1		C1		D1
D2	XX	A2		B2		C2		D2
D3	XX	A3		B3		C3		D3
PCLK								
Qo20	XX	A0	A2	B0	B2	C0	C2	D0
Qo31	XX	A1	A3	B1	B3	C1	C3	D1
SCLK								
Q	XX	A0	A1	A2	A3	B0	B1	B2
						B3	C0	C1
						C2	C3	D0
								D1

图 2-6-16 oDDRx2 输出模式时序

### ■ oDDRx2L 输出模式

与 oDDRx2 相比，oDDRx2L 模式直接使用内部 SCLK 的 2 分频作为 PCLK，节省 1 个 CLK。数据输出比 oDDRx2 模式晚一个 SCLK 时钟周期。

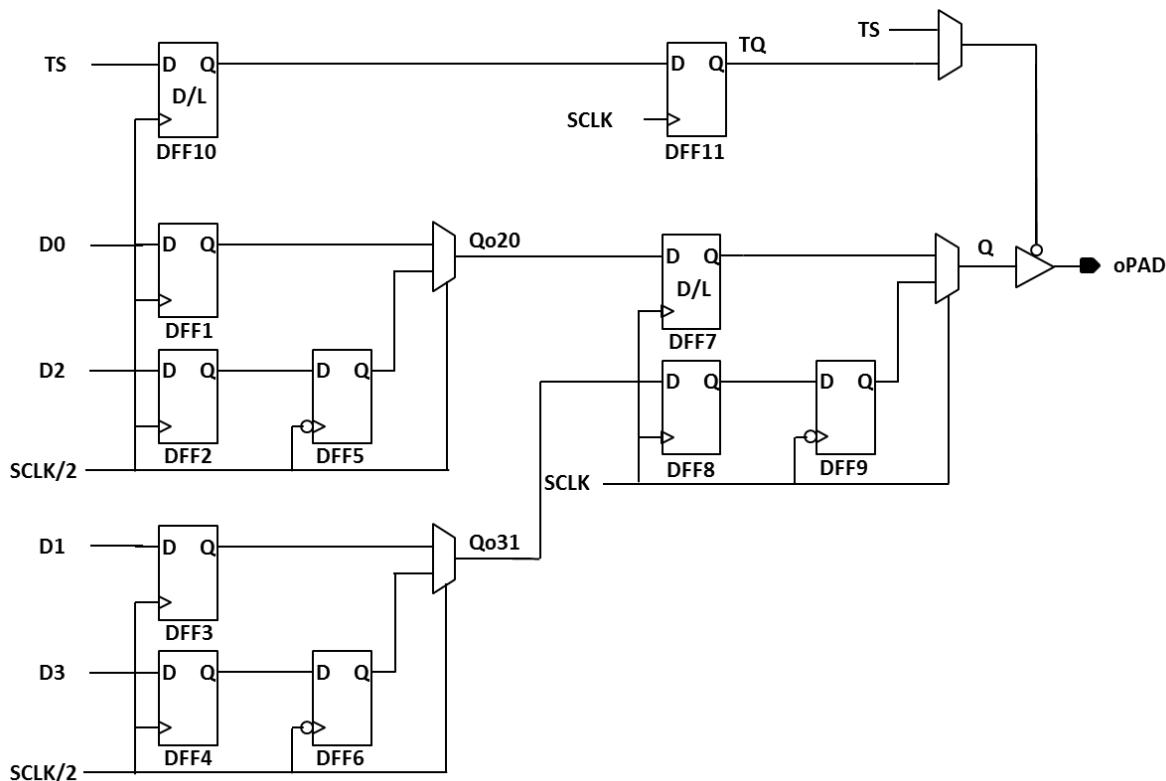


图 2-6-17 oDDRx2L 输出模式

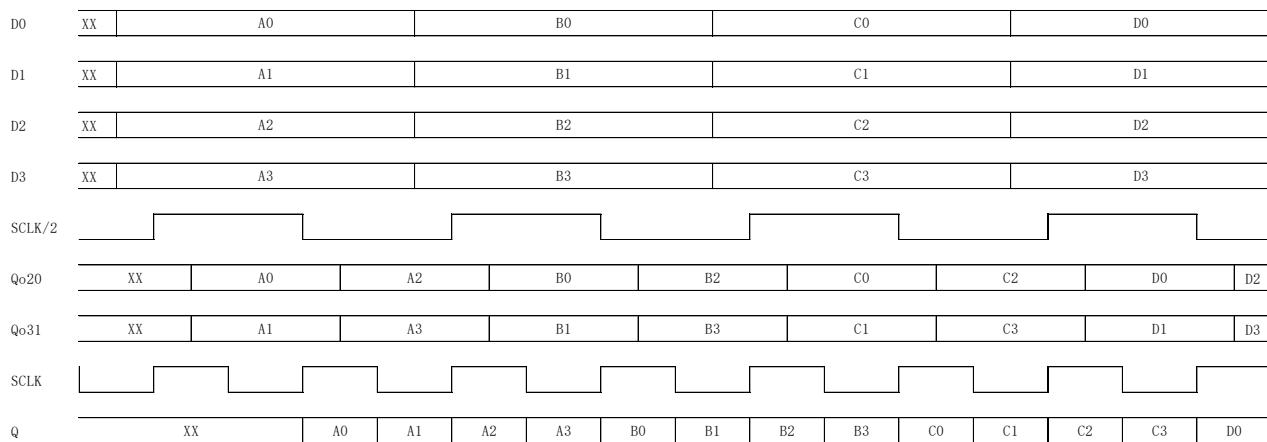


图 2-6-18 oDDRx2L 输出模式时序

#### d) 输出延时单元

每一个 IOL 逻辑单元内都包含一个可编程输出延时单元，总共支持 4 级调节，每级延时 100ps。支持静态控制延迟的方式。

## 2.7 输入输出缓冲器 (IOB)

### 2.7.1 IOB 简介

EAGLE 具有可配置高性能 I/O 驱动器和接收器，可支持种类繁多的标准接口。强大的功能集包括输出强度和斜率的可编程控制。

每个 IOB 包含输入、输出和三态驱动器。这些驱动器可以按照各种 I/O 标准配置。差分 I/O 使用在一个模块中的两个 IOB。

- 单端 I/O 标准 (LVCMS、LVTT、PCI)
- 差分 I/O 标准 (LVDS、LVPECL)

IOB 支持上述电平标准的同时，IOB 支持以下配置项：

- 输出驱动能力调节
- 输出 Slew Rate 调节
- 弱上拉/下拉电阻选择配置
- PCI Clamp 使能
- Bus Hold 功能使能

图 2-7-1 所示为基本 IOB 及其与内部逻辑和器件焊盘的连接。

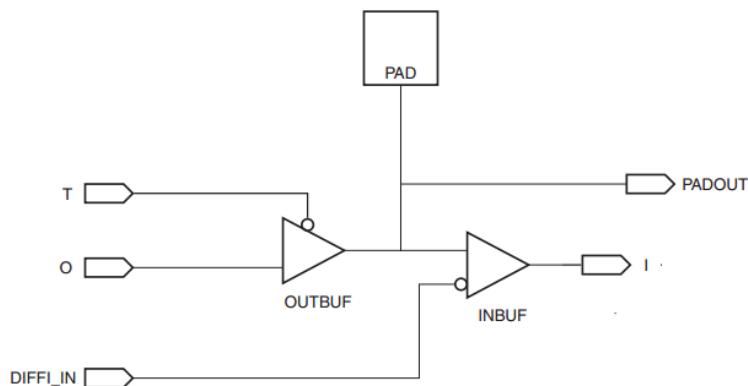


图 2-7-1 基本 IOB 框图

各 IOB 直接连接 IOI 组成输入输出逻辑对，该逻辑对包含输入和输出逻辑资源，可用于数据和 IOB 的三态控制。

### 2.7.2 高速 LVDS 接口

EAGLE 器件支持的差分标准见表 2-7-1。



表 2-7-1 EAGLE 支持的差分标准

差分标准	I/O Location	接收		发送	
		支持	外部电阻	支持	外部电阻
LVDS	左/右	Yes	No	Yes	No
	上/下/左/右	Yes	Yes	Yes	3 电阻
LVPECL	左/右	Yes	No	-	-
	上/下/左/右	Yes	Yes	Yes	3 电阻

True LVDS 与 Emulated LVDS 均可作为 LVDS25 标准输入，最大输入频率 400 MHz (800Mbps)。

作为输出时，True LVDS 采用 LVDS25 标准直接输出 LVDS 电平标准，无需外部匹配电阻，如图 2-7-2 所示，最大输出频率是 400MHz (800Mbps)。

Emulated LVDS 作为输出时采用 LVDS25E 标准，最大输出频率 166MHz，且要外接 3R 电阻网络对输出电压摆幅进行衰减以满足 LVDS 标准，如图 2-7-3 所示。可以通过改变电阻网络值来降低功耗或者改善噪声容限。

表 2-7-2 给出了 Emulated LVDS 推荐电阻值和信号幅值。

表 2-7-2 Emulated LVDS 推荐电阻值

电 阻 (欧姆)		信号幅值 (毫伏)	
$R_s$	$R_p$	LVDSE25	LVDSE33
300	118	195	256
210	127	270	355
150	140	365	483
115	160	460	610

注 1：数据基于驱动能力设定为 8mA，接收器的 100 欧端接电阻可以是片上电阻也可以是片外电阻。当接收端信号幅值大于 500mv 时必须采用片外电阻。芯片内阻为 20 欧姆。



图 2-7-2 True LVDS 输出

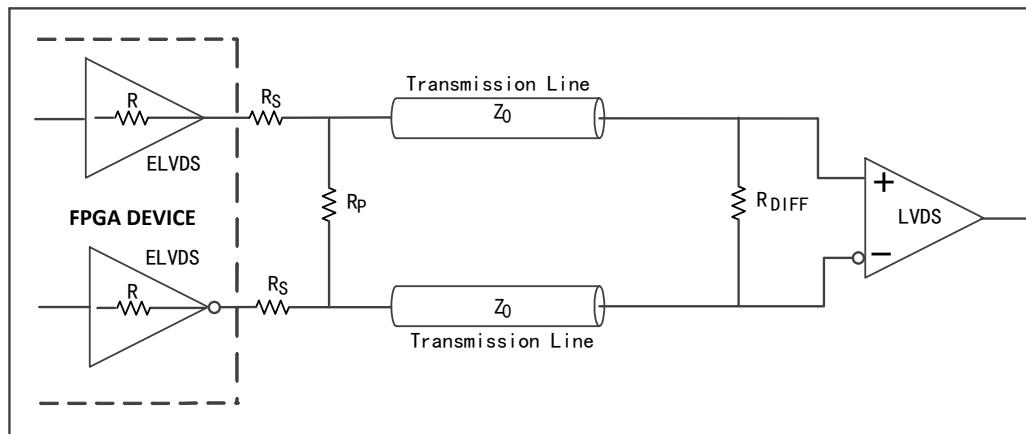


图 2-7-3 Emulated LVDS 输出 3R 电阻网络

### 2.7.3 LVPECL

EAGLE 系列 FPGA 的支持 LVPECL 输入。对于 EAGLE 系列 FPGA，接收 LVPECL 输入信号时需要外接偏置电路来调节差分信号的共模电压，保证 LVDS 能够正常接收。不同  $V_{CCIO}$  电压对应的偏置电阻值不同。如图 2-7-4 为 LVPECL 推荐的交流耦合电路示意图。通常 LVPECL 外部器件发送的差分信号幅度比较大，还需要在板级做相应的信号衰减。图中  $R_{series}$  用于调节接收端信号幅度。根据 LVPECL 发送端信号幅度进行选择，建议在 30~50 欧姆之间选取。 $R$  为直流偏置电阻，建议在 140~150 欧姆之间选取。 $R_{DIFF}$  为端接电阻，可以选择内部 100 欧姆或者板级 100 欧姆。图 2-7-4 LVPECL 作为输入时偏置电阻设置。

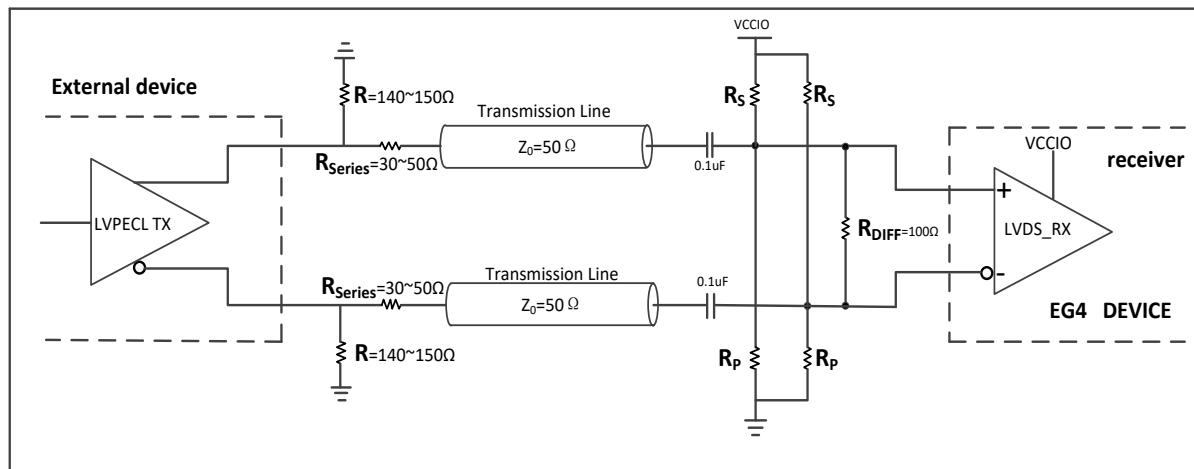


图 2-7-4 LVPECL 推荐的交流耦合电路

表 2-7-3 LVPECL 推荐电阻值

$V_{CCIO}$ (V)	电 阻 (欧姆)	
	$R_S$	$R_P$
3. 3	6. 5k	4. 1k
2. 5	5k	5k

1.8	4.5k	9k
-----	------	----

对于 EAGLE 系列 FPGA I/O 只支持 LVPECL\_E 输出。当 LVPECL\_E 作为输出时，需要外接 3R 电阻网络对输出电压摆幅进行衰减以满足差分标准。图 2-7-5 所示为 LVPECL\_E 输出 3R 电阻网络电路示意。表 2-7-4 所示给出了 LVPECL\_E 推荐电阻值和信号幅值。

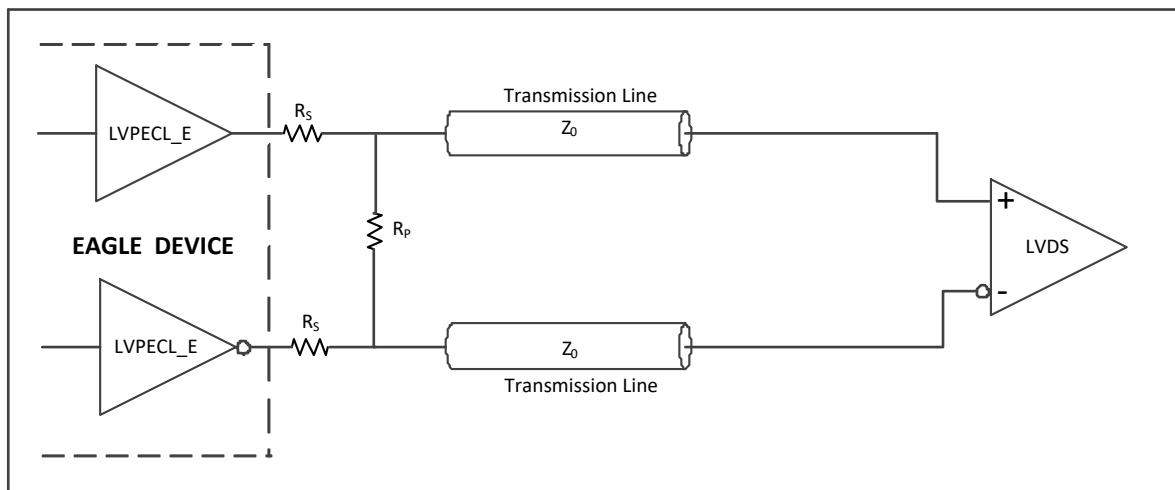


图 2-7-5 LVPECL\_E 输出 3R 电阻网络

表 2-7-4 LVPECL\_E 推荐电阻值

电 阻 (欧姆)		信号幅值 (mv)  Vop-Von
Rs	Rp	LVPECL_E
93	196	800
115	160	460

注 1：数据基于驱动能力设定为 LVCMS33 16mA，接收器带 100 欧姆外接端接电阻

## 2.7.4 I/O 分组

EAGLE 器件有 8 个 I/O 组：每个边有两个用户 I/O 组。组 1 位于靠近配置逻辑（config）的下方，包含专用/共享配置接口。

每一个 I/O 组包含两个参考电压输入。每一个 I/O 组由对应的 VCCIO 供电。

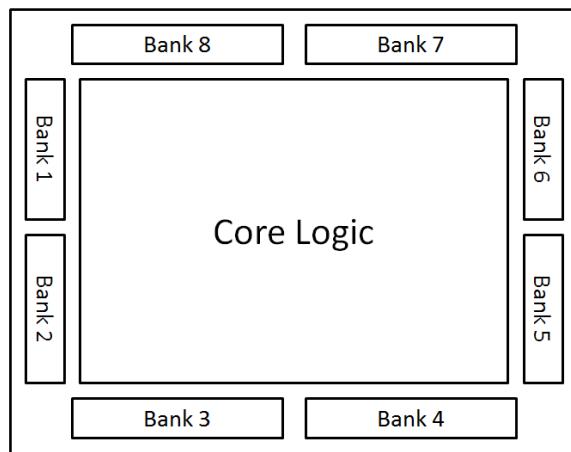


图 2-7-6 I/O 组示意图

### 2.7.5 兼容 5V 输入

EAGLE I/O 可以工作在 1.8–3.3V 电压范围，不能直接接收 5V 输入。如果 5V 电压信号驱动到 Eagle 器件的输入，需要外部串接电阻，同时在软件中打开 Eagle I/O 内部的 PCI 箍位二极管把输入端口接收的电压降到器件安全范围内。

电阻 R 值依赖于 PCI 箍位二极管的电流特性，二极管的电压电流特性见表 2-7-5。

Name	Direction	Bank	ocatio	PullType	IOStandard	sEmpha	DiffrDyn	SlewRate	DriveStrength	VREF	DiffResistor	PCI.Clamp	DifferentialPair
1 gpio_h0_in	input			PULLUP	LVCMS25	OFF	ENABLE	SLOW	NA	NONE	NONE	OFF	
2 gpio_h0_ce_n	output	bank1	P25	NONE	LVCMS25	OFF	ENABLE	SLOW	8	NONE	NONE	OFF	
3 gpio_h0_out	output			NONE	LVCMS25	OFF	ENABLE	SLOW	8	NONE	NONE	OFF	

图 2-7-7 箍位二极管开关设置

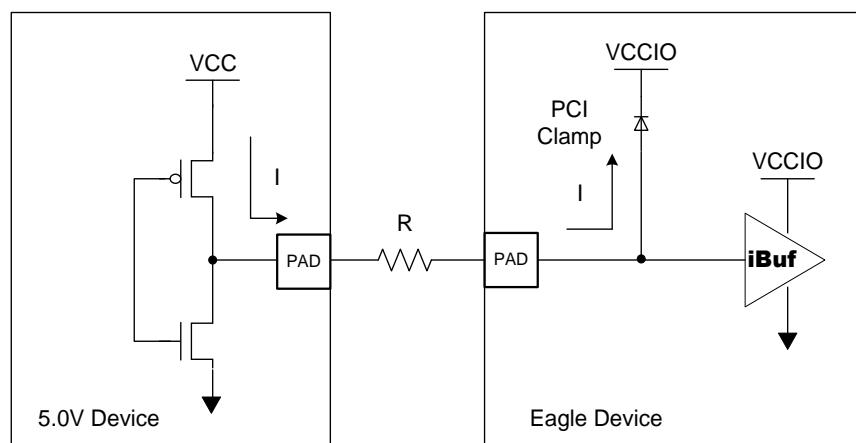


图 2-7-8 5V 输入驱动 Eagle 器件

表 2-7-5 PCI 箍位二极管的电流特性

$V_D$ (V)	$I_{max}$	Unit
0.0	0.92	uA
0.1	9.2	uA
0.2	20	uA
0.3	30.4	uA
0.4	43.3	uA
0.5	76.5	uA
0.6	0.15	mA
0.7	0.36	mA
0.8	2.85	mA
0.9	9.42	mA

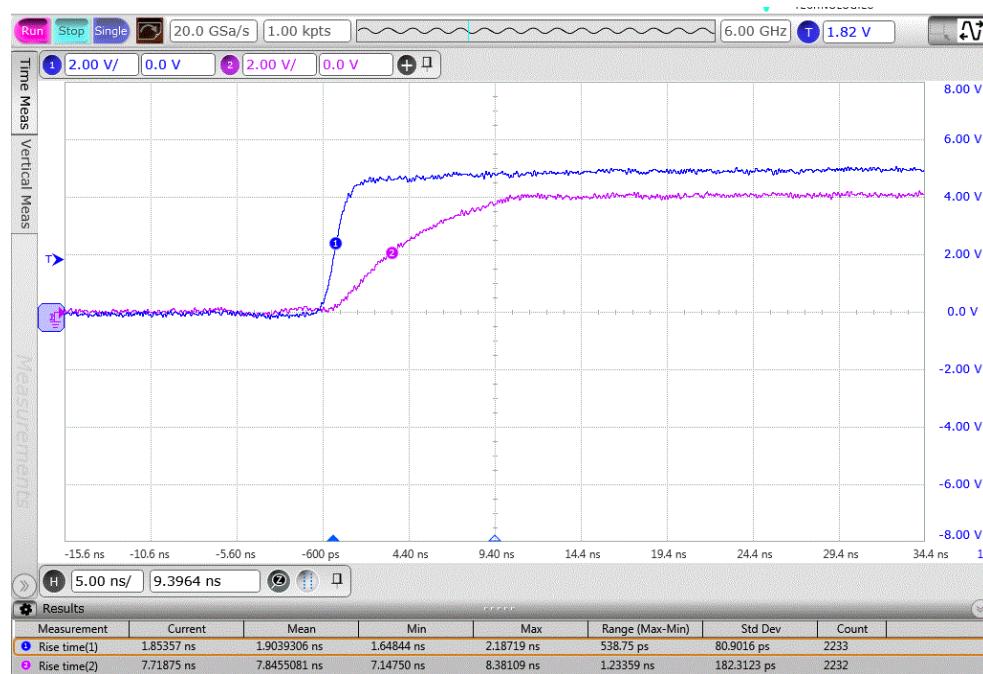
为支持 5V 输入，建议  $VCCIO$  电压工作在 2.5–3.0V 范围，否则 I/O 电压会超过安全电压，长期使用会降低器件寿命。

设计完成后，应确认电路板 PAD 上的电压不超过 3.75V，且 5V 信号不能在进入用户模式前接入，否则要外接二极管。

I/O 器件最大容限绝对电压为  $VIMAX=3.7V$ ，设置  $VCCIO=2.5V$ ，取分压后 I/O 输入端接收到的电压  $VI=3.3V$ ，则二极管上的压降为  $VDIO = VI - VCCIO = 3.3 - 2.5 = 0.8V$ 。 $IDIO @0.8V = 2.85mA$ ， $R = (5 - 3.3)V / 2.85 mA = 5960\Omega$ 。

在输入端箝位通路分别串接不同阻值电阻，在 EAGLE 接收端测量波形。串接电阻  $R=330\Omega$ ，上升时间为 7.8ns，下降时间为 12ns，见图 2-7-9。

串接电阻  $R=600\Omega$ ，上升时间为 12ns，下降时间为 21ns，见图 2-7-10。



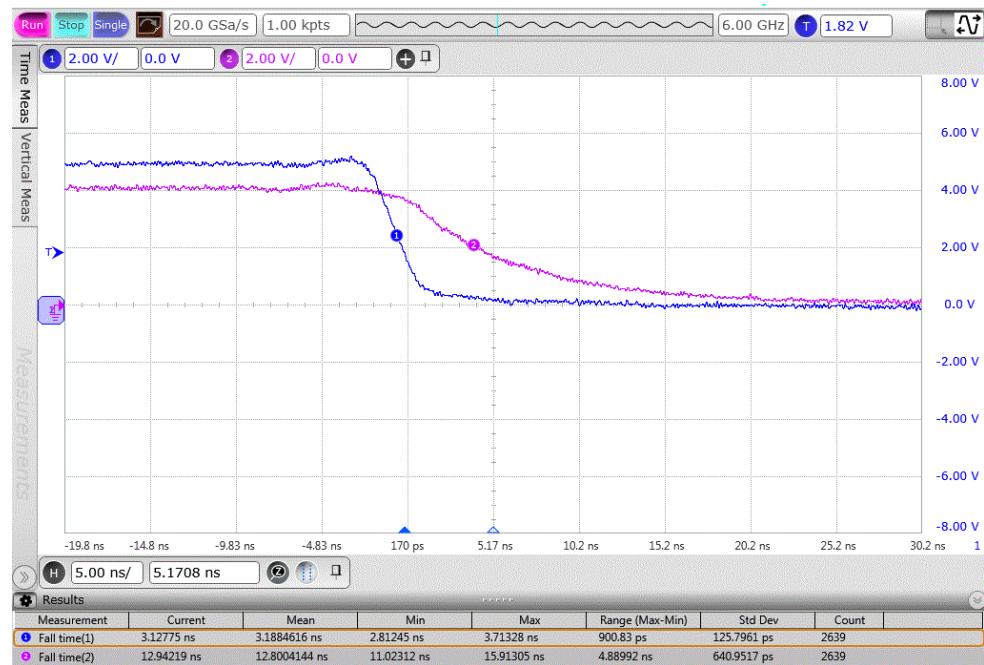
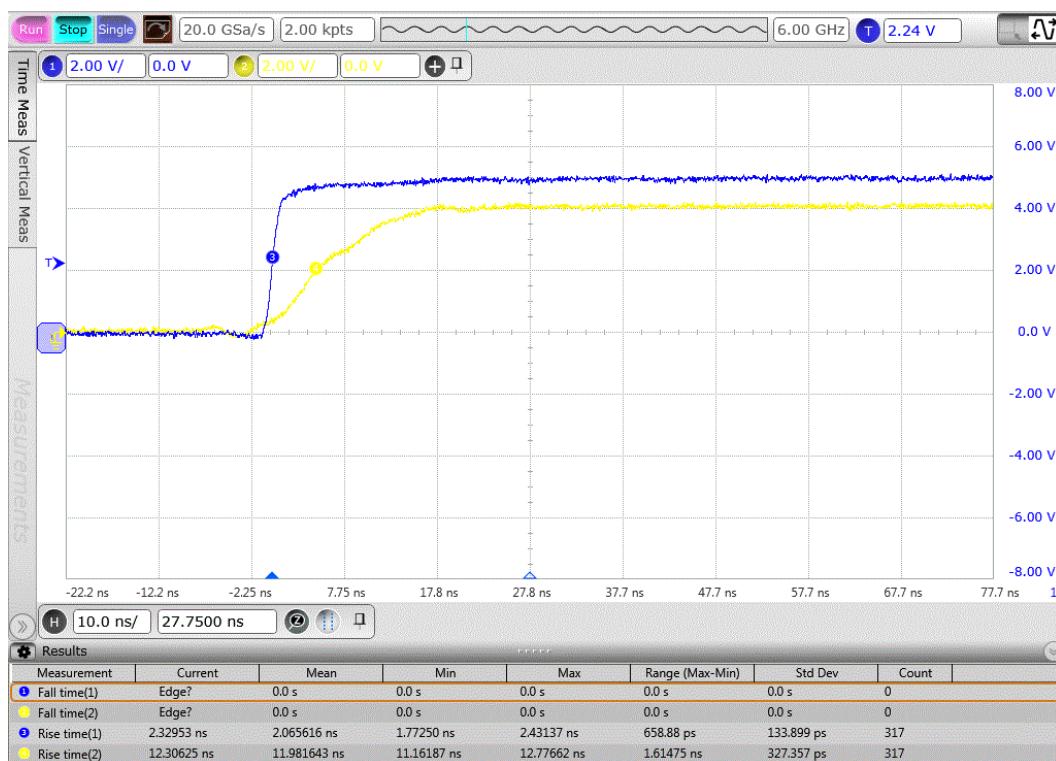


图 2-7-9 5V 输入驱动 EAGLE 器件接收端波形 @R=330 Ohm



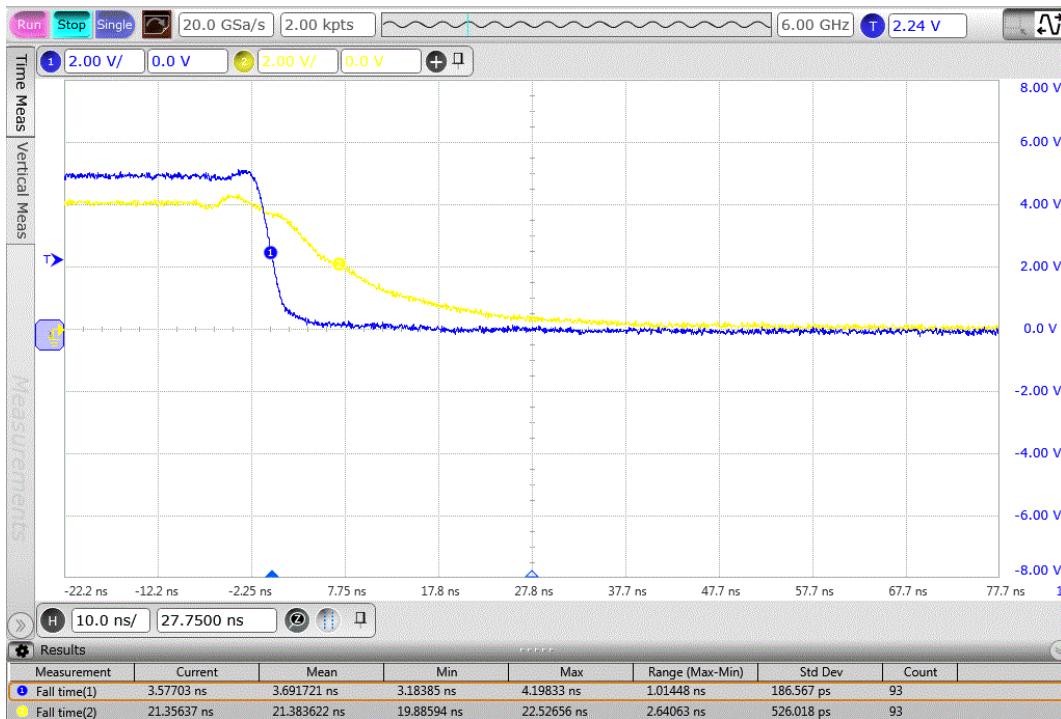


图 2-7-10 5V 输入驱动 EAGLE 器件上升/下降沿 @R=600 Ohm

## 2.8 EAGLE FPGA 配置说明

EAGLE FPGA 芯片有两种 IO 布局：EG4A 和 EG4X，分别兼容 A 家和 X 家的配置模式。配置是通过往芯片内部装载配置数据来实现。EAGLE FPGA 芯片有一部分引脚是专用配置引脚，另一部分是复用引脚，TD 软件提供复用引脚的配置功能，在配置完成之后可以用做一般输入输出。

### 2.8.1 配置模式

EAGLE FPGA 支持 5 种配置方式，分别是从动串行，从动并行，主动并行，MSPI 模式和 JTAG 配置模式。配置模式分别由 EG4A MSEL[2:0]和 EG4X M[1:0]的模式选择信号来选择，具体选择关系见表 2-8-1 和表 2-8-2。

EAGLE 系列 FPGA 配置位流长度 4.8M~6Mbits，位流长度与 ERAM 初始化数据长度相关，需要配置芯片容量大于或等于 6M bits。配置芯片可以使用工业标准串行 SPI 接口 FLASH，比如 M25Pxx、SST25LFxxx、S25FLxxx 等。EAGLE FPGA 支持读命令为 0X03 的 SPI FLASH。



## a) EG4A 配置模式

表 2-8-1 EG4A 配置模式及引脚

配置模式						
配置引脚	类型	SS	SP	MSPI	MP	JTAG
		从动串行 Slave serial	从动并行 Slave Parallel	标准 SPI Master SPI Standard	主动并行 Master Parallel (X8)	
MSEL[2:0]	复用	000/001	110/111	010/011/100	101	XXX
PROGRAMN	复用	PROGRAMN				-
INITN	复用	INITN				-
DONE	复用	DONE				-
CCLK	复用	CCLK				-
CSN	复用	CSN	CSN	CSN	CSN	-
TMS TCK TDO TDI	复用	-	-	-	-	TMS CK TDO TDI
D[7:2]	复用	-	D[7:2]	-	D[7:2]	-
D[1]/ MOSI	复用	-	D[1]	MOSI	D[1]	-
D[0]/DIN/ MISO	复用	DIN	D[0]	MISO	D[0]	-
SPICSN	复用	-	-	SPICSN	-	-
CSON/DOUT	复用	CSON /DOUT	CSON	CSON /DOUT	CSON	-

下面是 EG4A 复用配置引脚：

- 配置模式选择引脚 (MSEL[0], MSEL[1], MSEL[2])
- 配置时钟引脚 (CCLK)
- 配置开始信号引脚 (PROGRAMN)
- 配置完成引脚 (DONE)
- 配置错误指示引脚 (INITN)
- 模式配置片选引脚 (CSN)
- 配置级联片选、数据输出脚 (CSON/DOUT)
- 边界扫描相关引脚 (TDI, TDO, TMS, TCK)
- 配置数据输入引脚 (D[7:0])，其中 D[1]还可以作为 MSPI 模式下的 MOSI, D[0]还可以作为从模式下的 DIN 以及 MSPI 模式下的 MISO
- MSPI 模式 Flash 片选引脚 (SPICSN)



- PROG ININ DONE 等信号的复用可能会导致重新加载等问题，不建议作为输入。但是可以作为输出管脚使用。

### b) EG4X 配置模式

表 2-8-2 EG4X 配置模式及引脚

配置模式						
配置引脚	类型	SS	SP	MSPI	MP	JTAG
		从动串行 Slave serial	从动并行 Slave Parallel	标准 SPI Master SPI Standard	主动并行 Master Parallel (X8)	
MSEL[1:0]	复用	11	10	01	00	XX
PROGRAM_B	复用	PROGRAM_B				-
INIT_B	复用	INIT_B				-
DONE	复用	DONE				-
CCLK	复用	CCLK				-
CSI_B/MOSI	复用	-	CSI_B	MOSI	CSI_B	-
TMS TCK TDO TDI	复用	-	-	-	-	TMS CK TDO TDI
D[7:1]	复用	-	D[7:1]	-	D[7:1]	-
D[0]/DIN/ MISO	复用	DIN	D[0]	MISO	D[0]	-
CSO_B	复用	-	CSO_B	CSO_B	CSO_B	-
DOUT	复用	DOUT	-	DOUT	-	-

下面是 EG4X 复用配置引脚：

- 配置模式选择引脚 (M[0], M[1])
- 配置时钟引脚 (CCLK)
- 配置开始信号引脚 (PROGRAM\_B)
- 配置完成引脚 (DONE)
- 配置错误指示引脚 (INIT\_B)
- 并行模式配置片选引脚 (CSI\_B)
- MSPI 模式下的 MOSI (MOSI)
- 配置并行级联片选脚 (CSO\_B)
- 配置级联串行数据输出脚 (DOUT)
- 边界扫描相关引脚 (TDI, TDO, TMS, TCK)



- 配置数据输入引脚(**D[7:0]**), 其中**D[0]**还可以作为从模式下的**DIN**以及**MSPI**模式下的**MISO**。

根据不同的配置方式选择, **CCLK** 可以是 **FPGA** 芯片产生的时钟输出, 也可以是外围电路产生的输入。**DONE/INITN/INIT\_B** 是带内部上拉的开漏输出。

**PROGRAMN/PROGRAM\_B INITN/INIT\_B DONE** 等信号的复用可能会导致重新加载等问题, 引脚复用时不建议作为输入。但是可以复用为输出管脚使用。

## 2.8.2 配置流程

**EAGLE** **FPGA** 芯片的整个配置过程可以分三个部分。首先, 在芯片上电复位或者系统复位信号有效后进入复位, 等待内部信号和电源稳定后, 系统进入初始化阶段, 内部配置信息清除, 初始化完成后, **FPGA** 开始接受配置数据写入, 写入完成后, **FPGA** 芯片启动阶段, 如图 2-8-1 所示。

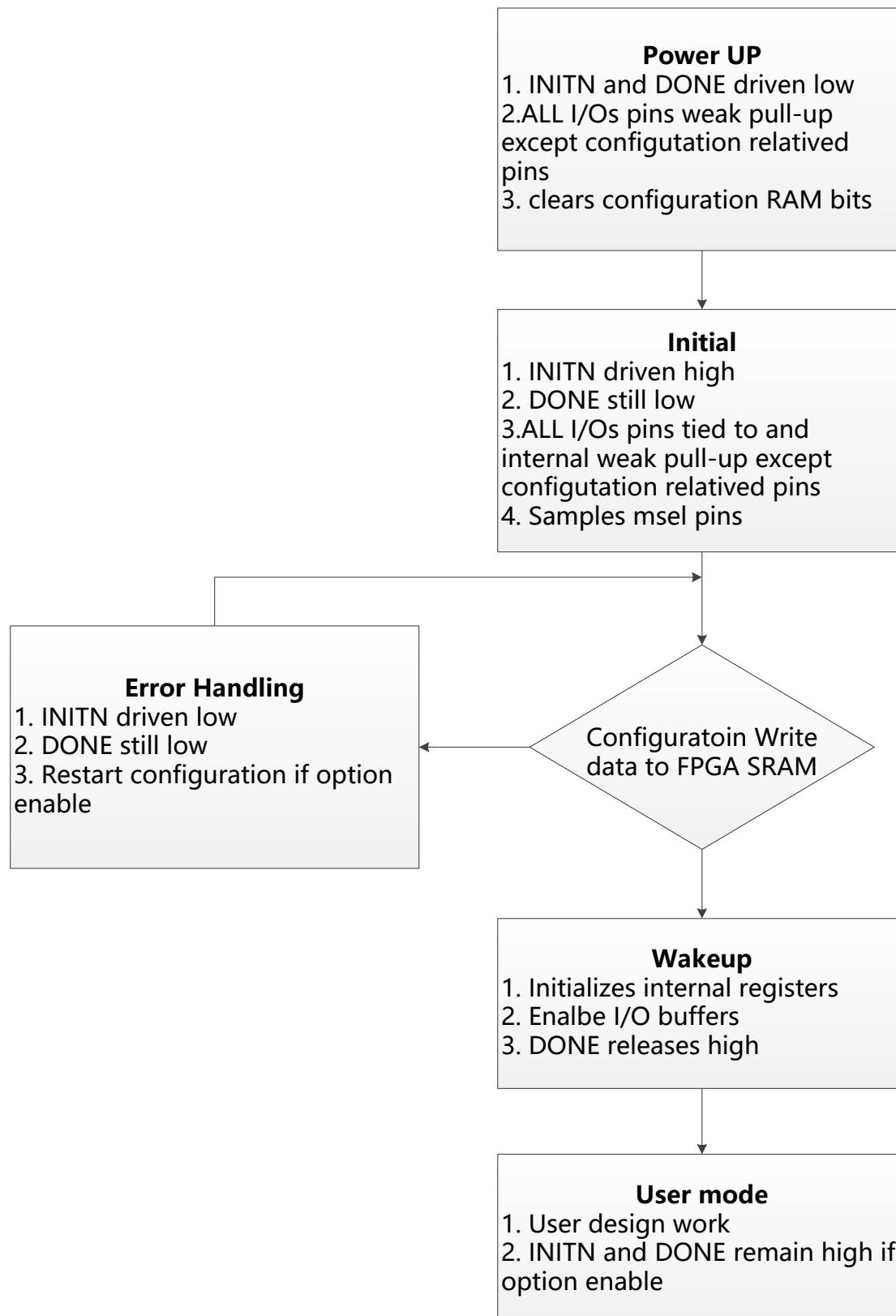


图 2-8-1 EG4A MSPI 配置方式



## 1. 上电初始化过程

EAGLE FPGA 芯片上电后，系统需要经过初始化过程才能进入配置下载状态。另外，用户如果需要重新对配置数据下载，拉低 PROGRAMN/PROGRAM\_B 后，系统进入初始化过程，初始化过程中，FPGA 将清除内部所有配置点，复位内部寄存器。

## 2. 配置数据写入

初始化完成后，INITN/INIT\_B 信号变为高电平，此时用户配置数据可以写入 EAGLE FPGA。

INITN/INIT\_B 信号变为高的时候，FPGA 采样模式选择信号电平，确定配置模式。JTAG 配置模式 INITN/INIT\_B 信号变高后，可以在任何模式中进入。

配置过程中，INITN/INIT\_B 信号变低表示配置位流出错，位流出错后可以选择重新加载。

## 3. 启动阶段

EAGLE FPGA 完成所有配置点和块 RAM 的数据写入之后，进入启动过程。EAGLE FPGA 启动主要完成以下功能：

- 1) 释放 DONE 信号。DONE 信号从低电平变为高电平表示 EAGLE FPGA 顺利完成数据配置，反之则表示没有顺利完成配置。
- 2) 释放全局三态信号 GTS。全局三态信号 GTS 的释放，能够释放所有 I/O 管脚。
- 3) 释放全局复位/置位信号 GSR，允许所有的触发器改变状态。
- 4) 释放全局写使能信号 GWE，允许所有的 RAM 和触发器能够被写入。

### 2.8.3 MSPI 配置模式

在 MSPI 模式下，EG4A 为 SPI 接口提供 2 个专用信号 MOSI 和 SPICSN，其中 MOSI 信号提供读命令，地址等信息，SPICSN 为 SPI 芯片片选；EG4X 为 SPI 接口提供 2 个专用信号 MOSI 和 CSO\_B，其中 MOSI 信号提供读命令，地址等信息，CSO\_B 为 SPI 芯片片选。

MSPI 模式下的时钟 CCLK 由内部振荡器产生，用户能够选择 CCLK 频率范围。芯片上电时 CCLK 设定为一个默认的低频率值，用户可以通过位流软件频率选项来更改 CCLK 频率，CCLK 频率范围从 2.5MHz、5MHz、7.5MHz、10MHz、12MHz、14.5MHz、16MHz。

SPI FLASH 数据写入可以使用安路 FPGA 下载线通过 JTAG 在线写入，批量生产时也可以安路离线下载器写入或者其他专用的烧写工具直接写入。

图 2-8-2 是 EG4A MSPI 配置方式连接图，PROGRAM 信号控制复位 EAGLE FPGA 配置，其中 INITN 和 DONE 信号为带内部上拉的开漏输出信号，DONE 信号变高，表示配置成功，芯片开始工作。配置时序如图 2-8-3 所示。

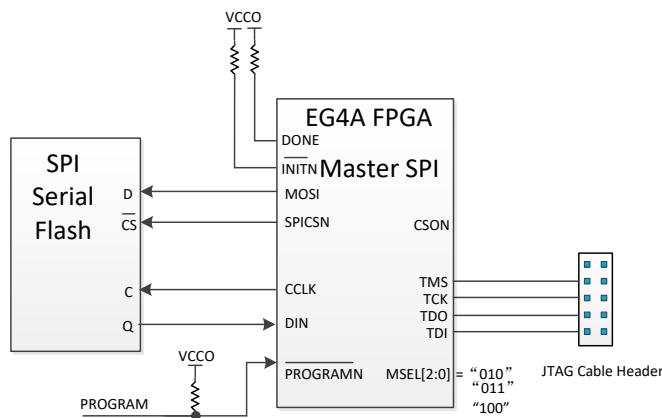


图 2-8-2 EG4A MSPI 配置方式

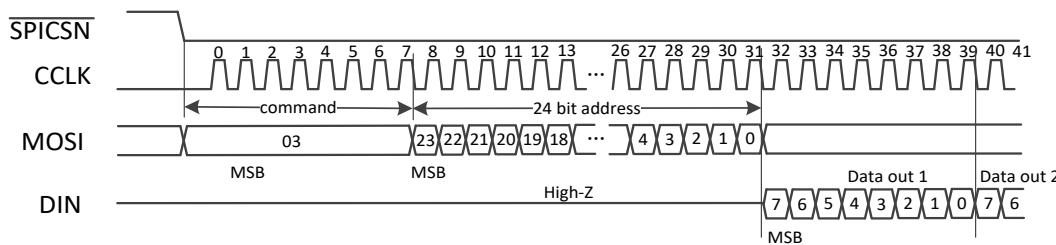


图 2-8-3 EG4A MSPI 配置模式时序图

## 2.8.4 从动串行配置模式

从动串行 (SS) 模式下, FPGA 可以通过 MCU 进行加载。TD 软件可以生成 bin 文件(EG4X)或者 rbf 文件(EG4A)用于 MCU 加载。

MCU 通过 CCLK、DIN 信号使用串行方式将数据写入 FPGA。EAGLE FPGA 芯片在每个 CCLK 的上升沿接收数据, 数据发送完成后, DONE 拉高表示配置完成, 如果配置出错, 会将 INITN/INIT\_B 信号拉低。

EG4A 从动串行配置方式的时序如

图 2-8-4 所示。PROGRAMN 拉低后, INITN 信号被拉低, 表示芯片开始初始化, 芯片初始化完成后, INITN 回到高电平, 配置开始, FPGA 在时钟的上升沿采集配置数据, 在配置完成之后, DONE 信号变高, 表示配置成功, 芯片开始工作。

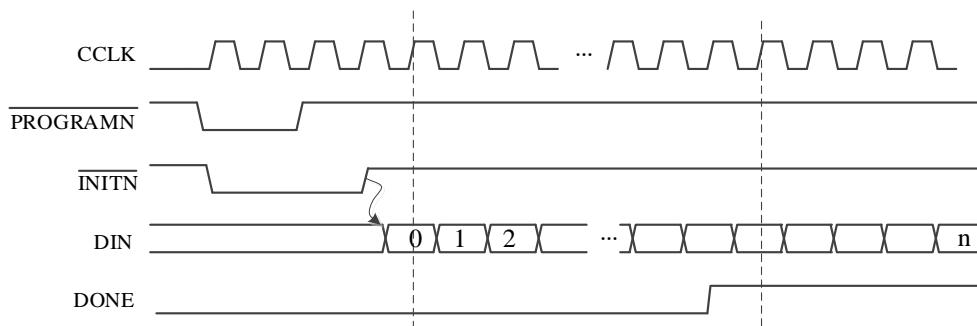


图 2-8-4 EG4A 串行配置模式时序图

EG4X 从动串行配置方式的时序如图 2-8-5 所示, 过程与 EG4A 类似。

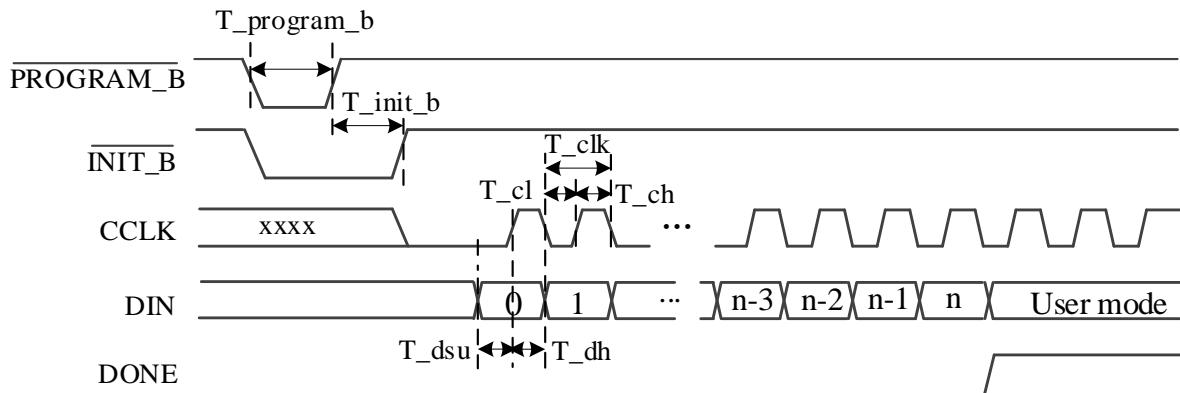


图 2-8-5 EG4X 串行配置模式时序图

表 2-8-3 EAGLE 从动串行时序规格表

符号	参数	最小	最大	单位
T_program_b	PROGRAM_B low pulse width	1	-	us
T_init_b	INIT_B low pulse width	-	10	ms
T_clk	CCLK period	33	-	ns
T_ch	CCLK high time	15.5	-	ns
T_cl	CCLK low time	15.5	-	ns
T_dsu	Data setup time	16.5	-	ns
T_dh	Data hold time	6	-	ns

EG4 器件使用从动串行配置模式进行加载时, done 信号拉高后 CCLK 至少需要再维持 6us 加 10 个周期的时钟输出, 才能保证 EG4A 器件的 D[0]/DIN/ MISO、D[1]/ MOSI、SPICSN、CS0N/DOUT、CCLK 信号管脚或 EG4X 器件的 D[0]/DIN/ MISO、CSI\_B/MOSI、CSO\_B、DOUT、CCLK 信号管脚进入用户模式。

## 2.8.5 串行配置模式级联

需要多个 FPGA 协同工作时, 可以采用级联配置方法。EAGLE FPGA 支持 2 种级联方式:

Flow Through 和 Bypass 模式, 级联工作模式由位流中的命令指定。EG4A 支持 Flow Through 和 Bypass 模式。EG4X 只支持 Bypass 模式。

在 EG4A 芯片的配置数据下载时, 若采用 Flow Through 模式, 第一块 FPGA 配置完成后, 输出 CS0N 启动第二块芯片进入配置。而 Bypass 模式下, 第一块芯片配置完成后, 配置给其他 FPGA 的数据在每个 CCLK 上升时刻输出给 DOUT 引脚。级联配置芯片的 DONE 和 INITN 引脚通过上拉电阻线与连接在一起, 只有 2 片都完成配置后, 通过 DONE 芯片同时开始工作。

图 2-8-6 是 EG4A 串行配置方式 Flow Through 级联模式图, 图中有 2 个 FPGA 级联配置, 第一个采用主动串行模式, 第二个采用从动串行模式。图 2-8-7 是串行配置方式 Bypass 级联模式图。

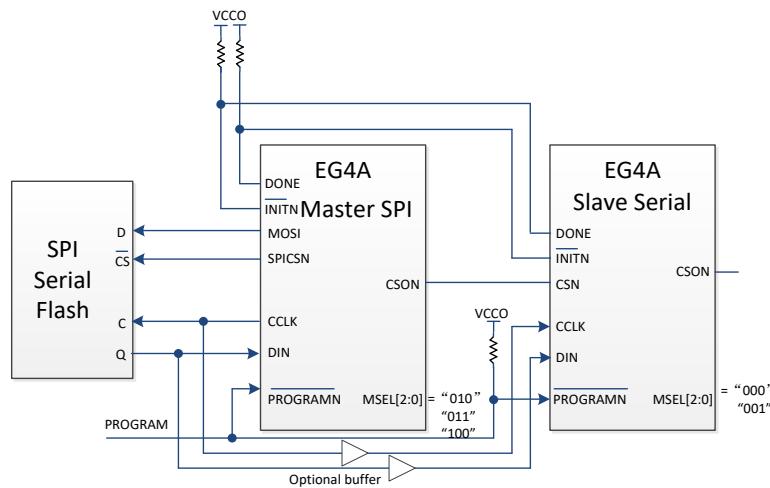


图 2-8-6 EG4A 主动、从动串行采用 Flow Through 级联配置图

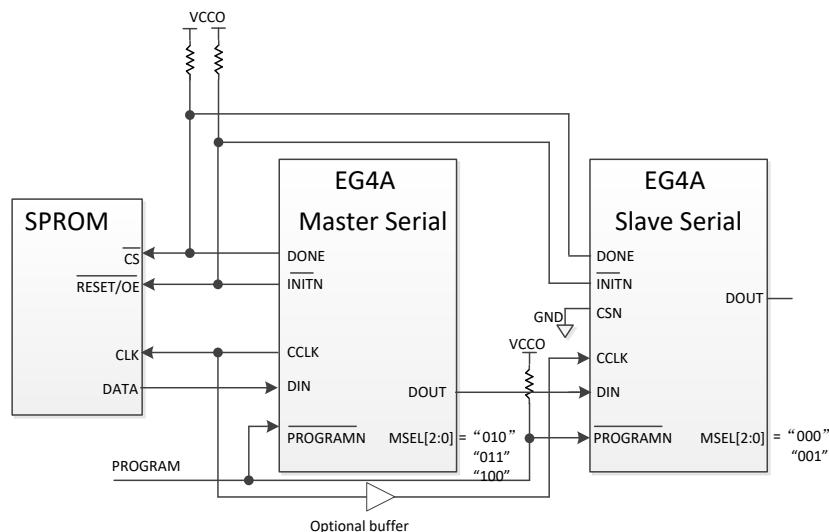


图 2-8-7 EG4A 主动、从动串行采用 Bypass 级联配置图

图 2-8-8 是 EG4X 串行配置方式 Bypass 级联模式图。存储器可采用 SPI flash 或 SPROM。

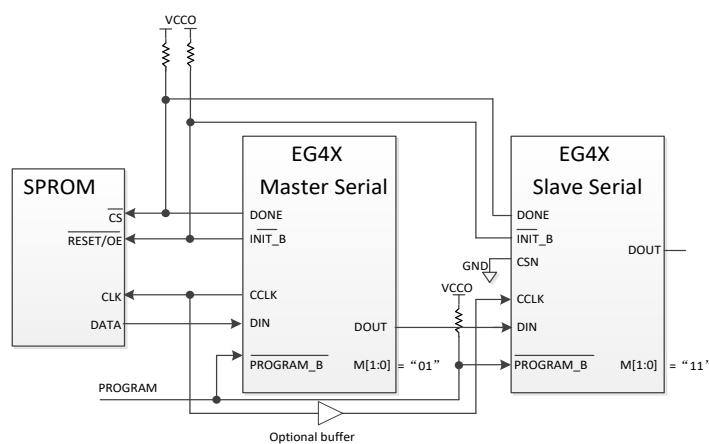


图 2-8-8 EG4X 主动、从动串行采用 Bypass 级联配置图

## 2.8.6 从动并行配置模式

从动并行配置适合通过 MCU 或者 CPU 等控制器使用。从动并行配置通过 8 位并行数据写入能够达到较快的配置速度。

EG4A 的从动并行配置模式 MSEL[2:0] 设置为 110/111，如图 2-8-9 所示，其中多个 CSN 信号可以选择多个配置芯片。

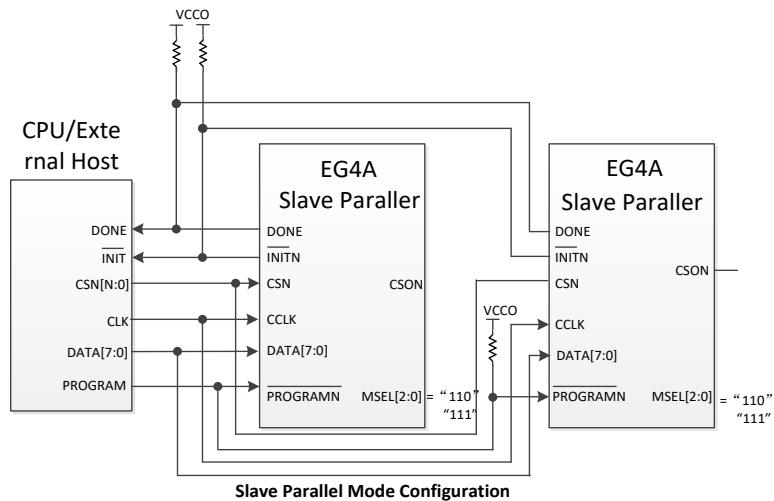


图 2-8-9 EG4A 从动并行配置方式

EG4A 从动并行配置模式时序如图 2-8-10 所示。开始的初始化过程和串行配置一致，初始化完成之后，在片选 CSN 有效时，在时钟的上升沿配置数据写入 EAGLE FPGA。同样，配置完成后，DONE 信号会变高。

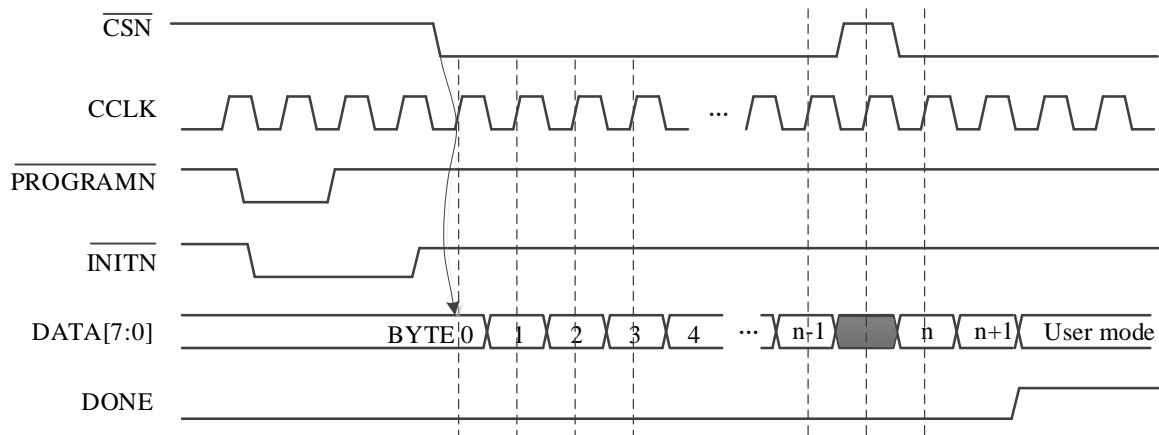


图 2-8-10 EG4A 从动并行配置时序图

EG4X 的从动并行配置模式 M[1: 0] 设置为 10，其中多个 CSN 信号可以选择多个配置芯片。

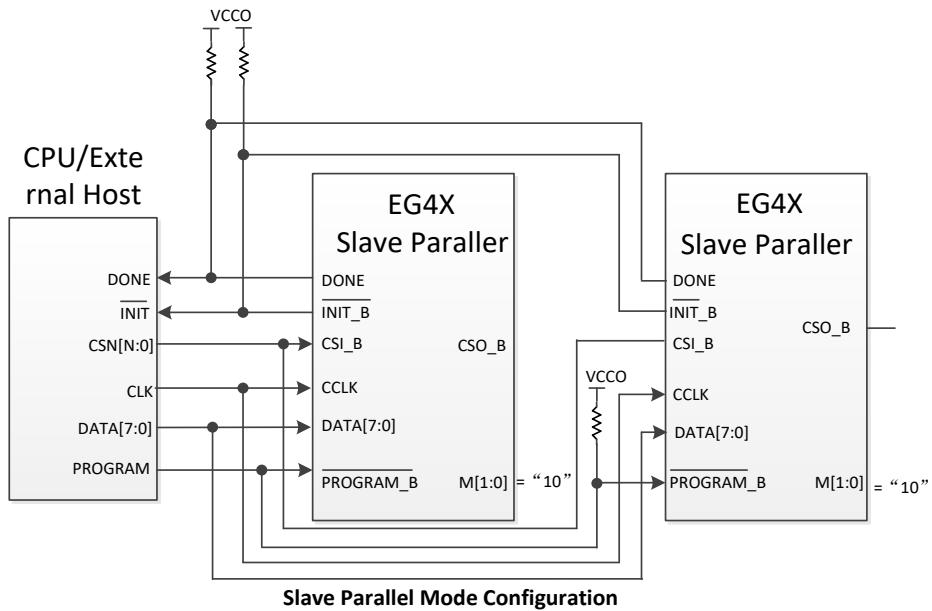


图 2-8-11 EG4X 从动并行配置时序图

EG4X 从动并行配置模式时序如图 2-8-12 所示。开始的初始化过程和串行配置一致，初始化完成之后，在片选 CSI\_B 有效时，在时钟的上升沿配置数据写入 EAGLE FPGA。同样，配置完成后，DONE 信号会变高。

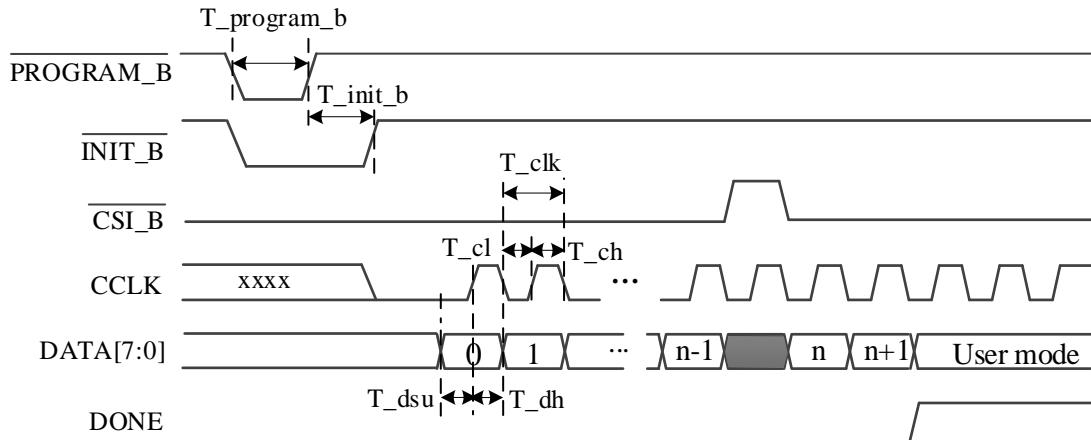


图 2-8-12 EG4X 从动并行配置时序图



表 2-8-4 EAGLE 从动并行时序规格表

符号	参数	最 小	最 大	单 位
T_program_b	PROGRAM_B low pulse width	1	—	us
T_init_b	INIT_B low pulse width	—	10	ms
T_clk	CCLK period	33	—	ns
T_ch	CCLK high time	15.5	—	ns
T_ci	CCLK low time	15.5	—	ns
T_dsu	Data setup time	16.5	—	ns
T_dh	Data hold time	6	—	ns

EG4 器件使用从动并行配置模式进行加载时，done 信号拉高后 CCLK 至少需要再维持 6us 加 10 个周期的时钟输出，才能保证 EG4A 器件的 D[0]/DIN/ MISO、D[1]/ MOSI、SPICSN、CS0N/DOUT、CCLK 信号管脚或 EG4X 器件的 D[0]/DIN/ MISO、CSI\_B/MOSI、CSO\_B、DOUT、CCLK 信号管脚进入用户模式。

## 2.8.7 主动并行配置模式

主动并行配置和从动并行配置类似，差别在于 CCLK 时钟由 FPGA 提供。

## 2.8.8 JTAG 配置模式

EAGLE FPGA 还可以通过 JTAG 方式进行配置。JTAG 方式配置是通过 EAGLE FPGA 的配置引脚（TDI，TDO，TMS，TCK）进行的。JTAG 配置模式在 INITN/INIT\_B 信号变高后，不管模式选择引脚选择了何种模式，或者其他模式正在配置过程中，JTAG 模式可以通过指令中断其他模式，进入 JTAG 配置模式。

JTAG 配置使用安路公司专用的 USB 下载线，配合 TD 软件进行，可以通过软件查看配置是否成功。

JTAG 配置模式参考时序与时序规格如图 2-8-13 和表 2-8-5 所示。

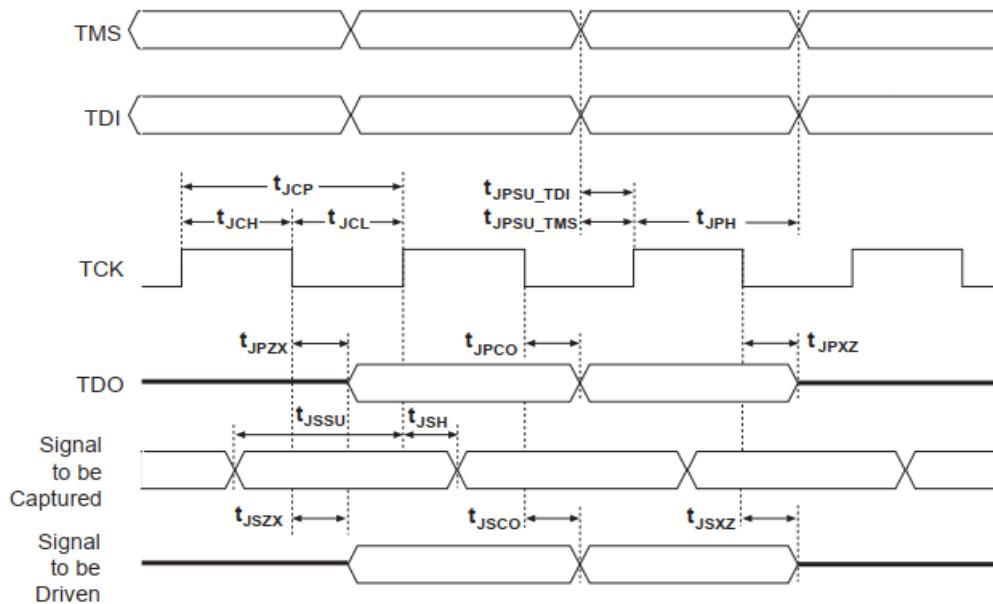


图 2-8-13 EAGLE JTAG 时序图

表 2-8-5 EAGLE JTAG 时序规格表

符号	参数	最小	最大	单位
$t_{JCP}$	TCK 周期	100	—	ns
$t_{JCH}$	TCK 高电平时间	48	—	ns
$t_{JCL}$	TCK 低电平时间	48	—	ns
$t_{JPSU\_TDI}$	TDI 建立时间	6	—	ns
$t_{JPSU\_TMS}$	TMS 建立时间	8	—	ns
$t_{JPH}$	JTAG 端口保持时间	10	—	ns
$t_{JPCO}$	JTAG 端口时钟到输出延时	—	16	ns
$t_{JPZX}$	JTAG 端口有效输出到高阻转换时间	—	16	ns
$t_{JPXZ}$	抓取寄存器建立时间	—	16	ns
$t_{JSSU}$	抓取寄存器保持时间	—	—	ns
$t_{JSH}$	更新寄存器建立时间	—	—	ns
$t_{JSOO}$	更新寄存器时钟到输出延时	—	—	ns
$t_{JSZX}$	更新寄存器高阻到有效输出	—	—	ns
$t_{JSXZ}$	更新寄存器有效输出到高阻	—	—	ns

注：若采用 MSPI 加载模式，并且通过 JTAG 非背景升级外部 flash 数据，tck 的频率要大于等于 100K。

### 2.8.9 IEEE 1149.1 边界扫描测试

ELF2 器件所有 IO 都集成边界扫描单元，可以通过标准 1149.1 TAP 控制器来访问和控制 IO，边界

扫描指令可以在任何状态下访问 IO 单元（SAMPLE 指令只能在用户模式下使用）。

### 2.8.10 MSPI DUAL BOOT 功能

MSPI 模式下当采用的 SPI flash 容量大于 12Mbit 时，EAGLE FPGA 支持 MSPI dual boot 功能。当 Primary 位流下载失败后，EAGLE FPGA 自动跳转到用户设定的地址去读取 golden 位流。图 2-8-14 显示 dual boot 下 spi flash 的数据空间分布。

Dual boot flash map	
0x000000	Primary bitstream
.....	
0x0C0000	Dummy
.....	
0x0D0000	Golden address
.....	Golden bitstream

图 2-8-14 EAGLE FPGA dual boot spi flash 的数据空间分布

### 2.8.11 MSPI MULT BOOT 功能

MSPI 模式下，用户可以使用 TD 软件设置 mult boot 功能。当进入用户模式后，应用本身可以通过接口触发信号 rebootn=0，从指定的 spi flash 地址重新开始下载位流。这个指定的地址可以选择用户接口提供或 TD 软件提供。需要注意的是，mutl\_bootn 信号保持低电平的时间需大于 2.5us。

### 2.8.12 FPGA DNA 安全功能

EAGLE FPGA 在生产过程中为每块芯片提供一个唯一的 64 位 DNA 数据，这个数据不能被修改和擦除，用户可以 DNA 数据进行用户设计保护。TD 软件将提供 IP 接口，使用户读出 DNA 数据。如图 2-8-15，图 2-8-16 所示。Usr\_dna\_in 为移位数据输入，用于接口测试使用。

Dna\_clk 时钟频率范围 0~20MHz， dna\_shift 建议采用时钟下降沿送出，方便满足时序要求。

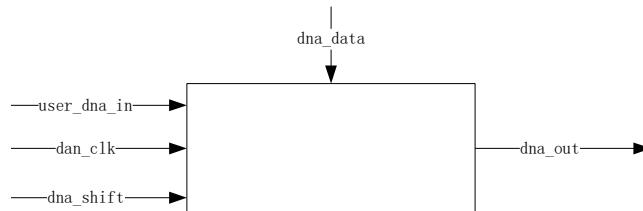


图 2-8-15 EAGLE FPGA DNA IP

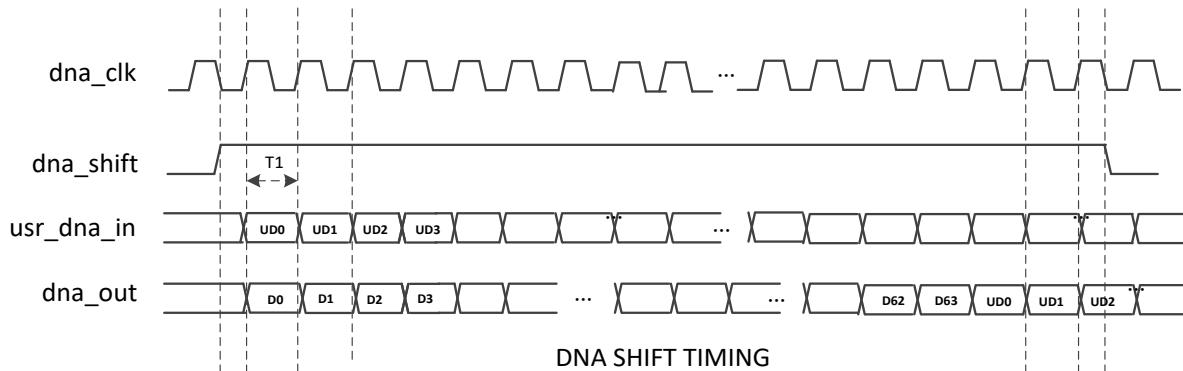


图 2-8-16 EAGLE FPGA DNA 时序图

### 2.8.13 FPGA I/O 引脚在配置阶段的设置

在配置阶段，一些 FPGA 引脚有专用的上拉/下拉电阻。大部分的用户 I/O 引脚在配置过程中有可选的上拉电阻。在配置过程中 EG4A 和 EG4X 由 HSWAPEN 信号来决定 I/O 引脚上是否使能上拉电阻。

### 2.8.14 FPGA I/O 引脚在配置阶段的状态

#### (1) 非配置相关 I/O

芯片上电完成后程序加载前，非配置相关 I/O 处于三态；

加载过程中，普通 I/O 的状态受 HSWAPEN 脚控制可以为弱上拉或者三态；

进入用户模式之后，用户使用的 I/O 脚状态受代码控制，未使用的管脚为弱上拉状态

#### (2) FPGA I/O 引脚状态，如表 2-8-6、表 2-8-7 所示

在 EG4A 中，HSWAPEN 是一位控制寄存器 CTRL[31]，默认值为 1，该寄存器为只能由位流改写。

表 2-8-6 EG4A Pin Termination

Pin	Pre-configuration		Post-configuration
	HSWAPEN=0 (enable)	HSWAPEN=1 (disable)	
MSEL[2:0]	Pull-up to Vccio	Pull-up to Vccio	User I/O
PROGRAMN	Pull-up to Vccio	Pull-up to Vccio	软件 ProgPin 设置



Pin	Pre-configuration		Post-configuration
	HSWAPEN=0 (enable)	HSWAPEN=1 (disable)	
INITN	Pull-up to Vccio	Pull-up to Vccio	软件 InitPin 设置
DONE	Pull-up to Vccio	Pull-up to Vccio	软件 DonePin 设置
CCLK	Pull-up to Vccio	Pull-up to Vccio	软件 SpiPin 设置
CSN	Pull-down to Gnd	Pull-down to Gnd	User I/O
TMS TCK TDO TDI	Pull-up to Vccio	Pull-up to Vccio	软件 JtagPin 设置
D[7:2]	Pull-up to Vccio	Pull-up to Vccio	User I/O
D[1]/ MOSI	Pull-up to Vccio	Pull-up to Vccio	软件 SpiPin 设置
D[0]/DIN/MISO	Pull-up to Vccio	Pull-up to Vccio	软件 SpiPin 设置
SPICSN	Pull-up to Vccio	Pull-up to Vccio	软件 SpiPin 设置
CS0N/DOUT	Pull-up to Vccio	Pull-up to Vccio	软件 SpiPin 设置
Others	Pull-up to Vccio	High-Z	User I/O

注 1: EG4A 器件的 CSN (J3) 信号在 JTAG 加载模式, SS 模式和 MSPI 模式时不能为上拉状态;

注 2: EG4A 器件的 F15 (I0\_R1\_6) 引脚在加载过程中不受 HSWAPEN 控制, 一直保持为弱上拉状态。

在 EG4X 中, HSWAPEN 是一个 I/O 引脚, 默认为弱上拉。

表 2-8-7 EG4X Pin Termination

Pin	Pre-configuration		Post-configuration
	HSWAPEN=0 (enable)	HSWAPEN=1 (disable)	
M[1:0]	Pull-up to Vccio	Pull-up to Vccio	User I/O
PROGRAM_B	Pull-up to Vccio	Pull-up to Vccio	软件 ProgPin 设置
INIT_B	Pull-up to Vccio	Pull-up to Vccio	User I/O
DONE	Pull-up to Vccio	Pull-up to Vccio	软件 DonePin 设置
CCLK	Pull-up to Vccio	Pull-up to Vccio	软件 SpiPin 设置
CSI_B/MOSI	Pull-down to Gnd	Pull-down to Gnd	软件 SpiPin 设置
TMS TCK TDO TDI	Pull-up to Vccio	Pull-up to Vccio	软件 JtagPin 设置
D[7:1]	Pull-up to Vccio	Pull-up to Vccio	User I/O
D[0]/DIN/MISO	Pull-up to Vccio	Pull-up to Vccio	软件 SpiPin 设置
CS0_B	Pull-up to Vccio	Pull-up to Vccio	软件 SpiPin 设置
DOUT	Pull-up to Vccio	Pull-up to Vccio	软件 SpiPin 设置
HSWAPEN	Pull-up to Vccio	Pull-up to Vccio	User I/O
Others	Pull-up to Vccio	High-Z	User I/O

注 1: EG4X 器件的 CSI\_B (T10) 引脚在 JTAG 加载模式和 MSPI 模式时不能为上拉状态;

注 2: EG4X 器件的 I0\_R7P\_3 (L3) 引脚在加载过程中不受 HSWAPEN 控制, 一直保持为弱上拉状态。



(3) EG4 系列的以下管脚如果在代码中设置为 `output` 或 `inout` 类型，在加载时不能一直保持高阻态，会输出高脉冲或者低脉冲信号。如果用户在加载时对管脚状态有要求，需要尽量避开这些管脚。或是通过软件设置进行规避，具体参考《TR303\_EG4X20 N9 IO 上电不可控问题分析》、《TR305\_EG4A20 C6 IO 上电不可控问题分析》。EG4 系列 FPGA 在配置中不受控制的引脚如下表。

表 2-8-8 EG4 系列 FPGA 在配置期间不受控制引脚列表

Device	Pin
EG4X	M15, M16, L12, K15, P16, L13, K1, L14, T13, R15, L14, T13, L16, L1, T6, P11, L10, M10, N9, P9
EG4A	L7, M6, P1, P2, C14, G5, A5, A13, C6, F7, A7, A3, B4, A4, D5, D6

## 2.9 内嵌 ADC 模块

Eagle 内嵌有一个 8 通道 12 位 1MSPS ADC。ADC 需要独立的 3.3V 模拟工作电压和模拟地以及一个独立的 VREF 电压输入。8 个通道输入和用户 IO 复用，用户实际可用通道数随芯片封装而异，当用户不需要 ADC 时可以用作普通用户 IO，复用 IO 设置相互独立，未使用的 ADC 通道管脚可以作为普通 IO 使用。

表 2-9-1 ADC 外部/内部端口

芯片端口名	端口类型	说明
ADC_VDDD	电源 PAD	3.3V 数字电源输入
ADC_VDDA	外部电源 PAD	3.3V 模拟电源输入
ADC_VSSA	外部电源 PAD	3.3V 模拟地
ADC_VREF	外部 PAD	独立输入，采样参考模拟电位输入，输入电压范围 2.0V~3.3V，不大于 VDDA
ADC_HC<7:0>	外部 PAD	8 路采样信号输入，和用户 IO 复用
内部端口名	端口方向	说明
clk	输入	ADC 工作时钟
pd	输入	ADC 低功耗掉电模式
s<2:0>	输入(来自 FPGA)	ADC 通道选择信号输入
soc	输入(来自 FPGA)	ADC 采样使能信号输入，高有效
eoc	输出(到 FPGA)	ADC 转换完成输出，高有效
b<11:0>	输出(到 FPGA)	对应通道的 ADC 转换结果

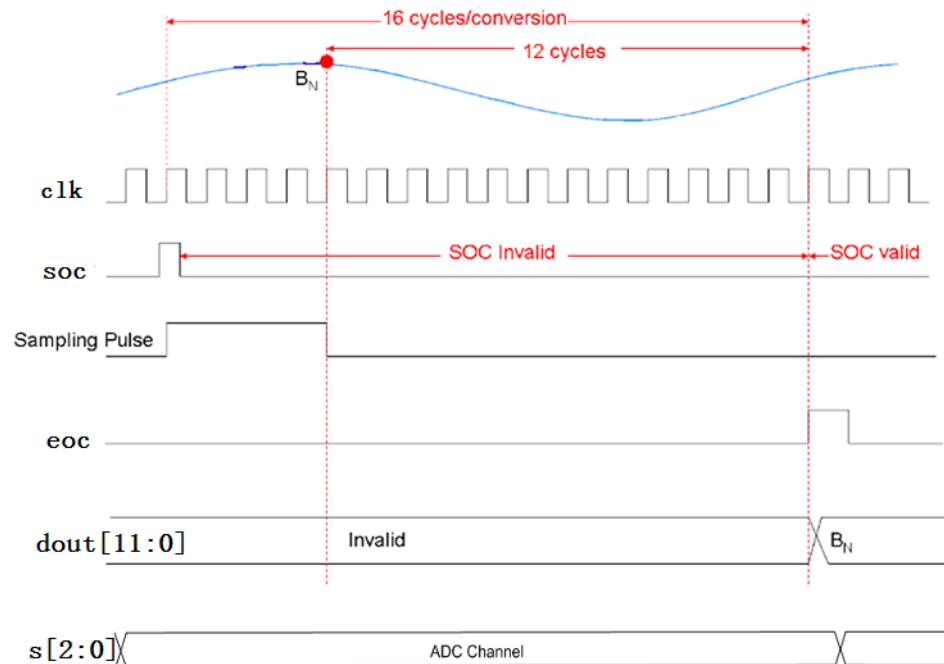


图 2-9-1 Eagle ADC 采样控制时序

### 3 直流交流特性

所有参数指最差的供电电压和结点温度。如无特殊说明，以下信息适用于：同一商业和工业级别规定的交流和直流特性。所有参数均为电压对地时的值。

#### 3.1 直流电气特性

##### 3.1.1 最大绝对额定值

表 3-1-1 最大绝对额定值

Symbol	参数	最小	最大	单位
$V_{CCINT}$	内核供电电压	-0.5	1.32	V
$V_{CCAUX}$	辅助电源	-0.5	3.75	V
$V_{CCIO}$	I/O驱动供电电压	-0.5	3.75	V
$V_I$	直流输入电压	-0.5	3.75	V
$V_{ESDHBM}$	人体模型静电放电电压	-	±2000	V
$V_{ESDCDM}$	机器模型静电放电电压	-	±500	V
$T_{STG}$	存储温度	-65	150	°C
$T_J$	结点温度	-40	125	°C

超过以上最大绝对额定值可能会导致器件永久性损坏。这些值仅表示在该额定值下操作不会损坏器件，但不表示器件在此极限值下功能正常。器件的功能性操作或基于此的任何条件最大绝对额定值可能会造成器件永久损坏。器件长期在极值条件下运行，会严重的影响器件的可靠性。

输入 I0 在信号跳变过程中，可能会产生过冲或下冲，如图 3-1-1 所示，表 3-1-2 给出了 10 年使用寿命下允许的最大过冲、下冲的占比值。

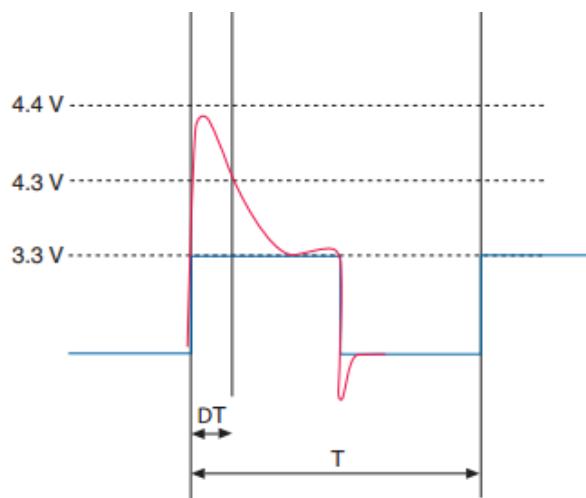


图 3-1-1 输入信号过冲、下冲



表 3-1-2 10 年使用寿命条件下允许的最大过冲、下冲占比

Parameter	Condition (V)	Under/Overshoot Duration as % of High Time	Unit
VI AC Input Voltage	-0. 3	100	%
	-0. 4	100	%
	-0. 5	86	%
	-0. 6	49	%
	-0. 7	28	%
	-0. 8	16	%
	-0. 9	9. 23	%
	-1	5. 27	%
	-1. 1	3	%
	3. 7	100	%
	3. 8	86	%
	3. 9	49	%
	4	28	%
	4. 1	16	%
	4. 2	9. 23	%
	4. 3	5. 27	%
	4. 4	3	%

### 3.1.2 推荐基本操作条件

表 3-1-3 推荐基本操作条件

Symbol	参数		最小	典型	最大	单位
$V_{CCINT}$	内核供电电压		1. 14	1. 2	1. 26	V
$V_{CCAUX}$	辅助电源		2. 375	2. 5/3. 3	3. 63	V
$V_{CCIO^3}$	I/O供电电压 @ 3. 3V		3. 135	3. 3	3. 465	V
	I/O供电电压 @ 2. 5V		2. 375	2. 5	2. 625	V
	I/O供电电压 @ 1. 8V		1. 71	1. 8	1. 89	V
	I/O供电电压 @ 1. 5V		1. 425	1. 5	1. 575	V
	I/O供电电压 @ 1. 2V		1. 14	1. 2	1. 26	V
$V_i^3$	直流输入电压		-0. 5	—	3. 6	V
$V_o$	输出电压		0	—	$V_{CCIO}$	V
$T_J$	结点温度	商业	0	—	85	°C
		工业	-40	—	100	°C
$T_{RAMP}$	电源缓变率		0. 05	—	100	V/ms
$I_{Diode}$	PCI-clamp 二极管电流		—	—	10	mA



- 注：1. 器件工作时要求所有 I/O 的 VCCIO 必须连接好电源。
2. 所有输入缓冲器由 VCCIO 供电。
3. 如果将真差分对管脚当作单端 I/O 使用，则要求最小输入电压不能低于 -0.3V，或真差分对的另外一个管脚不使用。
4. I/O 端口不能直接接地或者 VCCIO，如有连接应用，需要串接电阻。

### 3.1.3 基本供电要求

表 3-1-4 EG4A20BG256 最小供电要求

电源域标识	基本供电要求 <sup>3</sup>	备注
VCCAUX	$\geq 2.5V$	纹波峰峰值应小于 100mV，必须供电
VCCIO1	$\geq$ 下载器供电电压	如果使用 JTAG 下载，需要和下载器供电电压保持一致
VCCIO2	$\geq 1.2V$	可选择性供电，无附加要求 <sup>2</sup>
VCCIO3	$\geq 1.2V$	可选择性供电，无附加要求 <sup>2</sup>
VCCIO4	$\geq 1.2V$	可选择性供电，无附加要求 <sup>2</sup>
VCCIO5	$\geq 1.2V$	可选择性供电，无附加要求 <sup>2</sup>
VCCIO6	$\geq 1.2V$	可选择性供电，无附加要求 <sup>2</sup>
VCCIO7	$\geq 1.2V$	可选择性供电，无附加要求 <sup>2</sup>
VCCIO8	$\geq 1.2V$	可选择性供电，无附加要求 <sup>2</sup>
VCCINT	$= 1.2V$	必须供电

- 在 MSPI 模式，VCCIO1 电压要求不低于 flash 规定的工作电压
- VCCIO 不用时也要供电
- 无论是否使用 ADC 都要求 ADC\_VDDA 与 VCCIO8(ADC\_VDDD)同电压，且 ADC\_VREF 不得大于 ADC\_VDDA。同时推荐 ADC\_VDDA 与 VCCIO8 (ADC\_VDDD) 接芯片最高电压。

表 3-1-5 EG4X20BG256 最小供电要求

电源域标识	基本供电要求 <sup>3</sup>	备注
VCCAUX	$\geq 2.5V$	纹波峰峰值应小于 100mV，必须供电
VCCIO0	$\geq$ 下载器供电电压	如果使用 JTAG 下载，需要和下载器供电电压保持一致
VCCIO1	$\geq$ 下载器供电电压	如果使用 JTAG 下载，需要和下载器供电电压保持一致
VCCIO2 <sup>1</sup>	$\geq 1.5V$ (必须供电)	可选择性供电，无附加要求 <sup>2</sup>
VCCIO3	$\geq 1.2V$	可选择性供电，无附加要求 <sup>2</sup>
VCCINT	$= 1.2V$	必须供电

- 在 MSPI 模式，VCCIO2 电压要求不低于 flash 规定的工作电压
- VCCIO 不用时也要供电



3. 无论是否使用 ADC 都要求 ADC\_VDDA 与 VCCIO2(ADC\_VDDD)同电压，且 ADC\_VREF 不得大于 ADC\_VDDA。  
同时推荐 ADC\_VDDA 与 VCCIO2 (ADC\_VDDD) 接芯片最高电压。



### 3.1.4 静态供电电流<sup>1,2</sup>

表 3-1-6 静态电源电流

Symbol	参数	器件	典型	单位
$I_{VCCINT}$	内核供电电压	EAGLEA_10	3	mA
		EAGLEA_20	5	mA
$I_{VCCIO}$	I/O 组电源, @ $V_{CCIO}=2.5V$	EAGLEA_10	0.4	mA
		EAGLEA_20	0.6	mA
$I_{VCCAUX}$	辅助电源	EAGLEA_10	2	mA
		EAGLEA_20	2.5	mA

1. 该表中的数值基于通用的推荐操作条件, 室温下 ( $T_J = 25^\circ C$ ) 使用典型器件测得。
2. 典型值为空白器件, 没有输出电流负载, 高阻抗状态下, 并当所有上拉/下拉电阻器在 I/O 引脚禁止时, 测量的所有 I/O 驱动的静态电源电流。

### 3.1.5 热插拔规格

表 3-1-7 热插拔规格

Symbol	参数	最大	单位
$I_{IOPIN(DC)}$	DC 电流, 每个 I/O	1	mA
$I_{IOPIN(AC)}$	AC 电流, 每个 I/O	8 <sup>1</sup>	mA

1. 信号上升时间等于或大于 10us。
2. EG4A20BG256 的 B4, A4, A3, B3, E2, B5, A2, C3, D3 不支持热插拔, 有热插拔需求时注意避开这些引脚。
3. EG4X20BG256 的 L10, M10, P11, N11, L11, N12, P12, M11, M12 不支持热插拔, 有热插拔需求时注意避开这些引脚

### 3.1.6 上电复位电压阈值

表 3-1-8 上电复位电压阈值

Symbol	参数	最小	典型	最大	单位
$V_{CC\_PORUP}$	$V_{CC}$ 上电检测阈值	0.95	1	1.05	V
$V_{CCAUX\_PORUP}$	$V_{CCAUX}$ 上电检测阈值	2	2.1	2.2	V
$V_{CC\_PORDN}$	$V_{CC}$ 掉电检测阈值	—	—	0.9	V
$V_{CCAUX\_PORDN}$	$V_{CCAUX}$ 掉电检测阈值	—	—	1.9	V
$V_{SRAM\_PORDN}$	SRAM电源掉电检测阈值	—	—	0.85	V



### 3.1.7 I/O 直流电气特性

表 3-1-9 推荐基本操作条件

Symbol	参数	条件	最小	典型	最大	单位
$I_{IL}, I_{IH}$	输入漏电电流	$0 \leq V_I \leq V_{CCIO} - 0.5V$	-15	—	15	uA
$I_{IH}$	输入漏电电流	$V_{CCIO} - 0.5V \leq V_I \leq V_{IH\_MAX}$	—	—	150	uA
$I_{PU}$	I/O 弱上拉电流	—	35	—	250	uA
$I_{PD}$	I/O 弱下拉电流	—	35	—	250	uA
$I_{BHLS}$	总线保持 0 维持电流	—	40	—	—	uA
$I_{BHHS}$	总线保持 1 维持电流	—	40	—	—	uA
$I_{BHL0}$	总线保持 0 改写电流	$0 \leq V_I \leq V_{CCIO}$	—	—	350	uA
$I_{BHH0}$	总线保持 1 改写电流	$0 \leq V_I \leq V_{CCIO}$	—	—	350	uA
$V_{BHT}$	总线保持触发电平	—	$V_{IL\_max}$	—	$V_{IH\_min}$	V

### 3.1.8 I/O 管脚电容

表 3-1-10 EAGLE 器件管脚电容

Symbol	参数	QFP	FBGA	单位
$C_{IOTB}$	上下管脚输入电容	7	6	pF
$C_{IOLR}$	左右管脚输入电容	8	7	pF

### 3.1.9 单端 I/O 直流电学特性

表 3-1-11 EAGLE 器件单端 I/O 标准规格

标准	$V_{IL}$ (V)		$V_{IH}$ (V)		$V_{OL}$ 最大 (V)	$V_{OH}$ 最小 (V)	$I_{OL}$ (mA)	$I_{OH}$ (mA)
	最小	最大	最小	最大				
LVTTL33 LVCMOS33	-0.3	0.8	1.9	$V_{CCIO} + 0.3$	0.4	$V_{CCIO} - 0.4$	4	-4
							8	-8
							12	-12
							16	-16
							20	-20
							4	-4
LVCMOS25	-0.3	0.7	1.7	$V_{CCIO} + 0.3$	0.4	$V_{CCIO} - 0.4$	8	-8
							12	-12
							16	-16
							20	-20
							4	-4
							8	-8



LVCMS18	-0. 3	0. 35*V <sub>CCIO</sub>	0. 65*V <sub>CCIO</sub>	V <sub>CCIO</sub> +0. 3	0. 4	V <sub>CCIO</sub> - 0. 4	4	-4
							8	-8
							12	-12
LVCMS15	-0. 3	0. 35*V <sub>CCIO</sub>	0. 65*V <sub>CCIO</sub>	V <sub>CCIO</sub> +0. 3	0. 4	V <sub>CCIO</sub> - 0. 4	4	-4
							8	-8
							-3	4
LVCMS12	-0. 3	0. 35*V <sub>CCIO</sub>	0. 65*V <sub>CCIO</sub>	V <sub>CCIO</sub> +0. 3	0. 4	V <sub>CCIO</sub> - 0. 4	-6	8
							1. 5	-0. 5
PCI33	-0. 3	0. 3*V <sub>CCIO</sub>	0. 5*V <sub>CCIO</sub>	V <sub>CCIO</sub> +0. 3	0. 1*V <sub>CCIO</sub>	0. 9*V <sub>CCIO</sub>		

1. 作为兼容 5v 输入时, V<sub>IH</sub>最大值为 5. 5V

表 3-1-12 单端电平标准驱动关系

Input Standard	V <sub>CCIO</sub> (Typ.)				
	3. 3V	2. 5 V	1. 8V	1. 5V	1. 2V
LVTT33	√	√ <sup>2</sup>	√ <sup>2</sup>	√ <sup>2</sup>	√ <sup>2</sup>
LVCMS33	√	√ <sup>2</sup>	√ <sup>2</sup>	√ <sup>2</sup>	√ <sup>2</sup>
LVCMS25	√ <sup>1</sup>	√	√ <sup>2</sup>	√ <sup>2</sup>	√ <sup>2</sup>
LVCMS18		√ <sup>1</sup>	√	√ <sup>2</sup>	√ <sup>2</sup>
LVCMS15			√ <sup>1</sup>	√	√ <sup>2</sup>
LVCMS12				√ <sup>1</sup>	√

1. 输入高电平时, 如果输入电压幅度不够, 会导致较大漏电流

2. 不能打开 PCI-clamp 和 OverDriven, 否则会产生漏电流

### 3.1.10 差分 I/O 电学特性

表 3-1-13 EAGLE LVDS 推荐操作条件

参数	描述	测试条件	最小	典型	最大	单位
V <sub>IP</sub> , V <sub>IN</sub>	输入电平	V <sub>CCIO</sub> =2. 5	0	—	2. 4	V
		V <sub>CCIO</sub> =3. 3	0. 45	—	3. 2	V
V <sub>ID</sub>	输入差分摆幅	V <sub>CCIO</sub> =3. 3/2. 5	150	350	800	mV
V <sub>ICM</sub>	输入共模电压	V <sub>CCIO</sub> =2. 5	0. 05	—	2. 35	V
		V <sub>CCIO</sub> =3. 3	0. 6	—	3. 15	V
I <sub>IN</sub>	输入电流	上电过程	—	—	±15	uA
R <sub>T</sub>	片内端接差分电阻	—	80	100	120	Ω
V <sub>OD</sub>	标准差分输出摆幅	V <sub>OP</sub> - V <sub>ON</sub>  , R <sub>T</sub> = 100 ohm	150	250	350	mV
V <sub>OD</sub>	差分输出大摆幅	V <sub>OP</sub> - V <sub>ON</sub>  , R <sub>T</sub> = 100 ohm	450	480	550	mV
ΔV <sub>OD</sub>	差分输出摆幅变化	—	—	—	50	mV
V <sub>OCM</sub>	输出共模电压	(V <sub>OP</sub> + V <sub>ON</sub> ) / 2, R <sub>T</sub> = 100 ohm	0. 6	—	1. 4	V



		$V_{CCIO}=2.5V$				
		$(V_{OP} + V_{ON})/2, R_T = 100 \text{ ohm}$ $V_{CCIO}=3.3V$	0.6	—	1.4	V
$\Delta V_{OCM}$	输出共模电压偏差	—	—	—	50	mV

1. 当差分输入摆幅大于 500mV 时，只能使用外接 100 欧差分匹配电阻。

表 3-1-14 EAGLE LVPECL33 推荐操作条件

参数	描述	测试条件	最小	典型	最大	单位
$V_{IP}, V_{IN}$	输入电平	—	0	—	2.95	V
$V_{ID}$	输入差分摆幅	—	100	—	1600	mV
$V_{ICM}$	输入共模电压	—	0.3	—	2.9	V

1. LVPECL 接收只能使用芯片外部 100 欧电阻



## 3.2 交流电气特性

本章节提供 EAGLE 核心和周边模块的性能参数，时序参数及其典型值是常规的设计重要参数，也是器件的基本性能参数。这些参数反映了器件在最差条件下的实际性能。

### 3.2.1 时钟性能

表 3-2-1 推荐的最大时钟操作频率

器 件	速 度	单 位
EAGLEA_10	440	MHz
EAGLEA_20	440	MHz

### 3.2.2 锁相环 (PLL) 规格

表 3-2-2 EAGLE 器件的 PLL 规格

参 数	描 述	最 小	典 型	最 大	单 位
$f_{IN}$	输入时钟频率	10	—	400	MHz
$f_{PFD}$	鉴频鉴相器 (PFD) 输入频率	10	—	400	MHz
$f_{VCO}$	锁相环内部振荡器频率范围	300	—	1200	MHz
$f_{OUT}$	输出时钟频率	—	—	400	MHz
交流特性					
$t_{IN\_H}$	输入时钟高电平时间 (90% to 90%)	0.5	—	—	ns
$t_{IN\_L}$	输入时钟低电平时间 (10% to 10%)	0.5	—	—	ns
$f_{INDUTY}$	输入时钟占空比	40	—	60	%
$f_{RISE}$	输入时钟上升沿斜率	1	—	3	V/ns
$f_{FALL}$	输入时钟下降沿斜率	1	—	3	V/ns
$t_{INJITTER}^1$	输入时钟抖动, $f_{PFD} \geq 20$ MHz	—	—	800	ps p-p
	输入时钟抖动, $f_{PFD} < 20$ MHz	—	—	0.02	UI
$t_{OUTDUTY}$	输出时钟占空比	45	50	55	%
$t_{OUTJITTER}^2$	输出时钟周期抖动 (Period Jitter), $f_{OUT} > 100MHz$ , $f_{VCO} > 400MHz$	—	—	160	ps p-p
	输出时钟相邻周期抖动 (Cycle-to-cycle Jitter), $f_{OUT} > 100MHz$ , $f_{VCO} > 400MHz$	—	—	200	ps p-p
	输出时钟相位抖动 (Phase Jitter), $f_{OUT} > 100MHz$ , $f_{VCO} > 400MHz$	—	—	180	ps p-p
$t_{LOCK}^3$	PLL 锁定时间	—	—	15	ms



$t_{LOCK}$	动态锁定时间（切换、重配置之后）	—	—	15	ms
$t_{PLL\_PS}$	PLL 相移精度	—	—	±125	ps
$t_{RST}$	复位脉冲最小宽度	1	—	—	ns
$t_{RSTREC}$	复位恢复时间	1	—	—	ns
$t_{CONFIGPLL}$	PLL 相位动态配置时间	—	3.5	—	cycles
$f_{SCANCLK}$	SCANCLK 频率	—	—	100	MHz

- 参考时钟允许的最大输入抖动。为得到低抖动的输出时钟，必须提供干净的参考时钟。PLL 不会滤掉低频输入噪声而是会跟上输入的低频噪声，PLL 会滤掉部分高频输入噪声。
- 周期抖动通过对 PLL 输出采样 10,000 次测量得到。相邻周期间抖动采样 1000 次。相位抖动采样 2000 次。参考时钟抖动 30ps。
- $t_{LOCK}$  之后，在输出端得到稳定时钟。

### 3.2.3 嵌入数字信号处理模块 (DSP) 规格

表 3-2-3 EAGLE 嵌入 DSP 规格表

模式	性能	单位
$M9 \times 9$ (All registers)	350	MHz
$M18 \times 18$ (All registers)	350	MHz

### 3.2.4 存储器模块 (ERAM) 规格

表 3-2-4 EAGLE 存储器模块规格表

存储器	模式	性 能	单 位
M9K	FIFO 512 x 18	220	MHz
	单口 512 x 18	220	MHz
	简单双口 512 x 18	220	MHz
	真双口 1024 x 9	220	MHz

### 3.2.5 高速 I/O 接口性能

表 3-2-5 高速 I/O 接口性能表

输入/输出标准	描 述	最 大	单 位
最大输入频率			
LVDS25	LVDS, VCCIO = 2.5V	400	MHz
LVPECL33	LVPECL, VCCIO = 3.3V	400	MHz
LVTTL33	LVTTL, VCCIO = 3.3V	166	MHz
LVCMOS33	LVCMOS, VCCIO = 3.3V	166	MHz
LVCMOS25	LVCMOS, VCCIO = 2.5V	166	MHz



LVCMS18	LVCMS, VCCIO = 1.8V	166	MHz
LVCMS15	LVCMS, VCCIO = 1.5V	166	MHz
LVCMS12	LVCMS, VCCIO = 1.2V	166	MHz
PCI33		133	MHz
最大输出频率			
LVDS25	LVDS, VCCIO = 2.5V	400	MHz
LVDS25E	LVDS, Emulated, VCCIO = 2.5V	166	MHz
LVPECL33E	LVPECL, Emulated, VCCIO = 3.3V	166	MHz
LVTTL33	LVTTL, VCCIO = 3.3V	166	MHz
LVCMS33	LVCMS, VCCIO = 3.3V	166	MHz
LVCMS25	LVCMS, VCCIO = 2.5V	166	MHz
LVCMS18	LVCMS, VCCIO = 1.8V	166	MHz
LVCMS15	LVCMS, VCCIO = 1.5V	166	MHz
LVCMS12	LVCMS, VCCIO = 1.2V	100	MHz
PCI33		133	MHz

### 3.2.6 配置模块和 JTAG 规格

表 3-2-6 EAGLE 器件配置模式时序规格表

下载模式	最 小	典 型	最 大	单 位
主模式串行 PROM (MS)	2.5	—	24	MHz
主模式串行 SPI (MSP1)	2.5	—	16	MHz
主模式并行 x8 (MP)	2.5	—	24	MHz
从模式串行 (SS)	—	—	30	MHz
从模式并行 x8 (SP)	—	—	30	MHz

### 3.2.7 ADC 性能

表 3-2-7 ADC 性能

参数	性 能
工作电压	3.3V 模拟电源 (VDDA) 和 3.3V 数字电源 (VDDD)
ADC 参考电压 VREF	0.5~1.0xVDDA
最高采样速率	1Mhz
通道数	8
采样范围	0.1*VREF ~ 0.9*VREF
ADC 输出数字位宽	12 bits
ADC 有效精度	8 bits
动态性能	>50dB SFDR >45dB SINAD



线性度性能	INL<1 LSB, DNL<1 LSB (8bits精度)
最高时钟频率	16Mhz

1. ADC 的精度和参考电压关系非常紧密，需要板上提供非常准确和干净的 VREF 参考电压，精度控制在 VDDA  $+/-0.2\%$ 以内。
2. VREF 可以接受的范围是  $0.5 \times VDDA \sim 1.0 \times VDDA$ ，由于输入信号范围也是由 VREF 决定，为了得到更大的输入信号范围，建议 VREF 设成  $1.0 \times VDDA$ 。
3. 在使用 ADC 的时候，尽量避免使用 ADC IO 相同 BANK 的数字 IO 以减小噪声干扰



## 4 引脚和封装

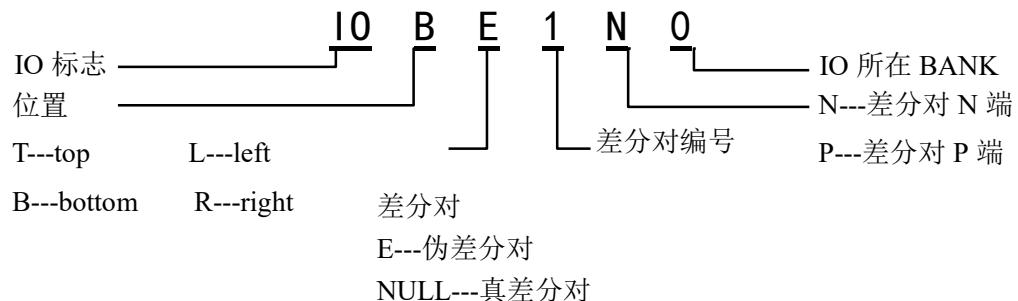
### 4.1 引脚定义和规则

表 4-1-1 引脚定义规则

引脚名称	方向	描述
普通 I/O		
NC	—	无连接
GND	—	电源地
VCC	—	内部核心模块电源
VCCI0x	—	I/O 组电源
VCCAUX	—	辅助电源
VCC_PLLX	—	PLL 电源
GND_PLLx	—	PLL 地
JTAG 专用引脚		
TCK	输入	TCK 输入边界扫描时钟
TDI	输入	边界扫描数据输入
TDO	输出	边界扫描数据输出
TMS	输入	边界扫描模式选择
配置专用管脚		
CSN	输入	并行下载模式片选信号，低有效
MSEL[2:0]	输入	下载模式选择
PROGRAMN	输入	全局复位输入，低有效
CCLK	I/O	
DONE	I/O	专用配置状态引脚，在配置完成后会输出高，源端开路
INITN	I/O	专用配置状态引脚，输出高表示 FPGA 准备好配置，源端开路
ADC 功能管脚		
ADC_CHx	输入	ADC 模拟信号输入
ADC_VREF	输入	ADC 参考电压
ADC_VDDA	输入	ADC 模拟电源
ADC_VDDD	输入	ADC 数字电源



## 4.2 IO 命名规则





### 4.3 EG4X20BG256 引脚说明

编号	BANK	EG4X20BG256 引脚说明	编号	BANK	EG4X20BG256 引脚说明
C4	0	IO_BE1P_HSWAPEN_0	F9	0	IO_BE15P_0
A4	0	IO_BE1N_VREF_0	D9	0	IO_BE15N_0
B5	0	IO_BE2P_0	B12	0	IO_BE16P_0
A5	0	IO_BE2N_0	A12	0	IO_BE16N_VREF_0
D5	0	IO_BE3P_GPLL3_OUTP_0	C13	0	IO_BE17P_0
C5	0	IO_BE3N_GPLL3_OUTN_0	A13	0	IO_BE17N_0
B6	0	IO_BE4P_0	F10	0	IO_BE18P_0
A6	0	IO_BE4N_0	E11	0	IO_BE18N_0
F7	0	IO_BE5P_0	B14	0	IO_BE19P_GPLL0_CLKIN0_0
E6	0	IO_BE5N_0	A14	0	IO_BE19N_GPLL0_CLKIN1_0
C7	0	IO_BE6P_0	D11	0	IO_BE20P_GPLL0_OUTP_0
A7	0	IO_BE6N_0	D12	0	IO_BE20N_GPLL0_OUTN_0
D6	0	IO_BE7P_0			
C6	0	IO_BE7N_0			
B8	0	IO_BE8P_0			
A8	0	IO_BE8N_0			
C9	0	IO_BE9P_GCLK1OB_7_0			
A9	0	IO_BE9N_GCLK1OB_6_0			
B10	0	IO_BE10P_GCLK1OB_5_0			
A10	0	IO_BE10N_GCLK1OB_4_0			
E7	0	IO_BE11P_GCLK1OB_3_0			
E8	0	IO_BE11N_GCLK1OB_2_0			
E10	0	IO_BE12P_GCLK1OB_1_0			
C10	0	IO_BE12N_GCLK1OB_0_0			
D8	0	IO_BE13P_0			
C8	0	IO_BE13N_VREF_0			
C11	0	IO_BE14P_0			
A11	0	IO_BE14N_0			



编号	BANK	EG4X20BG256 引脚说明	编号	BANK	EG4X20BG256 引脚说明
E13	1	IO_L1P_1	K14	1	IO_L14N_GCLK10L_4_1
E12	1	IO_L1N_VREF_1	K12	1	IO_L15P_GCLK10L_3_1
B15	1	IO_L2P_1	K11	1	IO_L15N_GCLK10L_2_1
B16	1	IO_L2N_1	J14	1	IO_L16P_GCLK10L_1_1
F12	1	IO_L3P_1	J16	1	IO_L16N_GCLK10L_0_1
G11	1	IO_L3N_1	K15	1	IO_L17P_1
D14	1	IO_L4P_1	K16	1	IO_L17N_1
D16	1	IO_L4N_1	N14	1	IO_L18P_1
F13	1	IO_L5P_1	N16	1	IO_L18N_1
F14	1	IO_L5N_1	M15	1	IO_L19P_1
C15	1	IO_L6P_1	M16	1	IO_L19N_1
C16	1	IO_L6N_1	L14	1	IO_L20P_1
E15	1	IO_L7P_1	L16	1	IO_L20N_1
E16	1	IO_L7N_1	P15	1	IO_L21P_1
F15	1	IO_L8P_1	P16	1	IO_L21N_1
F16	1	IO_L8N_1	R15	1	IO_L22P_1
G14	1	IO_L9P_1	R16	1	IO_L22N_1
G16	1	IO_L9N_1	R14	1	IO_L23P_1
H15	1	IO_L10P_1	T15	1	IO_L23N_1
H16	1	IO_L10N_1	T14	1	IO_L24P_1
G12	1	IO_L11P_1	T13	1	IO_L24N_1
H11	1	IO_L11N_1	R12	1	IO_L25P_1
H13	1	IO_L12P_1	T12	1	IO_L25N_1
H14	1	IO_L12N_1	L12	1	IO_L26P_1
J11	1	IO_L13P_GCLK10L_7_1	L13	1	IO_L26N_VREF_1
J12	1	IO_L13N_GCLK10L_6_1	M13	1	IO_AWAKE_1
J13	1	IO_L14P_GCLK10L_5_1	M14	1	IO_DOUT_BUSY_1



编号	BANK	EG4X20BG256 引脚说明	编号	BANK	EG4X20BG256 引脚说明
R11	2	I0_CCLK_2	R5	2	I0_TE14P_D7_2
T11	2	I0_M0_2	T5	2	I0_TE14N_VREF_2
M12	2	I0_TE2P_GPLL1_CLKIN0_ADC_CH4_2	N5	2	I0_TE15P_D3_2
M11	2	I0_TE2N_GPLL1_CLKIN1_ADC_CH7_2	P5	2	I0_TE15N_D4_2
P10	2	I0_D0_DIN_MISO_2	L8	2	I0_TE16P_D5_2
T10	2	I0_MOSI_CS1_B_2	L7	2	I0_TE16N_D6_2
N12	2	I0_TE4P_ADC_CH5_D1_2	P4	2	I0_TE17P_2
P12	2	I0_TE4N_ADC_CH6_D2_2	T4	2	I0_TE17N_2
N11	2	I0_TE5P_M1_ADC_CH0_2	M6	2	I0_TE18P_2
P11	2	I0_TE5N_ADC_CH2_VREF_2	N6	2	I0_TE18N_2
N9	2	I0_TE6P_2	R3	2	I0_INIT_B_2
P9	2	I0_TE6N_2	T3	2	I0_CS0_B_2
L10	2	I0_TE7P_ADC_CH1_2			
M10	2	I0_TE7N_ADC_CH3_2			
R9	2	I0_TE8P_2			
T9	2	I0_TE8N_2			
M9	2	I0_TE9P_GCLK10T_3_2			
N8	2	I0_TE9N_GCLK10T_2_2			
P8	2	I0_TE10P_GCLK10T_1_2			
T8	2	I0_TE10N_GCLK10T_0_2			
P7	2	I0_TE11P_GCLK10T_7_2			
M7	2	I0_TE11N_GCLK10T_6_2			
R7	2	I0_TE12P_GCLK10T_5_2			
T7	2	I0_TE12N_GCLK10T_4_2			
P6	2	I0_TE13P_2			
T6	2	I0_TE13N_2			



编号	BANK	EG4X20BG256 引脚说明	编号	BANK	EG4X20BG256 引脚说明
M4	3	IO_R1P_3	H5	3	IO_R14N_GCLKIOR_2_3
M3	3	IO_R1N_VREF_3	H4	3	IO_R15P_GCLKIOR_1_3
M5	3	IO_R2P_3	H3	3	IO_R15N_GCLKIOR_0_3
N4	3	IO_R2N_3	L4	3	IO_R16P_3
R2	3	IO_R3P_GPLL2_CLKIN0_3	L5	3	IO_R16N_3
R1	3	IO_R3N_GPLL2_CLKIN1_3	E2	3	IO_R17P_3
P2	3	IO_R4P_3	E1	3	IO_R17N_3
P1	3	IO_R4N_3	K5	3	IO_R18P_3
N3	3	IO_R5P_3	K6	3	IO_R18N_3
N1	3	IO_R5N_3	C3	3	IO_R19P_3
M2	3	IO_R6P_3	C2	3	IO_R19N_3
M1	3	IO_R6N_3	D3	3	IO_R20P_3
L3	3	IO_R7P_3	D1	3	IO_R20N_3
L1	3	IO_R7N_3	C1	3	IO_R21P_3
K2	3	IO_R8P_3	B1	3	IO_R21N_3
K1	3	IO_R8N_3	G6	3	IO_R22P_3
J3	3	IO_R9P_3	G5	3	IO_R22N_3
J1	3	IO_R9N_3	B2	3	IO_R23P_3
H2	3	IO_R10P_3	A2	3	IO_R23N_3
H1	3	IO_R10N_3	F4	3	IO_R24P_3
G3	3	IO_R11P_3	F3	3	IO_R24N_3
G1	3	IO_R11N_3	E4	3	IO_R25P_3
F2	3	IO_R12P_GCLKIOR_7_3	E3	3	IO_R25N_3
F1	3	IO_R12N_GCLKIOR_6_3	F6	3	IO_R26P_3
K3	3	IO_R13P_GCLKIOR_5_3	F5	3	IO_R26N_3
J4	3	IO_R13N_GCLKIOR_4_3	B3	3	IO_R27P_3
J6	3	IO_R14P_GCLKIOR_3_3	A3	3	IO_R27N_3



编号	BANK	EG4X20BG256 引脚说明	编号	BANK	EG4X20BG256 引脚说明
P13	1	IO_DONE	L9	-	VCCAUX
T2	2	IO_PROGRAM_B	G7	-	VCCINT
P14	1	IO	G9	-	VCCINT
C14	0	IO_TCK	H10	-	VCCINT
C12	0	IO_TDI	H8	-	VCCINT
E14	1	IO_TDO	J7	-	VCCINT
A15	1	IO_TMS	J9	-	VCCINT
L11	-	ADC_VREF	K10	-	VCCINT
B13	-	VCCO_0	K8	-	VCCINT
B4	-	VCCO_0	A1		GND
B9	-	VCCO_0	A16		GND
D10	-	VCCO_0	B11		GND
D7	-	VCCO_0	B7		GND
D15	-	VCCO_1	D13		GND
G13	-	VCCO_1	D4		GND
J15	-	VCCO_1	E9		GND
K13	-	VCCO_1	G15		GND
N15	-	VCCO_1	G2		GND
R13	-	ADC_VDDA	G8		GND
N10	-	VCCO_2	H12		GND
N7	-	VCCO_2	H7		GND
R4	-	VCCO_2	H9		GND
R8	-	VCCO_2	J5		GND
D2	-	VCCO_3	J8		GND
G4	-	VCCO_3	K7		GND
J2	-	VCCO_3	K9		GND
K4	-	VCCO_3	L15		GND
N2	-	VCCO_3	L2		GND
E5	-	VCCAUX	M8		GND
F11	-	VCCAUX	N13	-	GND



F8	-	VCCAUX		P3	-	GND
G10	-	VCCAUX		R10		GND
H6	-	VCCAUX		R6		GND
J10	-	VCCAUX		T1		GND
L6	-	VCCAUX		T16		GND

1. 在芯片内部 ADC\_VDDD 与 VCCIO2 固定连接，当使用 ADC 时，BANK2 电压应不低于 ADC 模拟电源电压

#### 4.4 EG4A20BG256 引脚说明

编号	BANK	EG4A20BG256 引脚说明	编号	BANK	EG4A20BG256 引脚说明
D4	1	IO_L1P_1	M2	2	IO_L1P_GCLK10L_5_2
B1	1	IO_L1N_1	M1	2	IO_L1N_GCLK10L_4_2
C1	1	IO_L2_MOSI_1	J1	2	IO_L2N_GCLK10L_6_2
C2	1	IO_L1_1	J2	2	IO_L2P_GCLK10L_7_2
E5	1	IO_L3P_1	K1	2	IO_L3N_2
F5	1	IO_L3N_1	K2	2	IO_L3P_2
D1	1	IO_L2_1	J6	2	IO_L1_2
D2	1	IO_SPICSN_1	L1	2	IO_L4N_2
G5	1	IO_L5P_1	L2	2	IO_L4P_2
G4	1	IO_L5N_1	L3	2	IO_L5N_VREF_2
F4	1	IO_INITN_1	R1	2	IO_L5P_2
F3	1	IO_VREF_1	K5	2	IO_L6N_2
F2	1	IO_L7P_1	L4	2	IO_L6P_2
F1	1	IO_L7N_1	N1	2	IO_L7N_2
H3	1	IO_L8P_TCK_1	N2	2	IO_L7P_2
H4	1	IO_L8N_TDI_1	L6	2	IO_L8N_2
H5	1	IO_L9N_PROGRAMN_1	K6	2	IO_L8P_2
J5	1	IO_L9P_TMS_1	N4	2	IO_L2_2
H2	1	IO_L3_DATA0_1	P2	2	IO_L9P_2
H1	1	IO_L1_CCLK_1	P1	2	IO_L9N_2
J3	1	IO_L11N_CSN_1			
J4	1	IO_L11P_TDO_1			
G2	1	IO_L12P_GCLK10L_3_1			
G1	1	IO_L12N_GCLK10L_2_1			
E1	1	IO_GCLK10L_0_1			



编号	BANK	EG4A20BG256 引脚说明	编号	BANK	EG4A20BG256 引脚说明
P3	3	IO_BE1N_GPLL0_CLKIN1_3	R8	4	IO_BE1P_GCLK1OB_7_4
N3	3	IO_BE1P_GPLL0_CLKIN0_3	T8	4	IO_BE1N_GCLK1OB_6_4
M6	3	IO_BE2P_3	T9	4	IO_BE2N_GCLK1OB_2_4
L7	3	IO_BE2N_3	R9	4	IO_BE2P_GCLK1OB_3_4
P6	3	IO_BE3N_3	R10	4	IO_BE3P_4
T2	3	IO_BE3P_3	T10	4	IO_BE3N_4
R3	3	IO_BE4P_3	P9	4	IO_BE4N_4
T3	3	IO_BE4N_3	P11	4	IO_BE4P_4
T4	3	IO_BE5N_GPLL0_OUTN_3	M9	4	IO_BE5P_4
R4	3	IO_BE5P_GPLL0_OUTP_3	N9	4	IO_BE5N_4
N6	3	IO_BE6N_3	L9	4	IO_BE6N_4
N5	3	IO_BE6P_3	K9	4	IO_BE6P_4
R5	3	IO_BE7P_3	T11	4	IO_BE7N_4
T5	3	IO_BE7N_3	R11	4	IO_BE7P_4
T6	3	IO_BE8N_3	M10	4	IO_BE8P_4
R6	3	IO_BE8P_3	N11	4	IO_BE8N_4
R7	3	IO_BE9P_3	L10	4	IO_BE9N_4
T7	3	IO_BE9N_3	K10	4	IO_BE9P_4
K8	3	IO_BE10N_3	T12	4	IO_BE10N_GPLL3_OUTN_4
M7	3	IO_BE10P_3	R12	4	IO_BE10P_GPLL3_OUTP_4
N8	3	IO_BE11P_GCLK1OB_1_3	R13	4	IO_BE11P_4
P8	3	IO_BE11N_GCLK1OB_0_3	T13	4	IO_BE11N_4
M8	3	IO_BE12N_GCLK1OB_4_3	N12	4	IO_BE12N_4
L8	3	IO_BE12P_GCLK1OB_5_3	M11	4	IO_BE12P_4
			T14	4	IO_BE13P_4
			T15	4	IO_BE13N_4
			L11	4	IO_BE14N_4
			P14	4	IO_BE14P_4



编号	BANK	EG4A20BG256 引脚说明	编号	BANK	EG4A20BG256 引脚说明
R14	5	I0_R1N_GPLL3_CLKIN1_5	H15	6	I0_R1P_GCLK10R_3_6
P15	5	I0_R1P_GPLL3_CLKIN0_5	H16	6	I0_R1N_GCLK10R_2_6
R16	5	I0_R2P_5	E16	6	I0_R2N_GCLK10R_4_6
P16	5	I0_R2N_5	E15	6	I0_R2P_GCLK10R_5_6
N13	5	I0_R3P_5	G15	6	I0_R3P_6
N14	5	I0_R3N_5	G16	6	I0_R3N_6
N15	5	I0_R4P_5	H13	6	I0_R_MSEL0_6
N16	5	I0_R4N_5	H14	6	I0_R_DONE_6
M12	5	I0_R5P_5	G12	6	I0_R5P_MSEL2_6
L12	5	I0_R5N_5	H12	6	I0_R5N_MSEL1_6
L13	5	I0_R6P_5	F15	6	I0_R1_6
L14	5	I0_R6N_5	F16	6	I0_R_DOUT_6
L15	5	I0_R7P_5	F13	6	I0_R7P_6
L16	5	I0_R7N_5	G11	6	I0_R7N_6
K15	5	I0_R8P_5	D16	6	I0_R8N_6
K16	5	I0_R8N_5	D15	6	I0_R8P_6
J11	5	I0_R9P_5	C16	6	I0_R9N_6
K11	5	I0_R9N_5	C15	6	I0_R9P_6
K12	5	I0_R10P_5	B16	6	I0_R10N_6
J13	5	I0_R10N_5	F14	6	I0_R10P_VREF_6
J12	5	I0_R11P_5	D13	6	I0_R2_6
J14	5	I0_R11N_5	A15	6	I0_R11P_GPLL2_CLKIN0_6
J15	5	I0_R12P_GCLK10R_7_5	F11	6	I0_R11N_GPLL2_CLKIN1_6
J16	5	I0_R12N_GCLK10R_6_5			
M16	5	I0_R13N_GCLK10R_0_5			
M15	5	I0_R13P_GCLK10R_1_5			



编号	BANK	EG4A20BG256 引脚说明	编号	BANK	EG4A20BG256 引脚说明
D14	7	I0_TE1P_7	A9	7	I0_TE14N_GCLK10T_6_7
C14	7	I0_TE1N_7	A8	7	I0_TE15N_GCLK10T_4_7
A14	7	I0_TE2N_GPLL2_OUTN_7	B8	7	I0_TE15P_GCLK10T_5_7
B14	7	I0_TE2P_GPLL2_OUTP_7	B6	7	I0_TE16P_GCLK10T_1_7
B13	7	I0_TE3P_7	A6	7	I0_TE16N_GCLK10T_0_7
A13	7	I0_TE3N_7	E8	7	I0_TE17N_D2_GCLK10T_2_7
D11	7	I0_TE4N_7	F8	7	I0_TE17P_D3_GCLK10T_3_7
D12	7	I0_TE4P_7	A5	8	I0_TE1P_D7_8
B12	7	I0_TE5P_7	C6	8	I0_TE1N_8
A12	7	I0_TE5N_7	E7	8	I0_TE2N_D5_8
C11	7	I0_TE6P_VREF_7	E6	8	I0_TE2P_D6_8
E11	7	I0_TE6N_7	D6	8	I0_TE3P_8
A11	7	I0_TE7N_7	D5	8	I0_TE3N_8
B11	7	I0_TE7P_7	F6	8	I0_TE4N_GPLL1_OUTN_8
B10	7	I0_TE8P_7	F7	8	I0_TE4P_GPLL1_OUTP_8
A10	7	I0_TE8N_7	B4	8	I0_TE5P_ADC_CH1_8
F10	7	I0_TE9N_7	A4	8	I0_TE5N_ADC_CH3_8
F9	7	I0_TE9P_7	A3	8	I0_TE6N_ADC_CH2_8
E10	7	I0_TE10P_7	B3	8	I0_TE6P_ADC_CH0_8
E9	7	I0_TE10N_7	E2	8	ADC_VREF
C9	7	I0_TE11N_7	B5	8	I0_TE7P_ADC_CH5_8
D9	7	I0_TE11P_7	A2	8	I0_TE7N_ADC_CH7_8
B7	7	I0_TE12P_D4_7	C3	8	I0_TE8N_GPLL1_CLKIN1_ADC_CH6_8
A7	7	I0_TE12N_7	D3	8	I0_TE8P_GPLL1_CLKIN0_ADC_CH4_8
C8	7	I0_TE13N_7			
D8	7	I0_TE13P_7			
B9	7	I0_TE14P_GCLK10T_7_7			

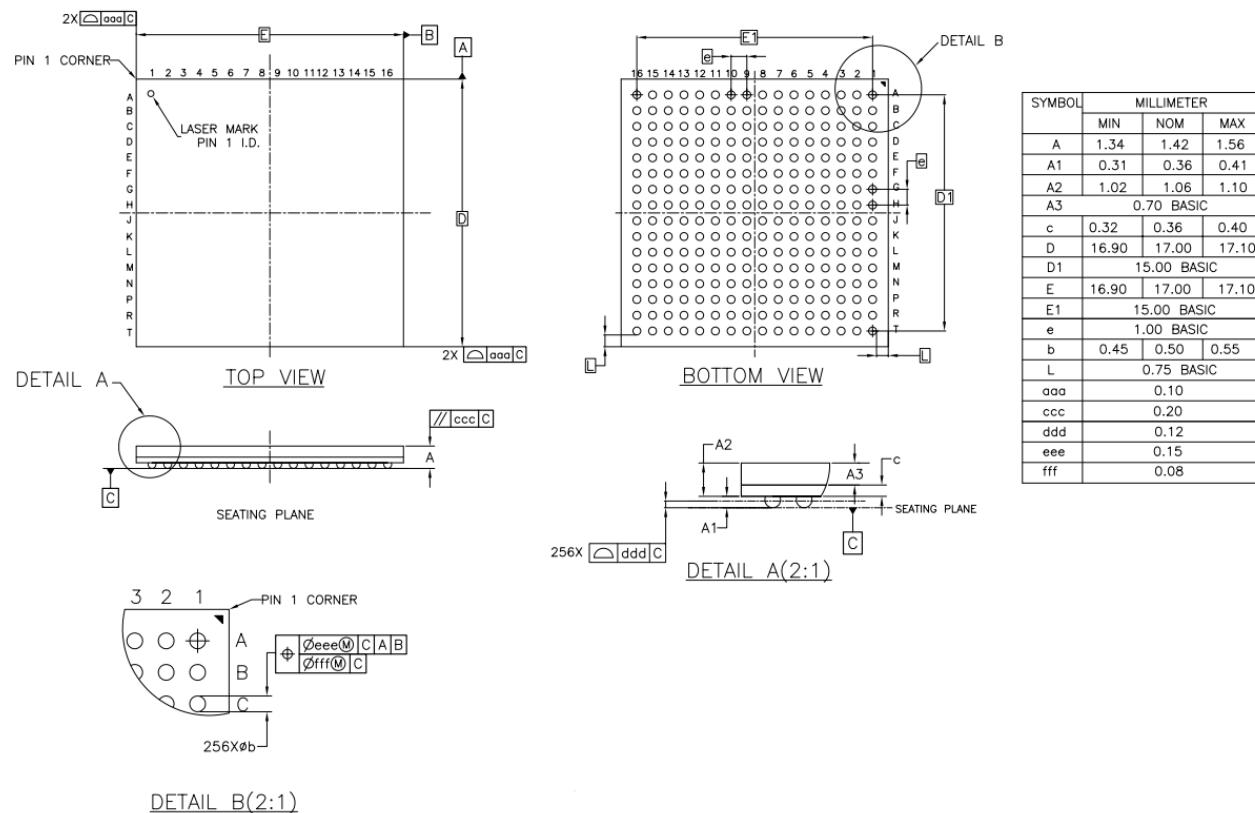


编号	BANK	EG4A20BG256 引脚说明	编号	BANK	EG4A20BG256 引脚说明
B2	-	GND	F12	-	VCCAUX
B15	-	GND	L5	-	VCCAUX
C12	-	GND	G6	-	VCCINT
D7	-	ADC_VSSA	G7	-	VCCINT
D10	-	GND	G8	-	VCCINT
E4	-	GND	G9	-	VCCINT
E13	-	GND	G10	-	VCCINT
G13	-	GND	H6	-	VCCINT
H7	-	GND	H11	-	VCCINT
H8	-	GND	K7		VCCINT
H9	-	GND	E3	-	VCCI01
H10	-	GND	G3	-	VCCI01
J7	-	GND	K3	-	VCCI02
J8	-	GND	M3	-	VCCI02
J9	-	GND	P4	-	VCCI03
J10	-	GND	P7	-	VCCI03
K4	-	GND	T1	-	VCCI03
K13	-	GND	P10	-	VCCI04
M4	-	GND	P13	-	VCCI04
N7	-	GND	T16	-	VCCI04
N10	-	GND	K14	-	VCCI05
P5	-	GND	M14	-	VCCI05
P12	-	GND	E14	-	VCCI06
R2	-	GND	G14	-	VCCI06
R15	-	GND	A16	-	VCCI07
M5	-	GND_PLLA0	C10	-	VCCI07
E12	-	GND_PLLA2	C13	-	VCCI07
C5		GND_PLLA1	C4	-	VCCI08
M13		GND_PLLA3	C7	-	VCCI08
	-		A1	-	ADC_VDDA

1. 在芯片内部 ADC\_VDDD 与 VCCI08 固定连接, 当使用 ADC 时, BANK8 电压应不低于 ADC 模拟电源电压。

## 4.5 封装信息

### 4.5.1 BG256 封装规格



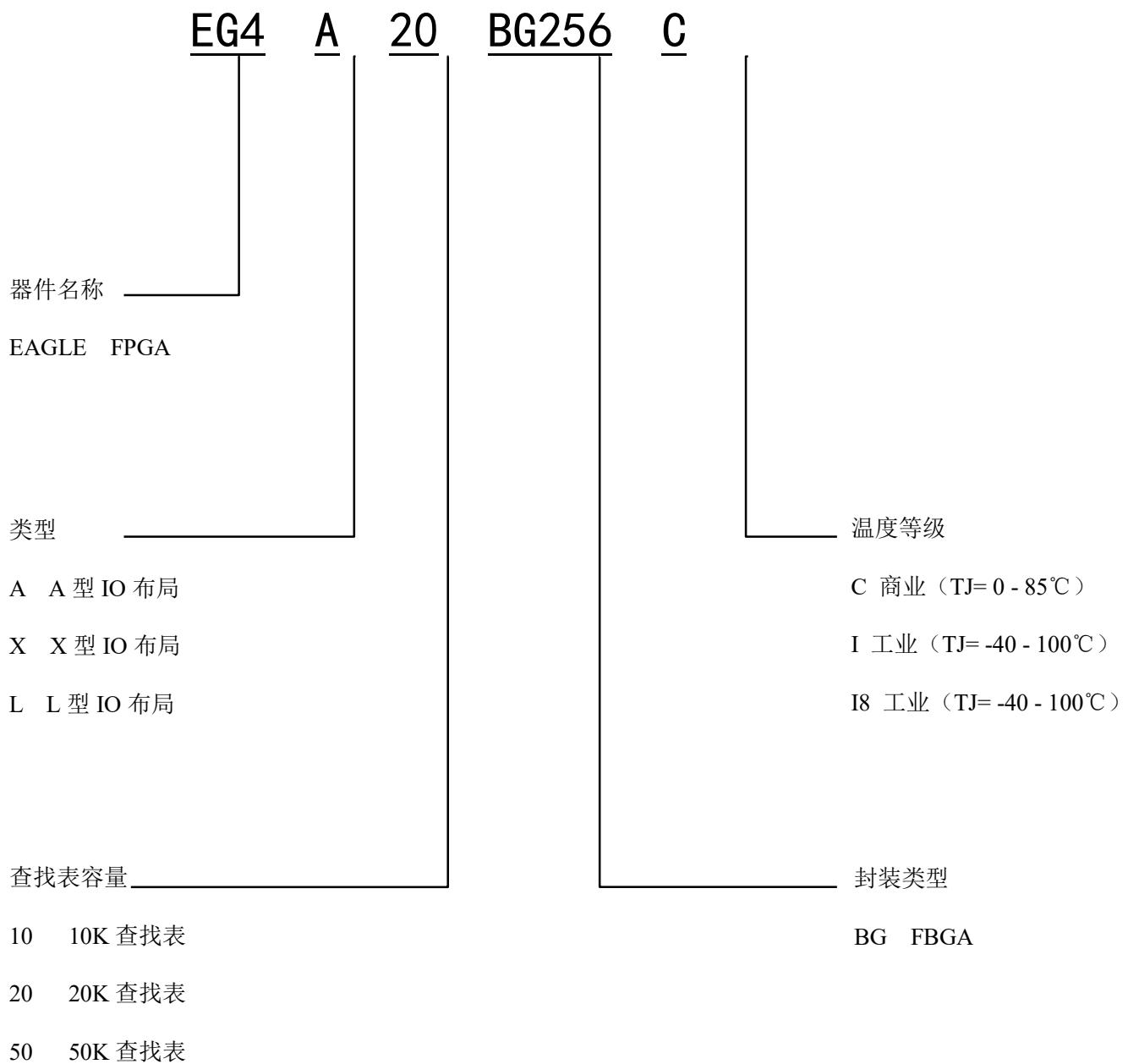


## 5 订购信息

表 5-1 器件号缩写

器件名称	类别	查找表容量	封装类型	温度等级
EG4	A	10	BG256	C

- 产品系列
  - ✧ EAGLE 系列
- 类别
  - ✧ A A型 IO 布局
  - ✧ X X型 IO 布局
  - ✧ L L型 IO 布局
- 查找表容量
  - ✧ 10 10K 查找表
  - ✧ 20 20K 查找表
  - ✧ 50 50K 查找表
- 封装类型: <类型><#>
  - ✧ BG FBGA
  - ✧ # 引脚数 (256 指 256 个引脚)
- 温度等级
  - ✧ C 商业 ( $T_J = 0 - 85^{\circ}\text{C}$ )
  - ✧ I 工业 ( $T_J = -40 - 100^{\circ}\text{C}$ )
  - ✧ I8 工业 ( $T_J = -40 - 100^{\circ}\text{C}$ )





## 版本信息

日期	版本	修订记录
2016/4/5	1. 0	首次发布中文版
2016/11/11	1. 1	更新封装信息
2016/12/7	1. 2	更新 ADC 特殊功能引脚说明
2017/2/15	1. 3	更新封装信息
2017/3/9	1. 4	更新配置模块信息
2017/5/2	1. 5	改正 RAM 信息错误, 改正配置波形错误
2017/5/14	1. 6	改正 A 封装 LVDS 对标示错误
2017/5/26	1. 7	改正 A 封装部分 IO 标示错误
2017/9/1	1. 8	完善 ADC IP 相关时序图
2017/11/14	1. 9	改正双功能引脚的 LVDS 电平可用性错误
2018/5/23	2. 0	修正 EG4X20 器件的引脚表错误
2018/5/28	2. 1	删除速度等级的描述
2018/6/6	2. 2	添加 ADC 所在 BANK 电压要求等功能描述
2018/6/21	2. 3	修改文档格式
2018/7/10	2. 4	修改了 IOB 简介部分的描述, 删除了 144 封装的说明
2018/8/7	2. 5	删除 MS 配置说明
2018/8/10	2. 6	修正引脚标识
2018/8/30	2. 7	添加动态相移时钟与脉宽说明
2018/9/6	2. 8	文档格式统一化, 增加 PLL 使用建议、IO 引脚在配置过程中的状态等
2018/11/20	2. 9	修改 TRUE LVDS 输出示意图, 增加 ADC 复用引脚不支持热插拔说明
2019/1/16	3. 0	更新器件选型表与订购信息
2019/1/29	3. 1	更新电源监控模块监控电平
2019/2/12	3. 2	添加 JTAG 时序规格
2019/2/20	3. 3	修改图 2-8-5EG4X 从动串行配置时序图、图 2-8-12 从动并行配置时序图添加表 2-8-3、表 2-8-4 从动串行与从动并行时序规格, 更新表 3-1-11 差分推荐条件表中差分输入摆幅
2019/2/27	3. 4	添加表 3-1-12 EAGLE LVPECL 推荐操作条件
2019/3/6	3. 5	删除表 3-1-9 推荐基本操作条件中关于施密特触发器的描述
2019/4/22	3. 6	电压监控模块未完成完整测试, 暂删除相关章节; 更改嵌入式存储模块缩写为 ERAM, 修改 ERAM9K 配图; 修改全局时钟网络配图
2019/4/25	3. 7	更新表 3-2-2 EAGLE 器件的 PLL 规格 增加表 3-1-11 EAGLE 器件单端 I/O 标准规格输出电流强度
2019/5/27	3. 8	更新表 3-2-7 ADC 性能 校对并更新选型表表 1-1-2 中 LVDS 数目



日期	版本	修订记录
		<p>添加表 2-7-2 Emulated LVDS 推荐电阻值 修改表 3-1-3 推荐基本操作条件中电源缓变率最小值 更新表 3-1-13LVDS 推荐操作条件中输出共模电压范围 删除 HSTL, SSTL, GTL 单端标准, 删除 MINILVDS, PPDS 差分标准支持 更新表 2-8-5 EAGLE JTAG 时序规格表 更新表 3-2-6 EAGLE 器件配置模式时序规格表 更新表 3-1-9 中输入漏电流范围 删除表 3-1-11EAGLE 器件单端 I/O 标准规格中 LVCMS33 24mA 输出强度时的测试内容 更新 ftBGA256 封装信息, 明确芯片厚度范围 改写 PLL 动态相移相关说明</p>
2019/6/30	3. 8. 1	修改 POR 相关 BANK 最小供电要求为 1.5V
2019/7/29	3. 8. 2	<p>添加图 2-1-4 Disram 同步写入异步读出时序图 添加图 2-3-1 No change 模式波形、图 2-3-2 Write Through 模式波形、图 2-3-3 Read Before Write 模式波形</p>
2019/10/16	3. 8. 3	<p>修改图 2-8-10 片选信号作为配置中断信号的给出时间, 由上升沿调整为下降沿 删除从动配置时, INITN 信号结束到配置时钟给出的相对时间要求 添加 ADC 相关供电限制到器件基本供电要求章节 非背景模式下, 通过 Jtag 烧写 flash 数据, tck 的频率要大于等于 100K</p>
2019/11/25	3. 8. 4	修正 EG4A20BG256 的 N13、N14 差分极性标识错误
2019/12/30	3. 8. 5	删除从动配置时最大建立时间要求, 添加最小保持时间要求
2020/10/25	3. 8. 6	<p>增加 2.7.3 章节 LVPECL 介绍和推荐电路图 更新表 3-1-13 EAGLE LVDS 推荐操作条件, 增加 LVDS33 输入/输出参数。 删除表 2-8-4 EAGLE 从动并行时序规格表: T_init_b 最小值 删除表 2-8-3 EAGLE 从动串行时序规格表: T_init_b 最小值 增加更新 3.1.1 章节: 增加图 3-1-1 输入过冲, 下冲以及表 3-1-210 年使用寿命条件下允许的最大过冲, 下冲占比。 更新订购信息: 增加温度等级规格, I8, 工业 (<math>T_J = -40 - 100 ^\circ C</math>) 更新表 3-1-11 EAGLE 器件单端 I/O 标准规格, VOL 最小和 VOH 最大修改为 VOL 最大和 VOH 最小</p>
2021/1/13	3. 8. 7	修正图 2-8-3 MSPI 配置模式时序图。
2022/10/13	3. 8. 8	<ol style="list-style-type: none"><li>在表 3-1-3 的注 3 中增加真差分对管脚当作单端 I/O 使用的限制</li><li>更新表 2-8-5 后备注中对 tck 的限制要求</li><li>更新从动配置表 2-8-3 和表 2-8-4 中的 T_ch 和 T_ci 规格为 15.5</li><li>更新 2.8.3 节中描述的 CCLK 频率范围</li><li>在表 2-8-3 和表 2-8-4 后增加对 CCLK 的限制要求</li></ol>



日期	版本	修订记录
		<ol style="list-style-type: none"><li>6. 在第 2.8.11 节最后增加 mult_bootn 信号的使用限制</li><li>7. 在表 2-8-6 注 1 中增加 EG4A 器件的 CSN(D2) 信号的使用限制, 注 2 中增加 IO_R1_6 (F15) 引脚在加载中的状态说明</li><li>8. 在表 2-8-7 注 1 中增加 EG4X 器件的 CSI_B(T10) 信号的使用限制, 注 2 中增加 IO_R7P_3 (L3) 引脚在加载中的状态说明</li><li>9. 增加表 2-8-8 EG4 系列 FPGA 在配置不受控制的引脚列表及其说明</li><li>10. 删除第 1.1 节和第 5 节中与本文档无关的封装类型</li><li>11. 在表 3-1-3 中增加注 4 对 IO 端接限制进行说明</li><li>12. 删除 1.1 器件特性中的 BLVDS 和 MLVDS 差分电平标准, 删除表 2-7-1 节中支持差分标准中的 BLVDS, 删除表 3-2-5 中的 BLVDS25、BLVDS25E 规格</li><li>13. 删除表 3-1-11 中的 PCI-X33 电气标准</li><li>14. 更新表 3-1-5 中 EG4X 器件 VCC100 的基本供电要求</li><li>15. 更新文档免责声明</li></ol>
2023/05/23	3.8.9	<ol style="list-style-type: none"><li>1. 在 2.4.2 章节中更新分频系数 M、N, 更新图 2_4_1 EF4 PLL 架构图中分频系数 M、N, 更新表 2_4_1 EF4 PLL 特性表中分频系数 M、N</li><li>2. 在 2.8.14 章节中, 更新 (2) 中的描述为 FPGA I/O 引脚状态</li><li>3. 更新表 2-8-6 的名称为 EG4A Pin Termination, 更新表 2-8-7 的名称为 EG4X Pin Termination</li><li>4. 更新表 2-8-6 的注 1</li><li>5. 更新表 3-1-1 中 symbol “V<sub>cc</sub>” 修改为 “V<sub>ccint</sub>”, 更新表 3-1-3 中 symbol “V<sub>cc</sub>” 修改为 “V<sub>ccint</sub>”, 更新表 3-1-6 中 symbol “I<sub>vcc</sub>” 修改为 “I<sub>vccint</sub>”</li><li>6. 在表 3-1-4 中增加 V<sub>ccint</sub>, 在表 3-1-5 中增加 V<sub>ccint</sub></li><li>7. 在第 4.4 章节中更新 J3 引脚说明</li><li>8. 更新表 2-2-8 FIFO 模式下的端口信号名, “ocea” 修改为 “orea”, “oceb” 为 “oreb”</li><li>9. 更新表 2-2-11 ERAM32K 端口信号名, “wbyte_ena” 修改为 “bytewea”, “wbyte_enb” 修改为 “byteweb”, 更新图 2_2_13 ERAM32k 双口 RAM</li><li>10. 在第 2.8.14 章节中增加描述 (3), 对 EG4 系列 FPGA 在配置期间不受控制引脚进行说明</li><li>11. 在第 1 章节中更新封装类型为 FBGA</li><li>12. 更新表 1-1-1 表名为 EAGLE FPGA 系列选型表, 更新表 1-1-1 中 EAGLE_20 为 EAGLE_4X20 和 EAGLE_4A20, 更新表 1-1-2 EAGLE FPGA 封装中 EAGLE_20 为 EAGLE_4X20 和 EAGLE_4A20</li><li>13. 在表 2_7_2 EmulatedLVDS 推荐电阻值注 1 中新增 “芯片内阻为 20 欧姆”的描述, 更新图 2_7_3 EmulatedLVDS 输出 3R 电阻网络</li><li>14. 在表 3_2_6 EAGLE 器件配置模式时序规格表 MSPI 中更新 MSPI 最大频率为 16MHz</li></ol>



日期	版本	修订记录
		<ul style="list-style-type: none"><li>15. 更新 4.3 章节 EG4X20BG256 引脚说明</li><li>16. 更新 4.5.1 章节名为 BG256 封装规格</li><li>17. 在第 5 章节封装类型中删除 LG</li><li>18. 更新图 2-3-6 CSB 时序图, 更新表 2_3_1 DCS 操作模式表中 BUFGMUX 模式 clk1i 与 clk0i</li><li>19. 在 2.8.11 章节中修改信号名 mult_bootn 为 rebootn</li></ul>



**版权所有©2023 上海安路信息科技股份有限公司**

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

## **免责声明**

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其他方式授予任何知识产权许可；本文档仅为向用户提供使用器件的参考，协助用户正确地使用安路科技产品之用，其著作权归安路科技所有；本文档所展示的任何产品信息均不构成安路科技对所涉产品或服务作出任何明示或默示的声明或保证。

安路科技将不定期地对本文档进行更新、修订。用户如需获取最新版本的文档，可通过安路科技的官方网站（网址为：<https://www.anlogic.com>）自行查询下载，也可联系安路科技的销售人员咨询获取。