**上海大学** **计算机学院** **《数字逻辑实验》报告** **5**

**姓名** **学号**

**时间** **2024.10.24** **机位** **20** **指导教师**



**实验名称:** **记忆元件测试**

**一、实验目的**

1. 详细了解 R-S 触发器、D 触发器和 JK 触发器的工作原理及其相互转换。

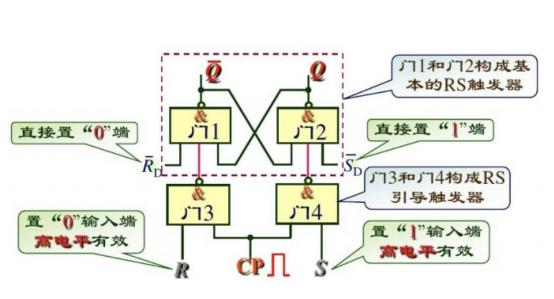
2. 学会用 74LS00 芯片构成钟控 RS 触发器。

3. 学会用 74LS112 实现 D 触发器

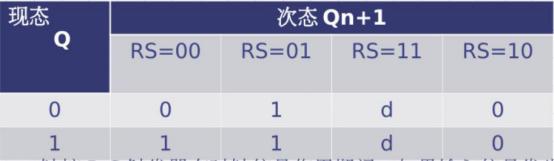
4. 掌握如何在 Quartus II 上用 D 触发器实现 JK 触发器。

**二、实验原理**

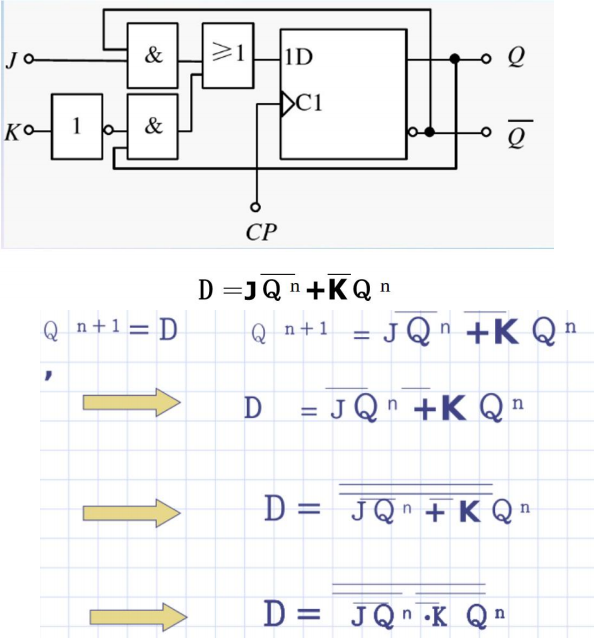
1. 钟控 R-S 触发器电路原理图如下：



钟控 R-S 真值表：



2. 使用D 触发器构成 J-K 触发器电路原理图：

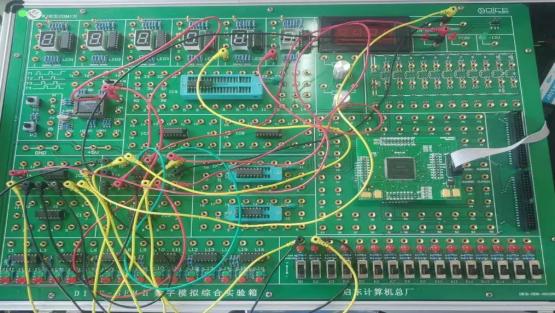


**三、实验内容**

**1．实验任务一：使用分立元件构成并测试钟控** **R-S** **触发器**

(1) 实验步骤

1.将 74LS00 的输入引脚 1A 和 2A 分别连接到 K1 和 K12，输入引脚 1B 和 2B 同时连接到连续脉冲 1H，输出引脚 1Y 和 2Y 分别连接到输入引脚 4B 和 3B， 输入引脚 4A 连接到输出引脚 3Y，输入引脚 3A 连接到输出引脚 4Y，最后再 将输出引脚 3Y 和4Y 分别连接到数码管 LED6 和 LED5，接电接地后所构成的 钟控 RS 触发器图如下所示：



2.拨动开关，观察数码管的变化，填入钟控 R-S 触发器的输入与输出状 态记录表。

(2) 实验现象

1. 时钟信号没来的时候，次态保持不变

2. 当时钟信号来的时候，若 S 对应的 K1 对应的开关为 1，R = 0，则次 态变为 1；若 S = 0，R = 1，则次态变为 0。 如果 S = 0 且 R = 0，则次 态不变。

(3) 数据记录、分析与处理

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 现态 Q | 次态 Qn+1 | | | |
| 00 | 01 | 11 | 10 |
| 0 | 0 | 1 | d | 0 |
| 1 | 1 | 1 | d | 0 |

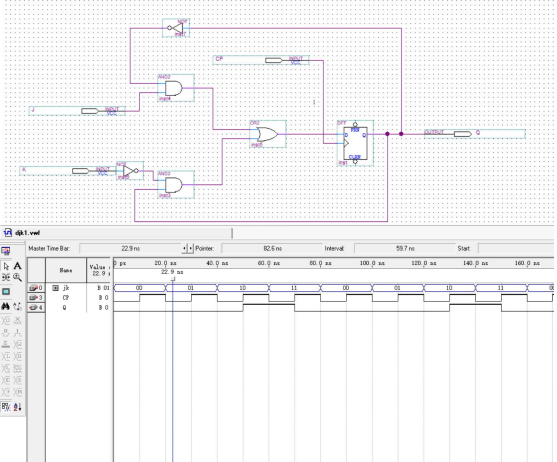
(4) 实验结论

通过 74LS00 作为搭建平台，我们成功地实现了一个钟控 R-S 触发器。实验结 果表明，电路在各种输入条件下都能输入正确的结果，符合预期行为。

**2．实验任务二：在** **QuartusII** **上用D** **触发器实现** **JK** **触发器**

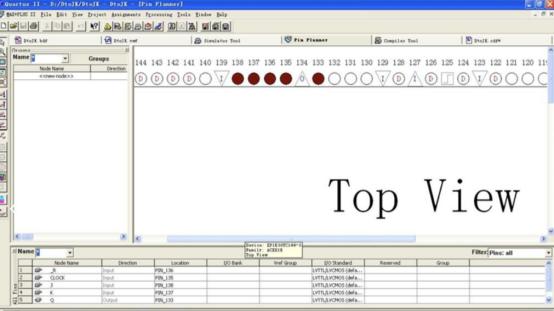
(1) 实验步骤

1. 用 Quartus II 设计出如下电路：



2. 编译通过后进行波形仿真，验证电路逻辑功能：

3. 绑定引脚，下载到 FPGA 测试。



4. 用开关和发光二极管测试 FPGA 功能。

(2) 实验现象

由于设计的是上升沿 D 触发，用 K16 开关控制时钟信号，将开关从 0 拨 到 1 时候为一个上升沿，再拨动其它开关观察结果。有如下现象：

1. 当时钟信号还没有到来的时候，无论 K16，K15 输入什么，数码管保 持原来的状态不变。

2. 当 cp 从 0 变到 1，将 J 输入拨成 1，则输出变成 1，同理如果将 K 拨成 1 则，输出为 0，如果 J 和 K 均为 1，则每个上升沿时钟信号来的时候， 输出翻转。

(3) 数据记录、分析与处理

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 现态 Q | 次态 Qn+1 | | | |
| 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |

**(4)** 实验结论

通过使用Quartus II 设计工具，我们成功地用D 触发器设计并测试了一 个 JK 触发器。实验结果表明，电路在各种输入条件下都能输入正确的结 果，符合预期行为。

**四、建议和体会**

1.在实验前，要提前熟悉各种触发器的结构和特性方程。

2.如果发现连续脉冲无效，要立即更换使用开关来进行控制。

3.本实验有助于各类触发器原理及使用的理解，同时也提供了一个实际 的设计和模拟测试经验。为后续进行更复杂的电路设计打下基础。