

BÁO CÁO THỰC HÀNH THỰC HÀNH KIẾN TRÚC MÁY TÍNH

Tuần 12:

Họ và tên	Phạm Quốc Cường
Mã số sinh viên	20225604

8.

Data Cache Simulation Tool, Version 1.2

Simulate and illustrate data cache performance

Cache Organization

Placement Policy: Direct Mapping

Block Replacement Policy: LRU

Set size (blocks): 1

Number of blocks: 8

Cache block size (words): 4

Cache size (bytes): 128

Cache Performance

Memory Access Count: 184

Cache Hit Count: 138

Cache Miss Count: 47

Cache Hit Rate: 75%

Cache Block Table (block 0 at top)

- ☐ = empty
- ☒ = hit
- ☐ = miss

Runtime Log

☐ Enabled

Tool Control

Disconnect from MIPS

Reset

Close

Cache Hit Rate là tỷ lệ truy cập thành công vào Cache Memory ($= \text{Hit} / \text{Memory Access Count}$).

Khi CPU tìm kiếm dữ liệu trong cache không thấy, cpu sẽ tiến hành nạp dữ liệu từ bộ nhớ chính vào cache theo 1 block đồng nghĩa với mỗi lần cache miss, một block gồm 4 kí tự sẽ được ghi vào trong cache. Trong phép duyệt row-major, các phần tử của mảng được truy cập theo cùng thứ tự chúng được lưu trong bộ nhớ, trong cache chứa 3 phần tử tiếp theo của mảng. Do đó cứ mỗi lần cache miss xảy ra thì tiếp theo là 3 lần hits khi 3 phần tử tiếp theo được tìm thấy trong cùng một cache block. Sau đó sẽ là lần miss khác khi chuyển đến cache block tiếp này, cứ lặp đi lặp lại. Vì vậy, Cache Hit Rate sẽ bằng $\frac{3}{4} = 75\%$.

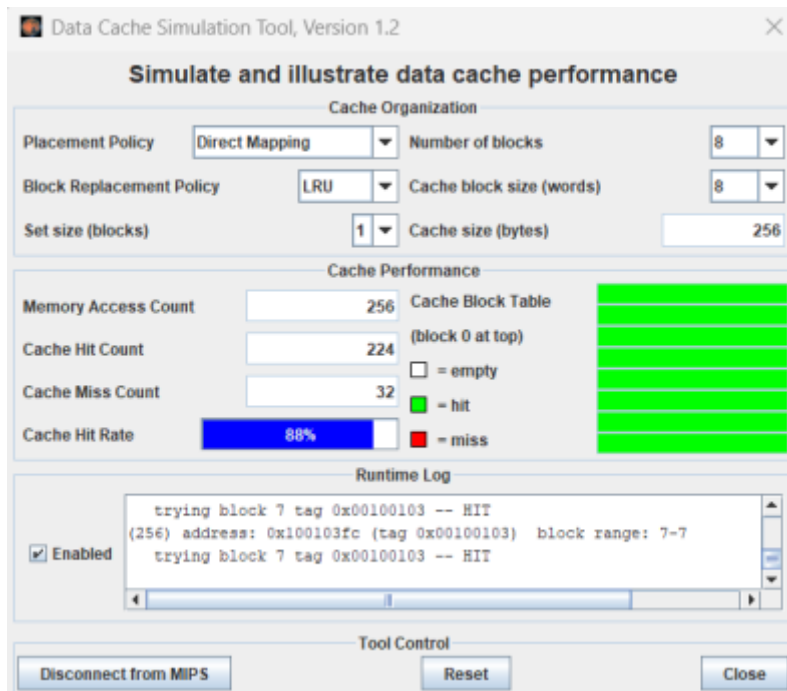
9.

Như cách giải thích trên, mỗi lần không tìm thấy dữ liệu trong cache thì 1 block mới nạp vào cache.

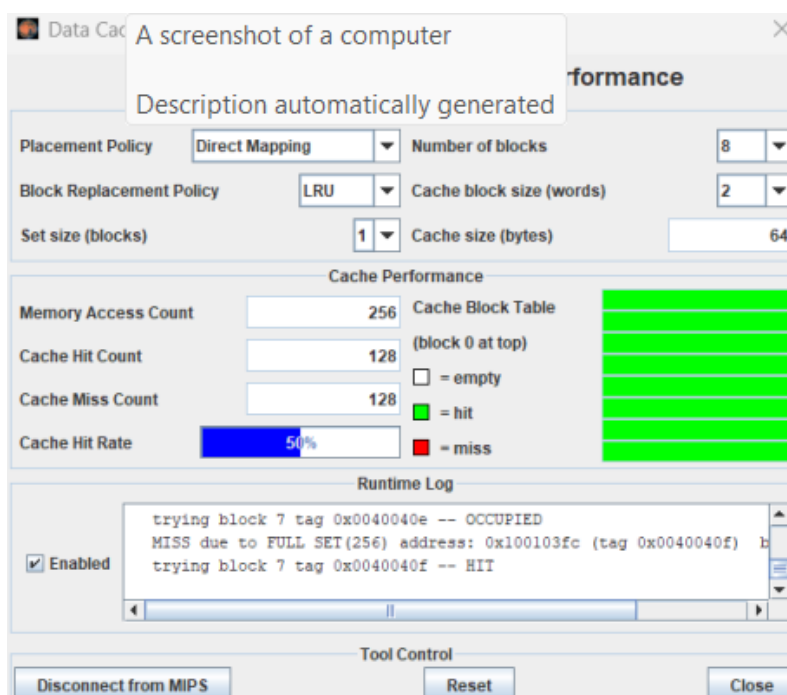
- Khi kích thước block tăng lên 8, Cache Hit Rate = $7/8 = 88\%$
- Khi kích thước block giảm xuống 2, Cache Hit Rate = $1/2 = 50\%$

10.

- Cache block size = 8:



- Cache block size = 2:



12.

Vấn đề là các vị trí bộ nhớ hiện tại không được truy cập theo thứ tự tuần tự như trước, mà mỗi lần truy cập cách lần trước đó 16 words (theo kiểu vòng tròn, do trong mảng các phần tử cùng hàng sẽ kề nhau). Với các thiết lập của bài, không có hai lần truy cập bộ nhớ liên tiếp nào xảy ra trong cùng một block nên mỗi lần truy cập đều là miss. Do đó Cache Hit Count = 0 dẫn đến Cache Hit Rate = 0.

- Cache block size = 4:

Data Cache Simulation Tool, Version 1.2

Simulate and illustrate data cache performance

Cache Organization

Placement Policy: Direct Mapping
Block Replacement Policy: LRU
Set size (blocks): 1
Number of blocks: 8
Cache block size (words): 4
Cache size (bytes): 128

Cache Performance

Memory Access Count: 256
Cache Hit Count: 0
Cache Miss Count: 256
Cache Hit Rate: 0%

Cache Block Table
(block 0 at top)
Legend: ☐ = empty, ☒ = hit, ☒ = miss

Runtime Log

☐ Enabled

Tool Control

Disconnect from MIPS, Reset, Close

- Cache block size = 2:

Data Cache Simulation Tool, Version 1.2

Simulate and illustrate data cache performance

Cache Organization

Placement Policy: Direct Mapping
Block Replacement Policy: LRU
Set size (blocks): 1
Number of blocks: 8
Cache block size (words): 2
Cache size (bytes): 64

Cache Performance

Memory Access Count: 256
Cache Hit Count: 0
Cache Miss Count: 256
Cache Hit Rate: 0%

Cache Block Table
(block 0 at top)
Legend: ☐ = empty, ☒ = hit, ☒ = miss

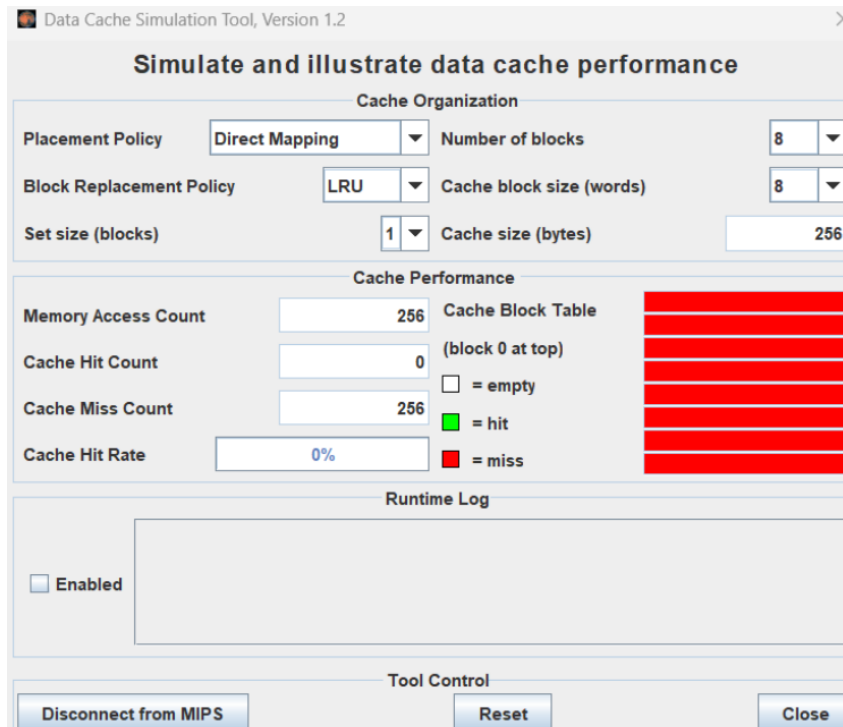
Runtime Log

☐ Enabled

Tool Control

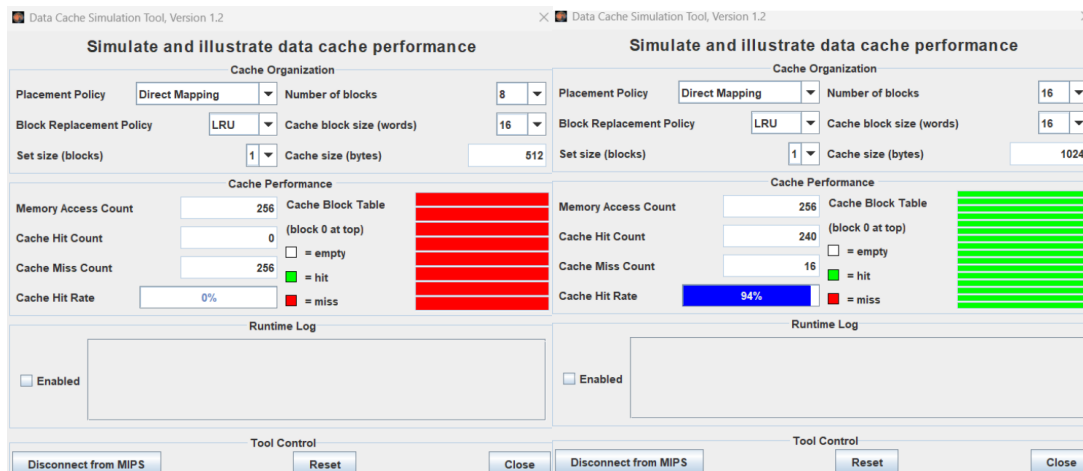
Disconnect from MIPS, Reset, Close

- Cache block size = 8:



15.

Với Cache block size = 16 và Number of blocks = 8 hoặc 16



- Khi Cache Block Size được thay đổi thành 16 từ, mỗi lần truy cập bộ nhớ sẽ vẫn chỉ truy cập vào mỗi block một lần trước khi khối đó bị thay thế bởi khối mới. Chương trình vẫn không thể truy cập 2 lần trên block bất kì, dẫn tới mỗi lần truy cập đều cache miss -> Cache Hit Rate vẫn bằng 0%.

- Khi Cache Block Size là 16 từ và Number of blocks là 16, toàn bộ ma trận vừa với cache. Sau khi block được đọc vào cache, nó sẽ không bị thay thế. Chỉ có lần truy cập đầu vào block là cache miss, các lần sau luôn là cache hit. Do đó Cache Miss Count = 16 (mỗi block 1 lần miss)

=> Cache Hit Rate: $(256-16)/256 = 94\%$

