1. 已知二进制数x=-0.1111,y=0.1101，用补码一位乘（Booth算法）计算x·y，要求写出每一步运算过程及运算结果。

1.00111101

1. 已知二进制数x=-0.1011,y=-0.1101，用补码一位乘（Booth算法）计算x·y，要求写出每一步运算过程及运算结果。

0.10001111

1. 设机器数字长为 8 位（含一位符号位在内），设A=-13/16，B=9/32，计算[A±B]补，并还原成真值。

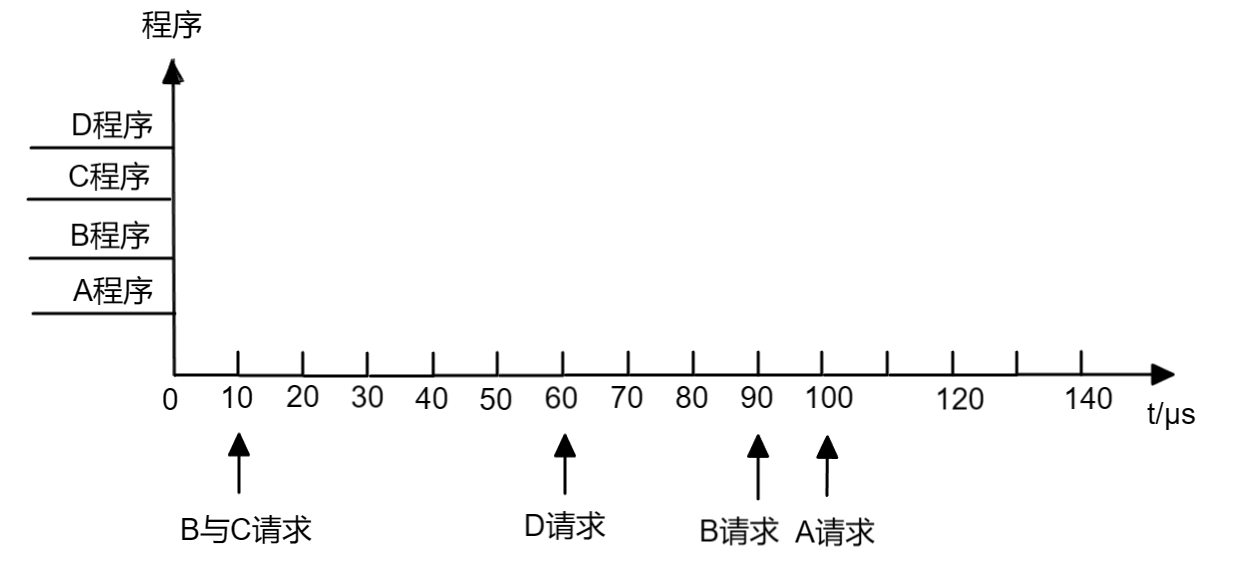
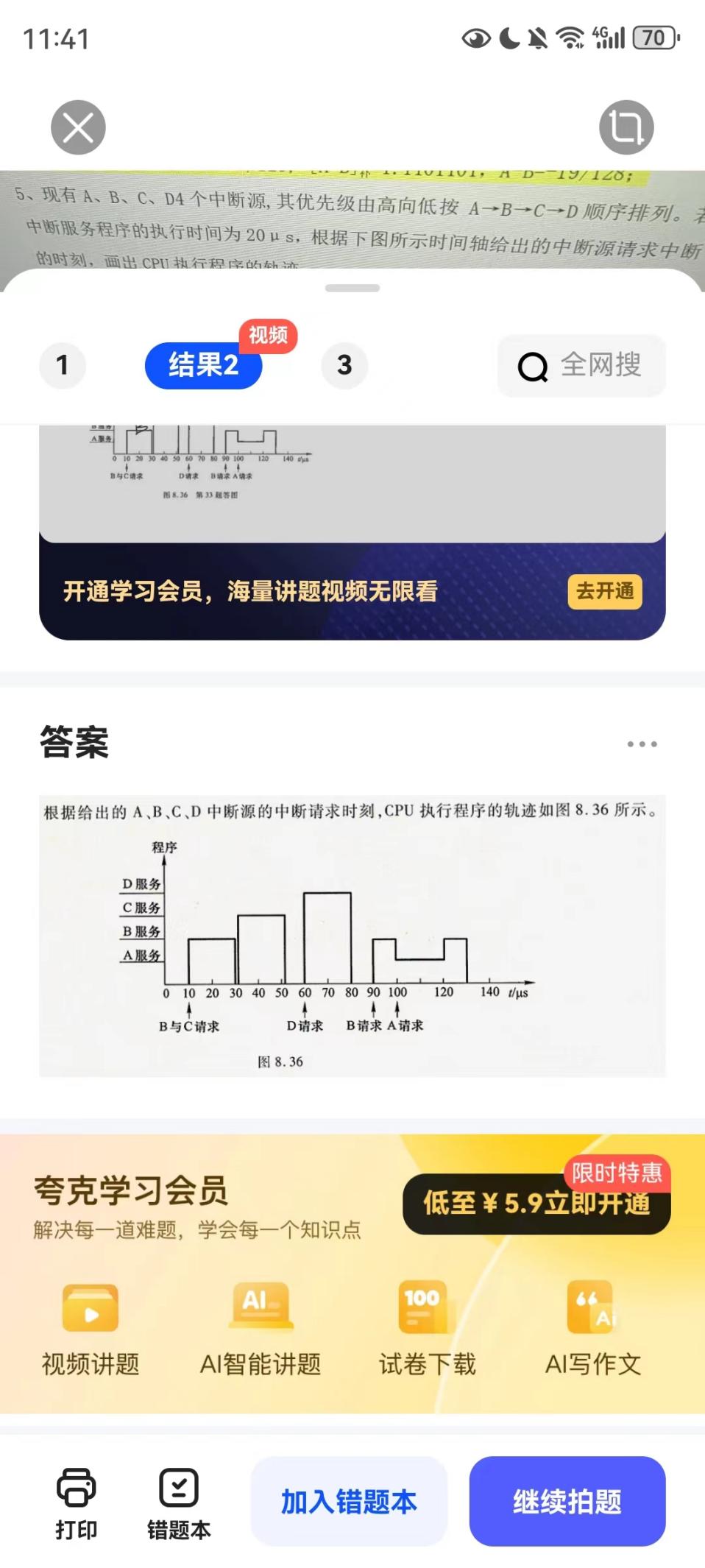
[A+B]补=1.0111100，A+B=-17/32；[A-B]补=0.1110100，溢出；

1. 设机器数字长为 8 位（含一位符号位在内），设A=-19(9)/32，B=-17/128，计算[A±B]补，并还原成真值。

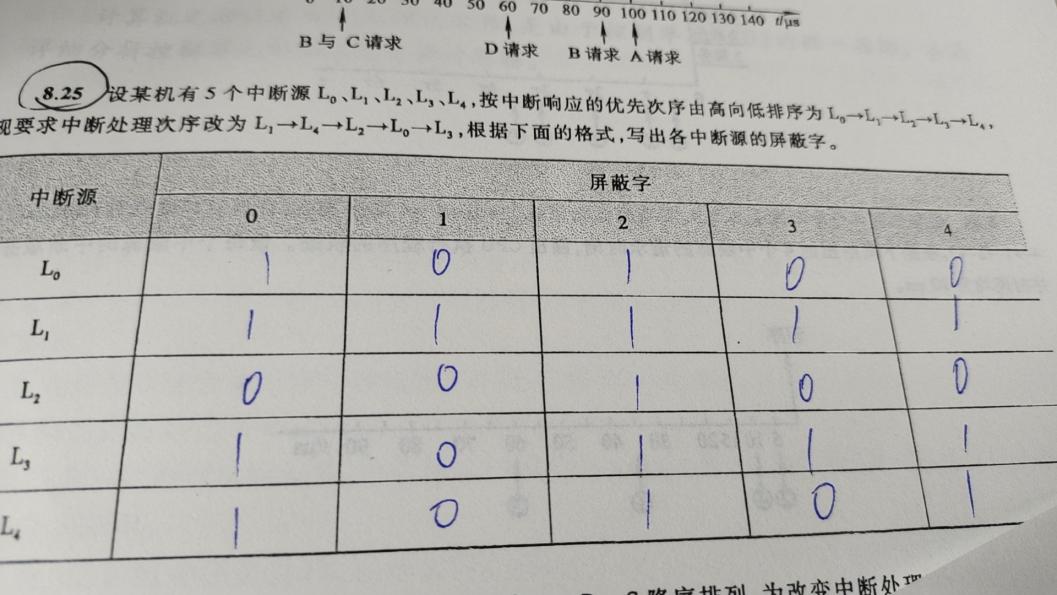
[A+B]补=1.0100011，A+B=-93/128；[A-B]补=1.1000101，A-B=-59/128；

[A+B]补=1.1001011，A+B=-53/128；[A-B]补=1.1101101，A-B=-19/128；

5、现有A、B、C、D4个中断源,其优先级由高向低按 A→B→C→D顺序排列。若中断服务程序的执行时间为20μs，根据下图所示时间轴给出的中断源请求中断的时刻，画出CPU执行程序的轨迹。



1. 图中某机有五个中断源L0、L1、L2、L3、L4，按中断响应的优先次序由高向低排序为L0->L1->L2->L3->L4，现要求中断处理次序改为L1->L3->L4->L0->L2，根据下面的格式，写出各中断源的屏蔽字。



1. 一条双字长的取数指令(LDA)存于存储器的100和101单元，其中第一个字为操作码和寻址特征M，第二个字为形式地址。假设PC当前值为100，变址寄存器XR的内容为100，基址寄存器的内容为200，存储器各单元的内容如下图所示。EA是有效地址是操作数的地址写出下列寻址方式的有效地址，以及取数指令执行结束后，累加器ACC的内容。
2. 直接寻址 300 800 101是EA的地址
3. 立即寻址 101 300 101就是EA，300是操作数
4. 间接寻址 800 600 101中的内容是EA地址
5. 相对寻址 402 500 102+300=402
6. 变址寻址 400 700变址寄存器XR的内容为100+ PC偏移量为EA
7. 基址寻址 500 200基址寄存器的内容为200+101中的内容为EA

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 地址 | 101 | 300 | 400 | 401 | 402 | 500 | 501 | 800 |
| 内容 | 300 | 800 | 700 | 400 | 500 | 200 | 900 | 600 |

8、某模型机共有64种操作，操作码位数固定，且具有以下特点。

(1)采用一地址或二地址格式；

(2)有寄存器寻址、直接寻址和相对寻址(位移量-128~127)三种寻址方式；

(3)有16个通用寄存器，算术运算和逻辑运算的操作数及结果都在寄存器中；

(4)取数/存数指令在通用寄存器和存储器之间传送数据；

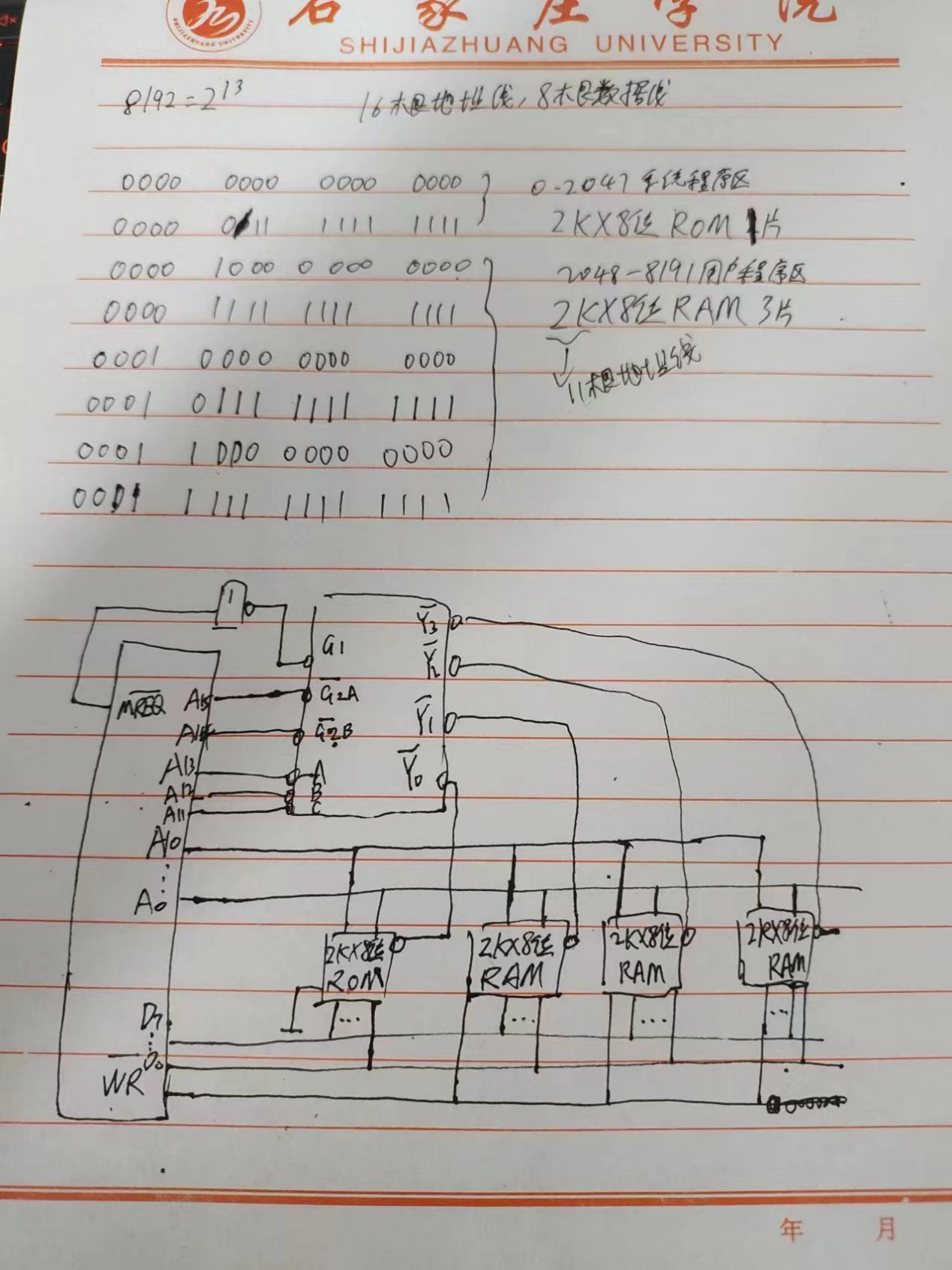
(5)存储器容量为1MB，按字节变址。

要求设计算逻指令、取/存指令和相对转移指令的格式，并简述理由。

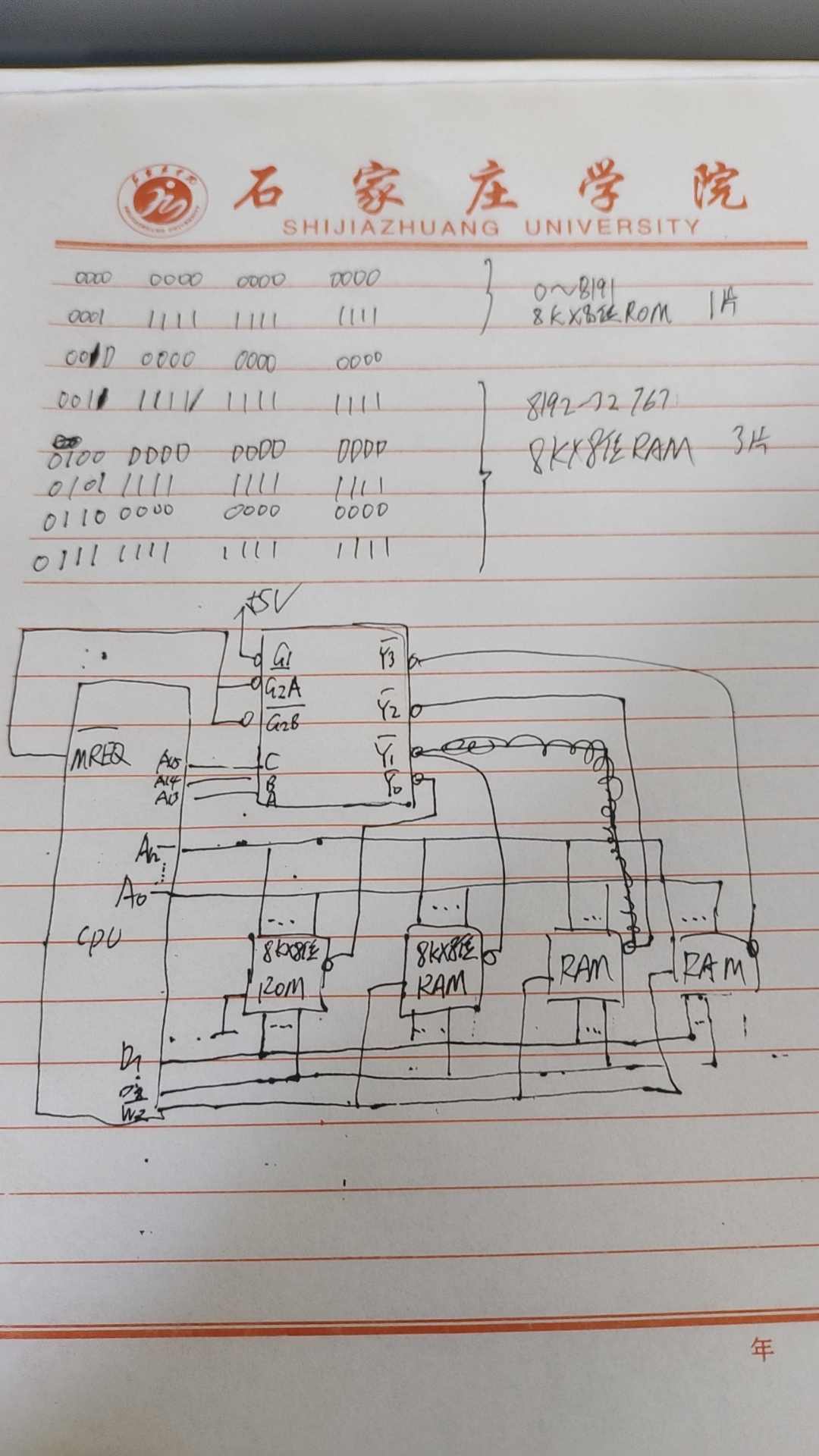
课本例题7.6(324)

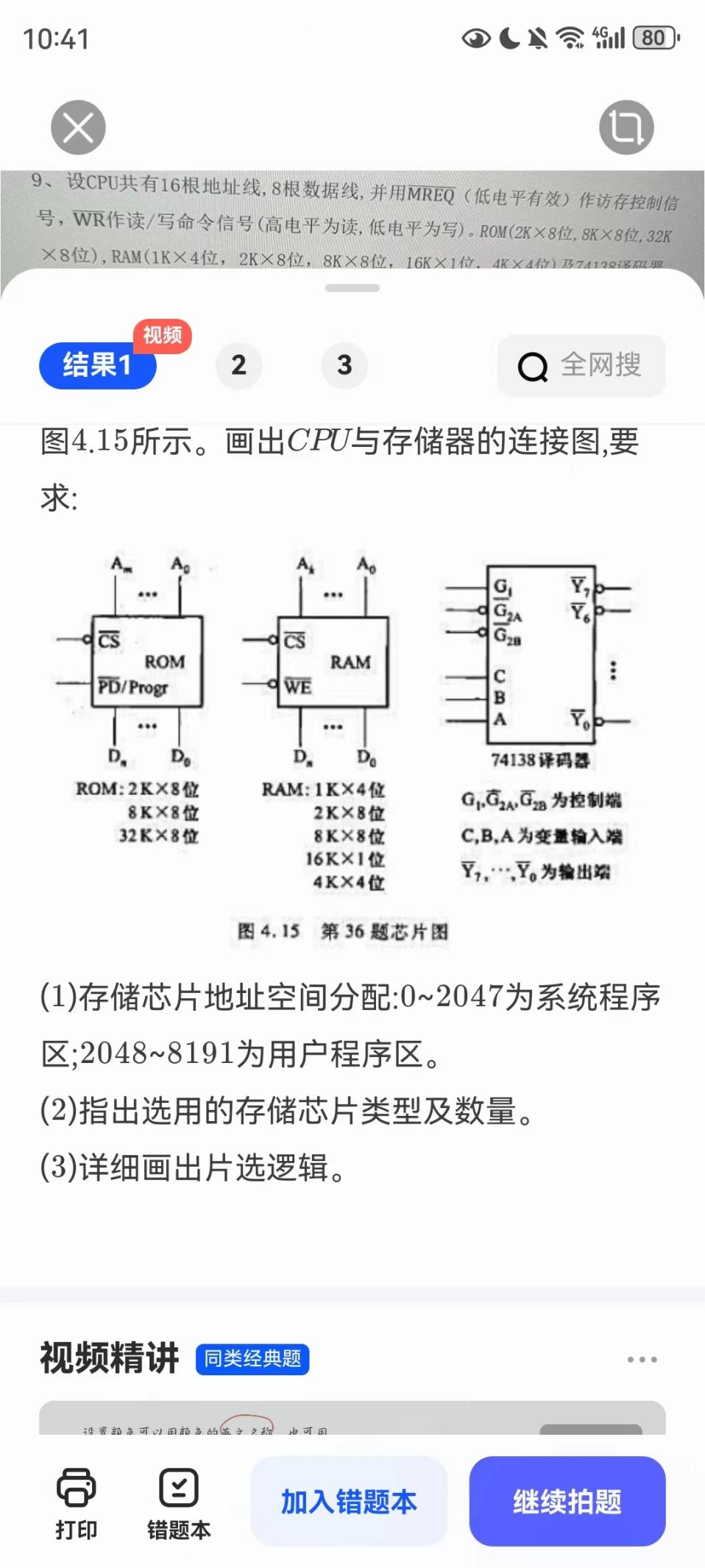
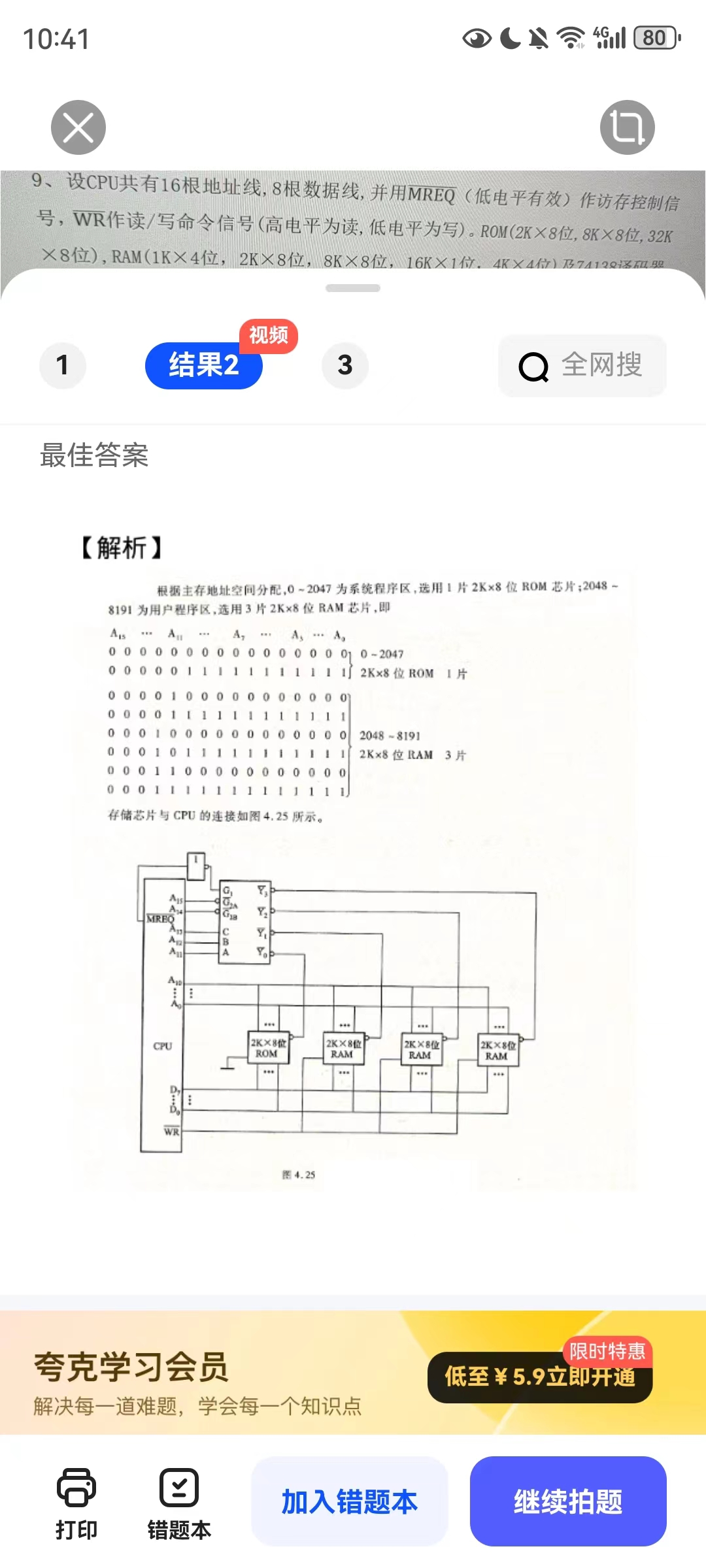
9、设CPU共有16根地址线,8根数据线,并用（低电平有效）作访存控制信号，作读/写命令信号(高电平为读,低电平为写)。ROM(2K×8位,8K×8位,32K×8位),RAM(1K×4位，2K×8位，8K×8位，16K×1位，4K×4位)及74138译码器和其他门电路(门电路自定)。画出CPU与存储器的连接图，要求：

1. 存储芯片地址空间分配为：（0-2047为系统程序区；2048-8191为用户程序区）/（0-8191为系统程序区；8192-32767为用户程序区）；
2. 指出选用的存储芯片类型及数量；
3. 详细画出片选逻辑。



上图的CBA写反了



****