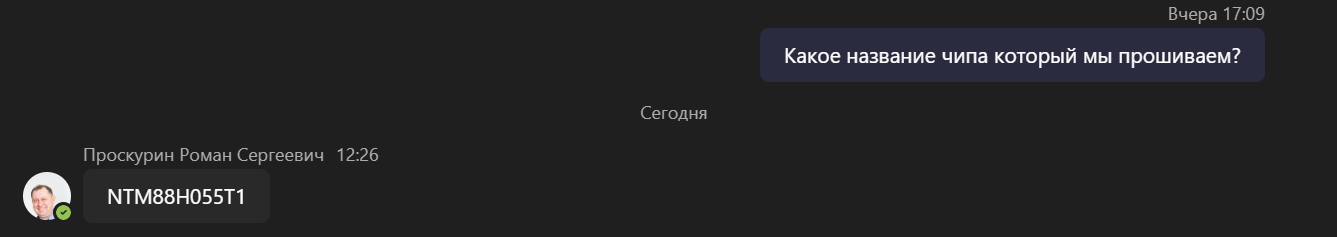
***NTM88H055T1***



Каждое устройство MCU в семействе RS08 состоит из ядра RS08 плюс несколько модулей памяти и периферии. Ядро RS08 состоит из:

* RS08 CPU (сокращенно HCS08);
* Background debug controller (BDC);
* Chip-level address decoder;

Процессор RS08 выполняет подмножество инструкций HCS08 с минором расширения. Раздел 8, "Центральный процессор блок (RS08CPUV1)," для дополнительная информация. Фоновый контроллер отладки (BDC) встроен в ядро процессора для облегчить доступ к схемам генерации адресов и регистру процессора информации. BDC включает одну аппаратную точку останова. BDC позволяет получить доступ к внутреннему регистру и памяти через один вывод на MCU. Смотрите раздел ...

Процессор RS08 выполняет подмножество инструкций HCS08 с минором расширения. Раздел 8, "Центральный процессор блок (RS08CPUV1)," для дополнительная информация. Фоновый контроллер отладки (BDC) встроен в ядро процессора для облегчить доступ к схемам генерации адресов и регистру процессора информации. BDC включает одну аппаратную точку останова. BDC позволяет получить доступ к внутреннему регистру и памяти через один вывод на MCU. Смотрите раздел

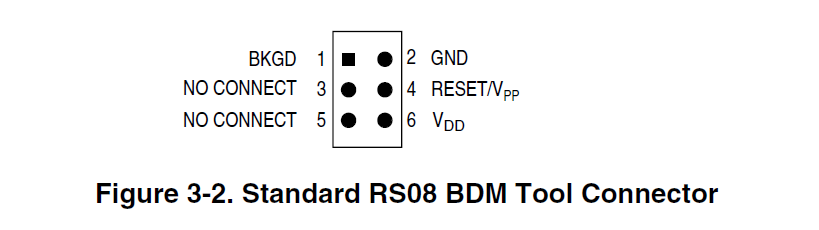
Системы поддержки развития в семье RS08 включают RS08 фоновый контроллер отладки (BDC).

BDC обеспечивает однопроводный отладочный интерфейс для целевого MCU. Это интерфейс обеспечивает удобное средство программирования на чипе FLASH и другие энергонезависимая память. Кроме того, BDC является основным отладка интерфейса для разработки и позволяет неинтрузивный доступ к данные памяти и традиционные функции отладки, такие как регистр процессора изменять, устанавливать точки останова и выполнять команды трассировки с одной инструкцией.

В семействе RS08 адреса и сигналы шины данных недоступны на внешние контакты. Отладка осуществляется с помощью команд, передаваемых в целевой MCU через однопроводный фоновый отладочный интерфейс, включая сброс устройство без использования обратного вывода.

Особенности контроллера фоновой отладки RS08 (BDC) включают:

* Использует один вывод для фоновой последовательной отладки;
* Неинтрузивные ресурсы пользовательской памяти. регистры BDC не являются находится на карте памяти



Контроллер фоновой отладки (BDC) последовательной связи использовать, а пользовательский последовательный протокол, который был впервые представлен на семействе M68HC12 микроконтроллеров. Этот протокол требует, чтобы хост знал скорость передачи данных, которая определяется целевыми часами BDC ставка. Если хост пытается связаться с целевым MCU, который имеет неизвестная тактовая частота BDC, команда SYNC может быть отправлена в целевой MCU для запроса сигнала синхронизации, с которого хост может определить правильную скорость связи.

Для MSC RS08 часы BDC имеют ту же частоту, что и шины MCU часы.

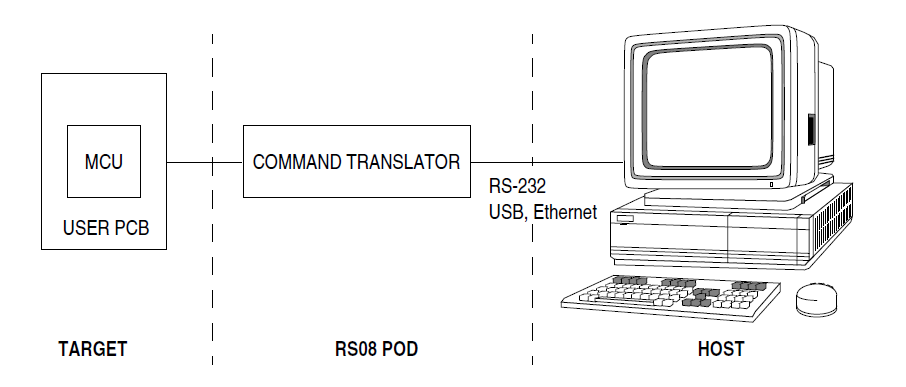
BKGD является однопроводным фоновым отладочным интерфейсом. BKGD — это псевдо-открытый дренажный штифт, содержащий на чипе подтяжку, поэтому он не требует внешнего сопротивления пульпы. В отличие от обычных штифтов с открытым сливом внешний резисторный конденсатор (RC) константа времени на этом выводе, который является влияет на внешнюю емкость, не играет почти никакой роли в повышении сигнала время. Пользовательский протокол предусматривает короткое, активно управляемое ускорение импульсы для ускорения времени подъема на этом штифте без риска вредного привода выравнивать конфликты.

Основная функция этого вывода - двунаправленная последовательная связь фоновые команды отладки и данные. Во время сброса этот вывод выбирает между запуском в активном фоновом режиме и обычным пользовательским режимом запуск программы приложения. Этот вывод также используется для запроса времени синхронизация импульса отклика, позволяющая средству разработки узла определить целевая тактовая частота BDC.

Путем управления выводом BKGD и принудительного сброса MCU (выпуск а BDC\_RESET команда, или через сброс питания (POR)), хост может заставить целевую систему вернуться в активный фоновый режим чем запустить программу пользовательского приложения. Полезно получить контроль над целевой MCU, флэш-память которого еще не была запрограммированный программой пользовательского приложения.

Если отладчик не подключен к 6-пиновому интерфейсу BDM соединитель, внутренняя подтяжка на BKGD определяет нормальную работу режим.

На некоторых устройствах RS08 вывод BKGD может использоваться совместно с альтернативная функция вывода. Для поддержки отладки BDM пользователь должна отключить эту альтернативную функцию. Отладка альтернативы должна выполняться в обычном пользовательском режиме без использования BDM.



Последовательный интерфейс BDC требует, чтобы хост генерировал падающий край на вывод BKGD для указания начала каждого битового времени. Хост обеспечивает это опускающиеся края независимо от того, передаются или принимаются данные.

Последовательный протокол BDC требует, чтобы хост знал целевая тактовая скорость BDC. Команды и данные отправляются наиболее значимыми бит первый (MSB-первый) на 16 тактовых циклов BDC на бит. Время работы интерфейса если 512 тактовых циклов BDC происходят между падающими краями от хозяина. Любой Команда BDC, которая находилась в процессе выполнения, когда это происходит, прерывается без изменения памяти или режима работы целевого MCU система.

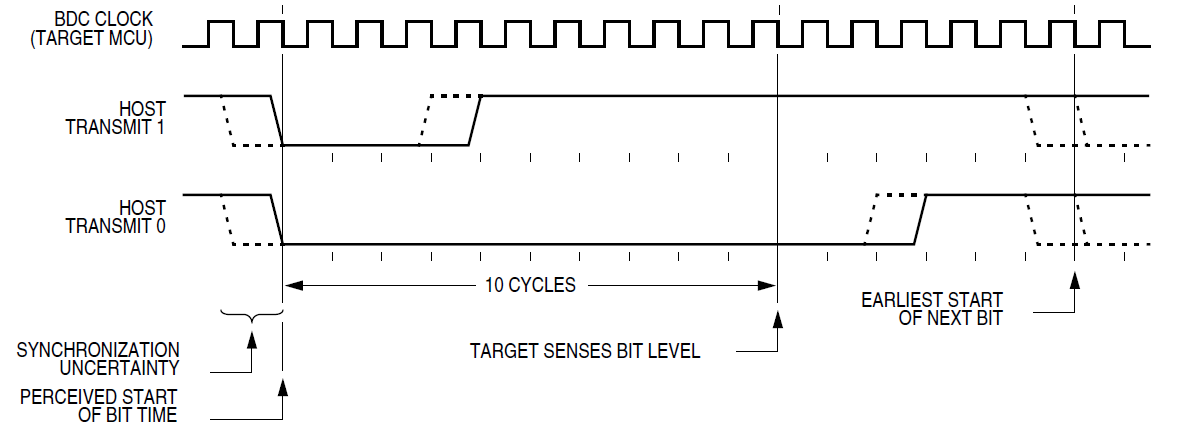


Рисунок 3-3 показывает внешний хост, передающий логику 1 или 0 в BKGD пин целевого MCU. Хост асинхронен для цели, поэтому есть задержка от 0 до 1 цикла от нисходящего края, генерируемого узлом, до места целевой объект воспринимает начало битового времени. Десять целевых часов BDC циклы позже, цель чувствует уровень битов на выводе BKGD. Обычно, хост активно управляет псевдо-открытым выводом BKGD во время для ускорения передачи сигнала от хоста к объекту. Поскольку цель не управляет выводом BKGD в течение периода от хоста к объекту, нет необходимости обрабатывать линию как сигнал открытого стока во время этого период.

***SYNC***

Команда SYNC отличается от других команд BDC тем, что хосту не обязательно знать правильную скорость связи для использования связи BDC до тех пор, пока не будет проанализирован ответ на команду SYNC.

Чтобы выдать команду SYNC, хост:

• Подает на вывод BKGD низкий уровень в течение не менее 128 циклов самого медленного возможные часы BDC (самые медленные часы)

• Устанавливает высокий уровень BKGD для короткого импульса ускорения, чтобы получить быстрое время нарастания. (этот импульс ускорения обычно составляет один цикл самых быстрых часов в система)

• Удаляет все возбуждение на контакте BKGD, чтобы он вернулся к высокому импедансу. • Отслеживает вывод BKGD на наличие ответного импульса синхронизации.

Цель после обнаружения запроса SYNC от хоста (который является гораздо более длительное время низкого уровня, чем когда-либо при нормальном BDC коммуникации):

Ожидает возврата BKGD к логической 1

• Задержка на 16 циклов, позволяющая хосту прекратить управление высоким ускорением. пульс

• Задает низкий уровень BKGD в течение 128 тактов BDC.

• Управляет 1-тактным высокоскоростным импульсом, чтобы принудительно включить быстрое время нарастания. БКГД

• Удаляет все возбуждение на контакте BKGD, чтобы он вернулся к высокому импедансу.

Хост измеряет низкое время этого 128-циклового ответного импульса синхронизации. и определяет правильную скорость для последующих соединений BDC. Как правило, хост может определить правильную скорость связи в пределах нескольких процентов от фактической целевой скорости и связи протокол может легко допускать ошибки скорости в несколько процентов.