## Uputstvo

Pre pristupanja izradi laboratorijske vežbe pročitati dati tekst u celini. Sve što nije precizirano u tekstu zadatka ostavlja se studentima da definišu i obrazlože svoj izbor. Ukoliko su postavljeni kontradiktorni zahtevi, od studenata se očekuje da uvedu razumnu pretpostavku, jasno je obrazlože komentarima u izvornom kodu i nastave da na njoj izgrađuju preostali deo rešenja.

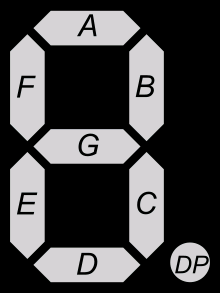
Laboratorijska vežba se radi 150 minuta. Ocenjivanje se u potpunosti vrši na licu mesta. Prvih 60 minuta nije dozvoljeno napuštati laboratoriju. Laboratorijska vežba nosi 30 poena. Komunikacija nije dozvoljena. Literatura se nalazi na mrežnom disku sa materijalima.

# Zadatak – VHDL 2

Sastaviti na jeziku *VHDL* entitet koji uključuje pojedinačne segmente *7-seg* displeja. Asinhroni reset povezati na prekidač *SW0*.

## 1. Faza (5 poena, pločica)

Implementirati uređaj koji uključuje jedan po jedan segment na obodu jedne cifre *7-seg* displeja (segmenti ***G*** i ***DP*** se ne nalaze na obodu pa stoga nikada neće biti uključeni). U svakom trenutku uključen je tačno jedan segment na jednoj od cifara. Ostale cifre su isključene. Pritisak na dugme *Button0* uključuje naredni segment posmatrano u abecednom poretku imena segmenata (nakon segmenta ***A*** sledi segment ***B***). Oznake linija su date na priloženoj slici. Segment ***A*** je uključen nakon asinhronog reseta. Pozicije se menjaju ciklično (nakon segmenta ***F*** sledi segment ***A***).



## 2. Faza (5 poena, pločica)

Unaprediti uređaj iz prethodne faze tako da ima tri moda rada. Pritiskom na dugme *Button1* se ciklično menja mod rada u kojem se uređaj trenutno nalazi. U prvom modu rada uređaj vrši funkcionalnost opisanu u fazi 1. U drugom modu rada redosled uključivanja segmenata je obrnut u odnosu na prvi mod. U trećem modu rada ništa se ne prikazuje na *7-seg* displeju i uređaj ne reaguje na dugme *Button0*. Prilikom prelaska iz jednog moda rada u drugi, uključeni segment mora biti isti onaj koji je bio uključen neposredno pre prelaska u dati mod rada.

## 3. Faza (5 poena, pločica)

Unaprediti uređaj iz prethodne faze dodavanjem i četvrtog moda rada. U četvrtom modu rada uključeni segment se pomera ciklično na svake dve sekunde i uređaj ne reaguje na dugme *Button0*. Inicijalno uključeni segment treba da bude isti segment koji je bio uključen u prvom prethodnom modu rada u kojem je neki segment uključen.

## 4. Faza (5 poena, pločica)

Napraviti uređaj koji sadrži četiri identična uređaja iz faze 3. Svaki od poduređaja treba da uključuje odgovarajući segment na zasebnoj cifri *7-seg* displeja. Koji poduređaj reaguje na dugmad kontroliše se prekidačima *SW5* i *SW6*. Trenutno selektovani poduređaj treba da uključi decimalnu tačku na svojoj cifri.

## 5. Faza (5 poena, simulator)

Napraviti *testbench* koji sadrži entitet iz faze 3. *Testbench* treba da generiše barem 1000 pritisaka dugmadi. U svakom modu rada treba se zadržati 10 perioda signala takta. Vreme čekanja sa dve sekunde skratiti na 2 periode signala takta. Prilikom simulacije prikazati vremenski oblik svih bitnih signala u okviru datog *testbench*.

## 6. Faza (5 poena, simulator)

Unaprediti *testbench* iz faze 5 tako da vrši proveru da li su izlazni podaci tačni.