## Uputstvo

Pre pristupanja izradi laboratorijske vežbe pročitati dati tekst u celini. Sve što nije precizirano u tekstu zadatka ostavlja se studentima da definišu i obrazlože svoj izbor. Ukoliko su postavljeni kontradiktorni zahtevi, od studenata se očekuje da uvedu razumnu pretpostavku, jasno je obrazlože komentarima u kodu i nastave da na njoj izgrađuju preostali deo rešenja.

Laboratorijska vežba se radi 180 minuta. U tih 180 minuta treba pokazati rad asistentu, radi ocenjivanja. Svo ocenjivanje se vrši na licu mesta. Prvih 60 minuta nije dozvoljeno napuštati laboratoriju. Laboratorijska vežba nosi 30 poena. Komunikacija nije dozvoljena. Na disku sa materijalima se nalazi literatura.

# Zadatak – VHDL 1

Sastaviti na jeziku VHDL entitet koji čuva pristigle vrednosti, koji mogu biti nula ili jedan.

## 1. Faza (5 poena, pločica)

Implementirati prihvatanje vrednosti. Svaka vrednost se unosi pritiskom na dugme. Za vrednost jedan pritiska se dugme Button1, dok se za vrednost nula pritiska dugme Button0. Poslednjih osam unetih vrednosti se prikazuju na osam LED dioda, gde se na LED0 prikazuje poslednja primljena vrednost, na LED1 pretposlednja, itd. Uključena dioda označava da je primljena vrednost jedan, dok isključena dioda označava da je primljena vrednost nula ili da nije još primljena vrednost na toj poziciji. Za asinhroni reset koristiti prekidač SW0.

## 2. Faza (5 poena, pločica)

Unaprediti entitet iz faze 1 tako da na jednoj cifri na displeju prikazuje parnost unetih jedinica. Jedinica označava neparan broj jedinica, nula označava paran broj jedinica. Sve ostale cifre treba da budu isključene. Parnost se prikazuje samo ako je prekidač SW1 uključen.

## 3. Faza (5 poena, pločica)

Unaprediti entitet iz faze 2 tako da na LED diodama mogu da se prikažu poslednjih 16 unetih vrednosti. Prikazivanje se vrši tako što se na svakih pola sekunde pomere vrednosti za jedno mesto, pri čemu najskorije uneta vrednost prestaje da se prikazuje. Kada se završi prikazivanje svih 16 cifara ugasiti sve diode. Prikazivanje se vrši kada je uključen prekidač SW2 i tada sistem ne treba da reaguje na pritisak dugmadi. Prilikom isključivanja SW2, sistem se vraća u prethodno stanje, gde se na LED diodama prikazuju poslednjih 8 unetih vrednosti.

## 4. Faza (5 poena, simulator)

Napraviti testbench za entitet iz faze 3. Potrebno je učitati bar 100 vrednosti, gde se za polovinu prikazuje parnost dok se za drugu polovinu ne prikazuje, a na svakih 20 unetih vrednosti uključuje se prekidač SW2 (za potrebe simulacije pomerati vrednosti na svaki signal takta, radi bržeg rada).

## 5. Faza (5 poena, simulator)

Unaprediti testbench iz faze 4 tako da vrši proveru da li su izlazni podaci tačni.

## 6. Faza (5 poena, simulator)

Proširiti entitet iz faze 3 tako da se učitavanje ne učitava preko dugmadi, već preko ulaza **data** koji ima 4 bita i ulaza **valid** koji ima 1 bit. Kad god se na ulazu **data** nalazi validan podatak ulaz **valid** ima vrednost 1. Preko ulaza **data** dolaze vrednosti koje potrebno prikazivati, gde se vrednost bita 1 smatra jedinicom a vrednost bita 0 se smatra nulom (smatrati da je redosled kojim dolaze od bita najveće težine do bita najmanje težine). Unaprediti i testbench da može da se testira novododata funkcionalnost.